

MEMORIE

Le memorie sono circuiti in grado di contenere un elevato numero di informazioni binarie in maniera organizzata e fornirle in uscita mediante una operazione detta **LETTURA** della memoria.

A seconda della modalita' con cui vengono immagazzinati e letti i dati nella memoria :

- ✓ **MEMORIE SEQUENZIALI:** dati immagazzinati in modo sequenziale su un supporto e letti in modo sequenziale.
 - per leggere l'ultimo bit e' necessario che scorrano in uscita tutti i bits incamerati precedenti a quello in esame.
 - Il tempo necessario per accedere ad un dato dipende dalla sua locazione in memoria
- ✓ **MEMORIE AD ACCESSO CASUALE (Random Access Memory):** organizzazione di tipo matriciale delle singole celle di memoria.
 - tempo di accesso alla locazione di memoria uguale per tutte le locazioni ed idealmente indipendente dal numero di bit immagazzinabili.

Una ulteriore classificazione distingue tra:

- ✓ **MEMORIE A SOLA LETTURA (Read Only Memory):** l'informazione e' immagazzinata nella cella di memoria nella fase di realizzazione del circuito, possono essere solo lette
- ✓ **MEMORIE A LETTURA/SCRITTURA (Read/Write Memory):** le informazioni possono essere ripetutamente scritte nelle singole celle e lette con operazioni di lettura/scrittura



MEMORIE (2)

Classificazione data dalla capacità di conservare l'informazione memorizzata anche quando e' tolta l'alimentazione dal sistema:

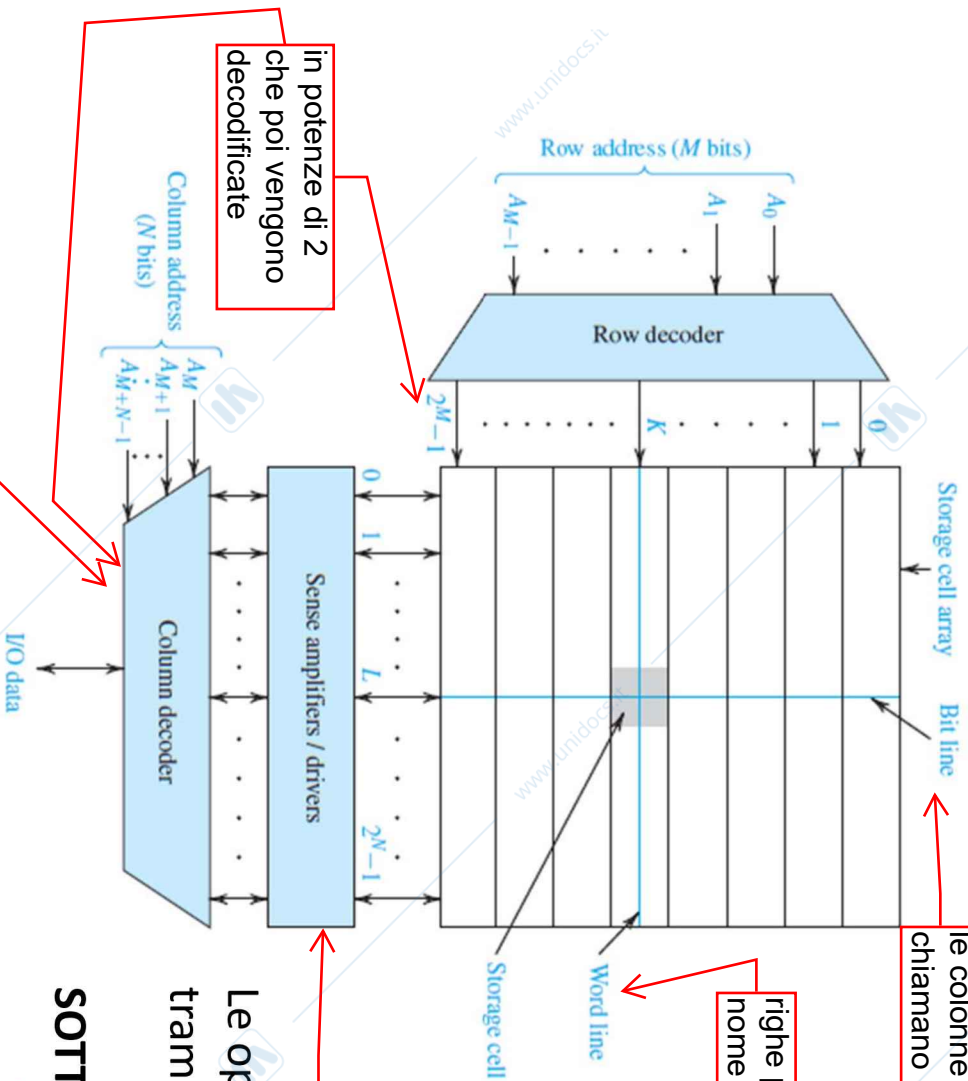
- ✓ **MEMORIE NON VOLATILI:** conservano l'informazione anche in assenza di alimentazione elettrica del circuito (ad es. le ROM, le Flash memories).
- ✓ **MEMORIE VOLATILI:** l'informazione e' persa in assenza di alimentazione (le RAM!)

Le **RAM** possono essere ulteriormente suddivise in:

- ✓ **RAM STATICHE (SRAM):** ogni bit e' memorizzato in un flip-flop
 - fino a che non e' tolta l'alimentazione o memorizzato un nuovo dato, il dato precedente e' mantenuto.
 - necessario ampio spazio su silicio per la memorizzazione di un singolo bit.
- ✓ **RAM DINAMICHE (DRAM):** ogni bit e' memorizzato come carica immagazzinata in un condensatore
 - alta densita' di impacchettamento
 - condensatore tende a scaricarsi → **REFRESH** periodico dei dati per leggere la tensione ai capi del condensatore e ricaricare la carica accumulata in esso.



Organizzazione memoria RAM



le colonne si chiamano bit line

righe prendono il nome di word line

in potenze di 2 che poi vengono decodificate

quindi ho m righe e n colonne

contenuto letto da un amplificatore messo lungo le colonne

Indirizzamento bidimensionale delle celle: mediante opportune parole di indirizzo di n-bit vengono selezionate sia le righe che le colonne della matrice solitamente quadrata (2^n righe x 2^n colonne) mediante opportuni decodificatori di riga e di colonna.

Le operazioni di lettura/scrittura avvengono tramite le **COLONNE** della matrice dette **BIT-LINES**.

SOTTOINSIEMI FONDAMENTALI DI UNA RAM:

- ✓ **decodificatori di riga (WORD-LINES)**
- ✓ **decodificatori di colonna (BIT-LINES)**
- ✓ celle elementari di memoria
- ✓ circuiti di lettura e scrittura



A.Castoldi, Fondamenti di Elettronica

Organizzazione memoria RAM (2)

Organizzazione di un chip di 64Mbit

non è una dicitura univoca, per 64 Mbit per es. può riferirsi ha una memoria in due diverse configurazioni

64 M word x 1 bit

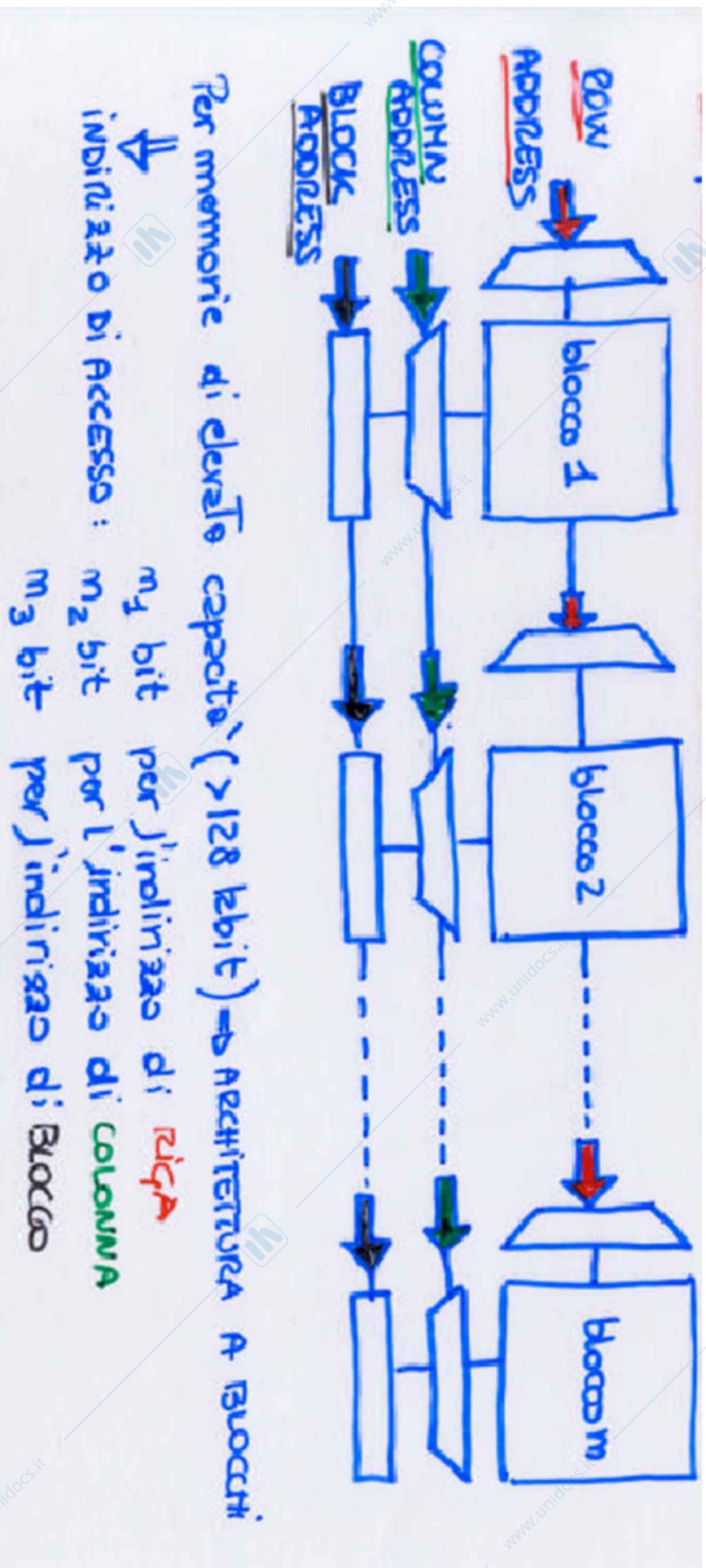
Ogni bit indirizzabile individualmente → 26-bit address
($2^{26}=67,108,864=64M$)

16 Mword x 4 bit

Parole di 4 bit → 24-bit address ($2^{24}=16,777,216=16M$)



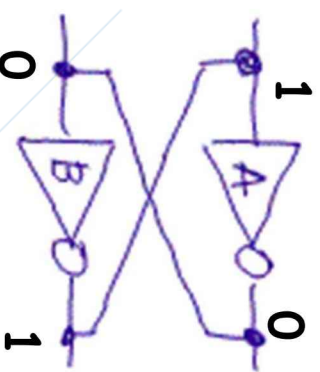
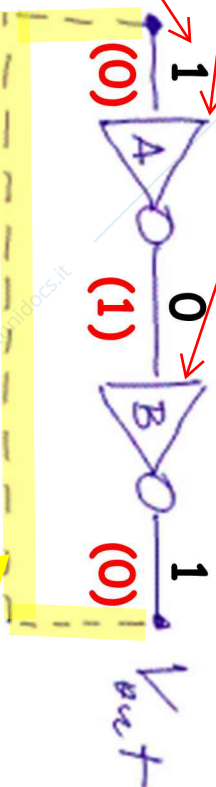
ORGANIZZAZIONE IN BLOCCHI



RAM statica

L'idea del circuito bistabile

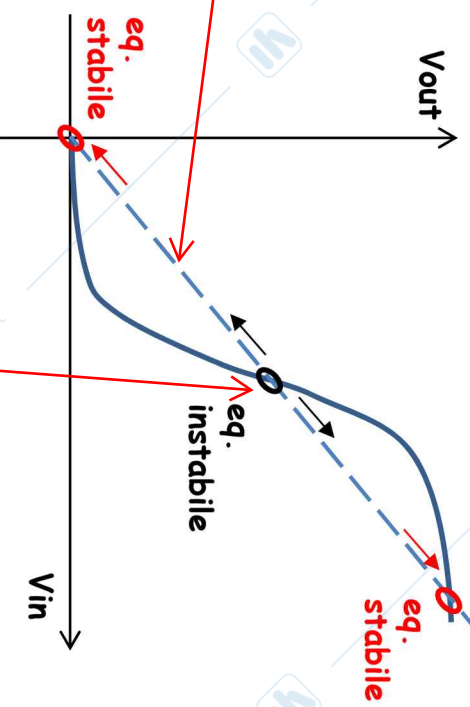
La semplice struttura di 2 inverter A, B in serie porta ad una interessante struttura ad anello...



2 invertitori

proviamo varie config. con ingressi alti e bassi

$V_{in} = V_{out}$



Possiamo concludere che in questo caso, essendo l'ingresso del primo e l'uscita del secondo uguale, possiamo in modo grafico dire che possiamo chiudere l'ingresso sull'uscita (doppia inversione $V_{out} = V_{in}$)

Il circuito presenta 2 stati stabili ed 1 instabile che, per piccole perturbazioni, evolve verso 1 dei 2 stati stabili che si autosostengono.

E' UNA MEMORIA a 1 bit !

valore in "zona proibita" es. entr 0,5 esce 0,5, ma per una piccola perturbazione evolve direttamente verso i 2 stati stabili agli estremi



A.Castoldi, Fondamenti di Elettronica

vediamo come possiamo usare questo circuito che oltre a trattenere il dato riesca a modificarlo

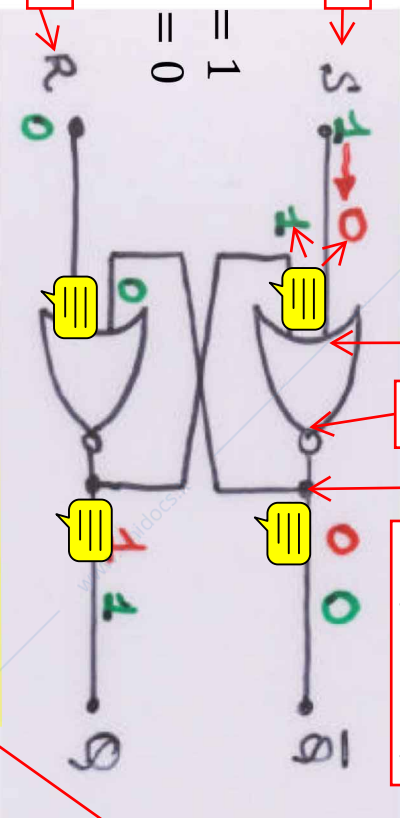
porta or= unica cond. per basso è che tutti gli ingr. siano bassi

Latch Set-Reset (S-R)

E' il circuito logico piu' semplice che consente di memorizzare un dato.

Questa e' l'implementazione con porte NOR

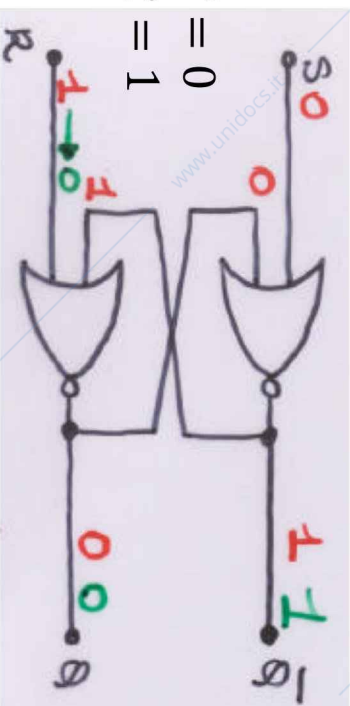
Latch SET:



OR

NOR(Inversione)

Latch RESET:



→ anche quando l'ingresso di SET torna al livello logico basso, le uscite Q, /Q non cambiano (HOLD)

→ anche quando l'ingresso di RESET torna al livello logico basso, le uscite Q, /Q non cambiano (HOLD)

- Se, dopo aver eseguito un SET o un RESET, si pone (S,R)=(0,0), Q e /Q mantengono il valore precedente (condizione di Hold, o di memoria)
- Il latch e' ASINCRONO (o "trasparente"): risponde istantaneamente agli ingressi di SET o RESET

simbolo Latch SR

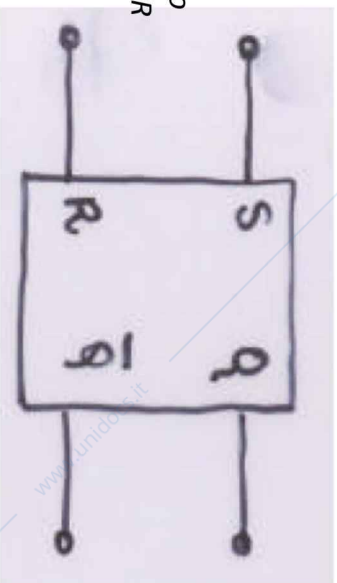


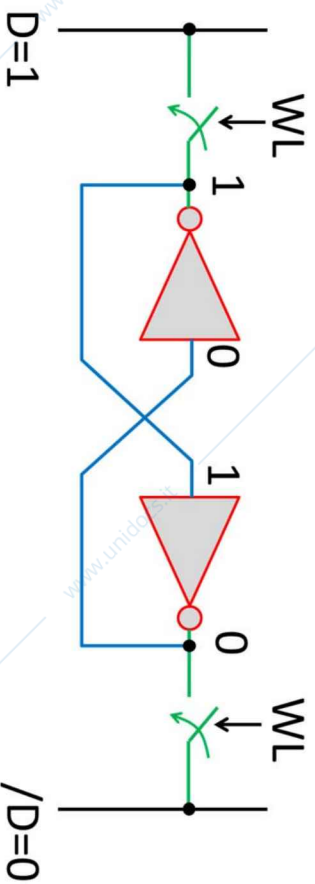
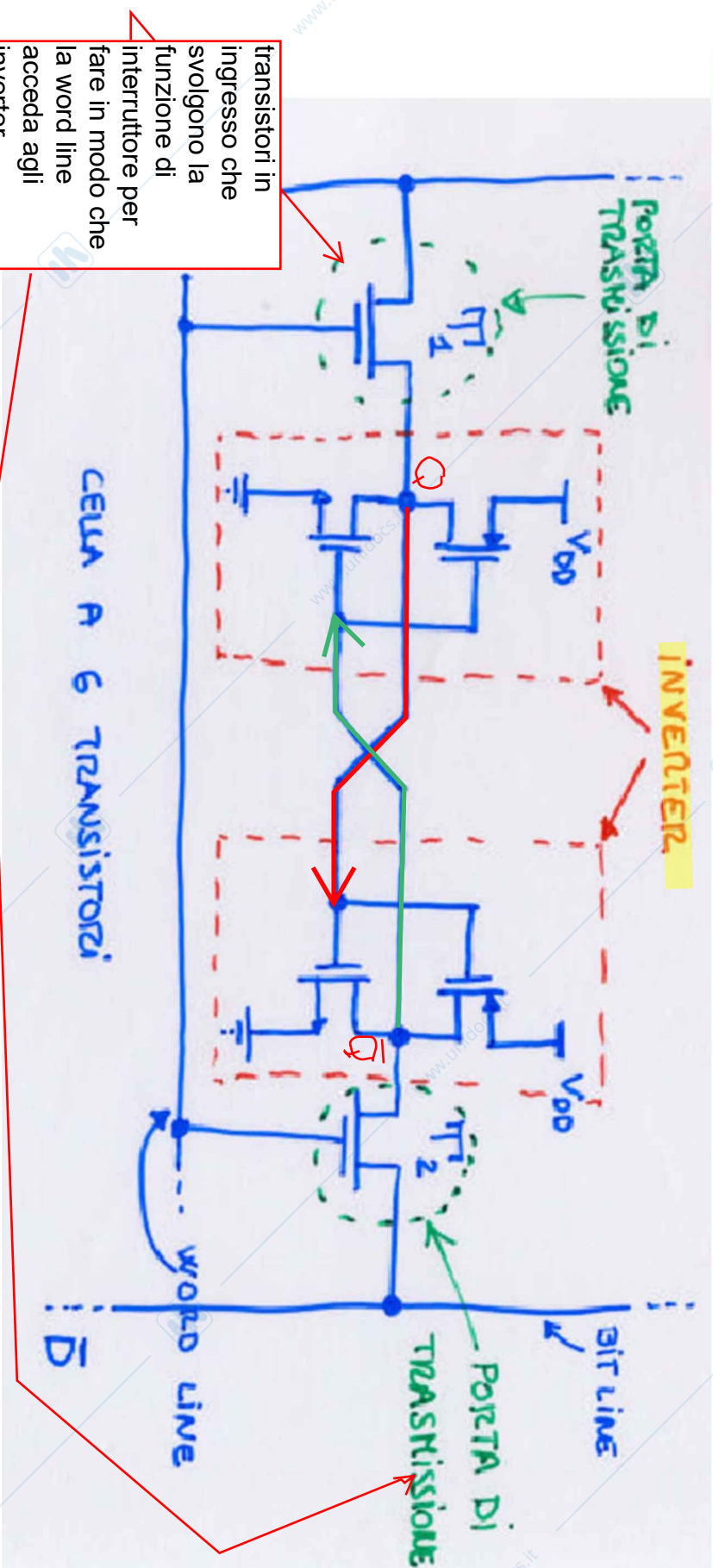
Tabella verita'

S	R	Q	Q-bar	
0	1	0	1	HOLD !!
1	0	1	0	SET
0	1	0	1	RESET
1	1	?	?	DA EVITARE



A.Castoldi, Fondamenti di Elettronica

CMOS SRAM - CELLA DI MEMORIA BASE

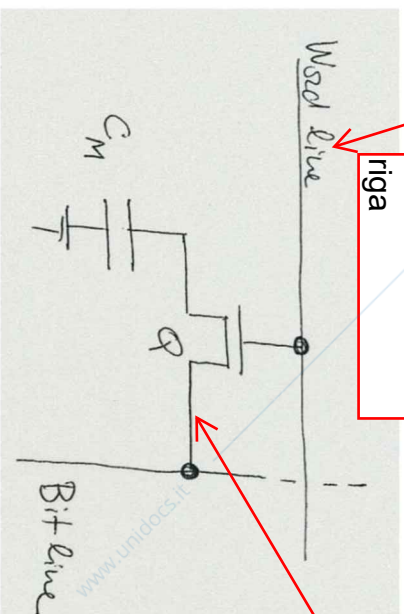


✓ T_1 e T_2 connettono la cella alla Bit-line e sono comandati dalla Word-line WL

✓ Per ogni bit immagazzinato in una SRAM e' necessario un flip-flop → cella a 6 transistori → elevata occupazione su silicio.

RAM DINAMICA: cella elementare

Cella elementare DRAM:



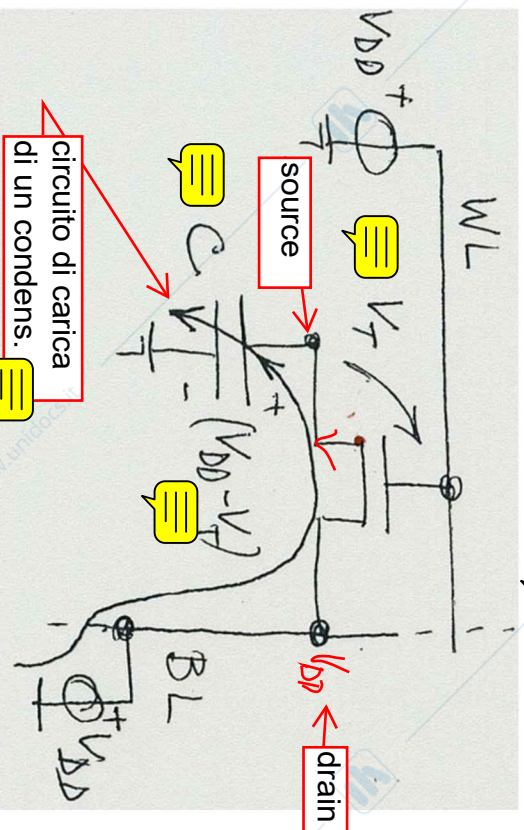
è un n-MOS, ma finchè non lo uso non so dove sta il source

1 nMOS
1 CAP

in questo caso il drain si autodefinisce come il nodo con il pot. più positivo

Operazione di Write:

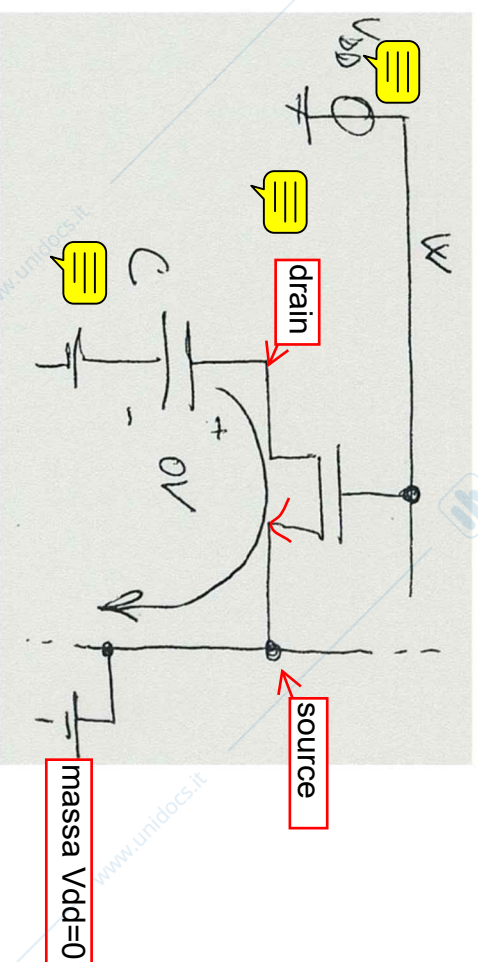
Scrittura di «1»



STATO ALTO: $V_C = V_{DD} - V_t$

Attenzione, non e' =VDD ! E' un pull-up attraverso un nMOS !

Scrittura di «0»



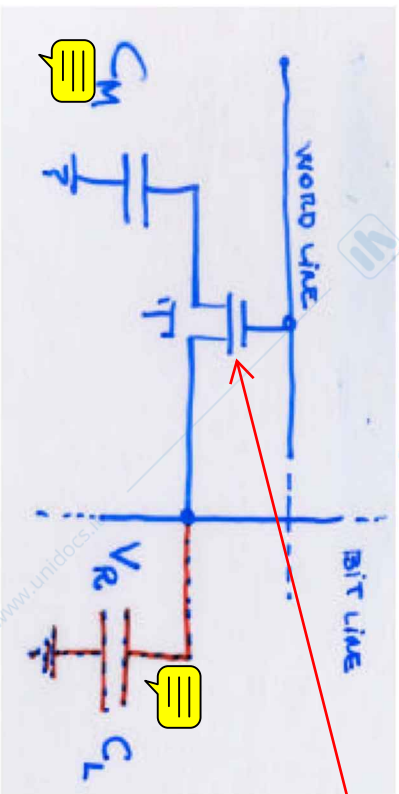
STATO BASSO: $V_C = 0$



A.Castoldi, Fondamenti di Elettronica

RAM DINAMICA: read

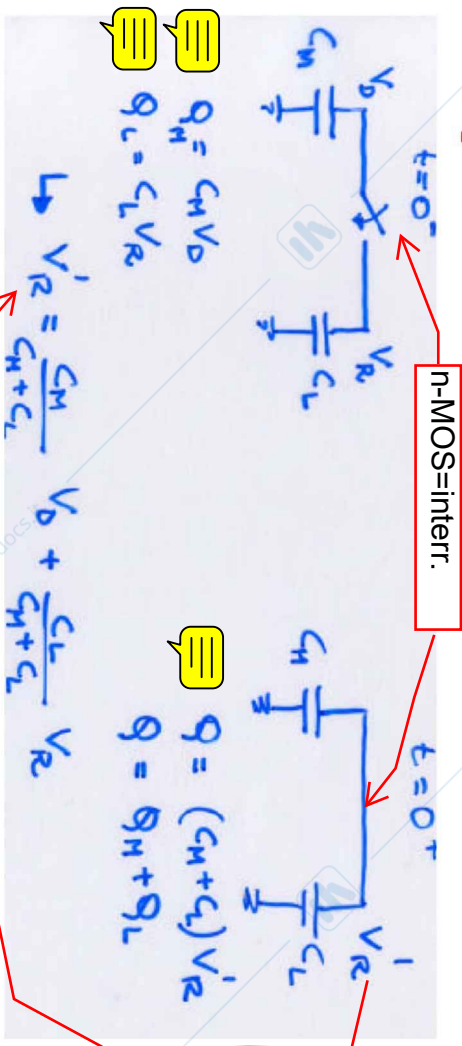
LETTURA: operazione piu' delicata!



in questo caso l'n-MOS ha il compito di interruttore in grado di connettere o separare i due cond.

si abilita la WORD LINE e si pone la capacita' C_M in contatto con la bit-line, che assumiamo pre-caricata alla tensione di riferimento V_R , per leggere la tensione ai capi di C_M

MA LA BIT-LINE E' ANCH'ESSA MODELLIZZABILE COME UN CARICO CAPACITIVO (C_L capacita' di linea)



n-MOS=Interr.

$Q_M = C_M V_D$
 $Q_L = C_L V_R$

$V_R' = \frac{C_M}{C_M + C_L} V_D + \frac{C_L}{C_M + C_L} V_R$

$Q = (C_M + C_L) V_R'$
 $Q = Q_M + Q_L$

La variazione di tensione $\Delta V_R = (V_R' - V_R)$ che deve essere letta e':

$\Delta V_R = \frac{C_M}{C_M + C_L} (V_D - V_R)$
 $C_M \ll C_L \implies \Delta V_R \approx \frac{C_M}{C_L} (V_D - V_R)$

valori tipici :
 $C_M = 25\text{fF}$, $C_L = 1\text{pF}$, $V_R = (3.3/2)\text{V}$; $V_D = 0\text{V}$
 $\implies \Delta V_R = 40\text{ mV}$

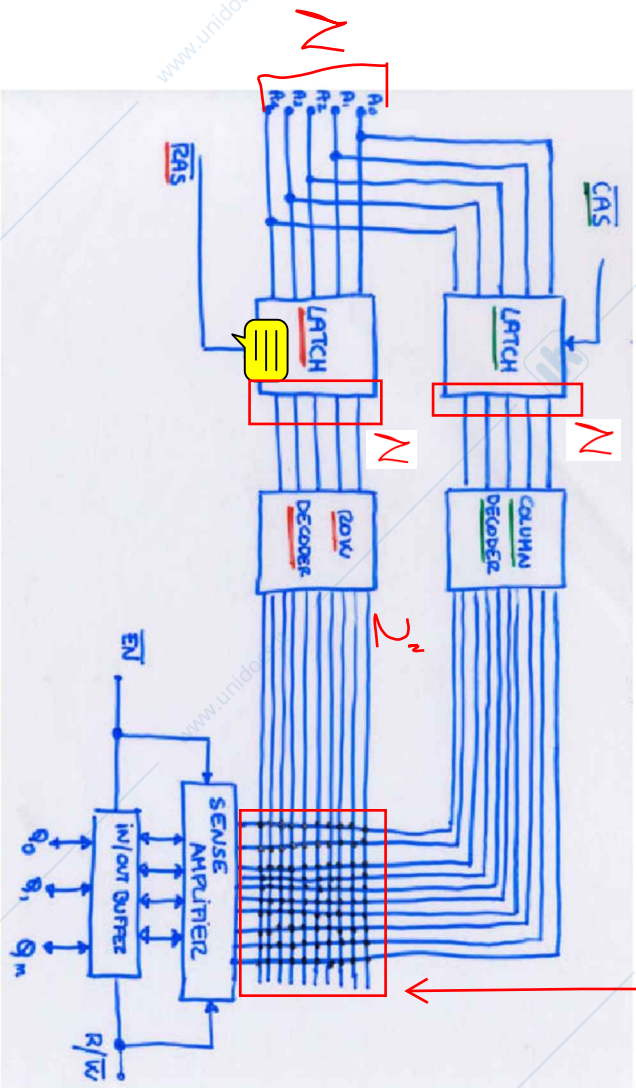
lettura: operazione distruttiva ! Necessita' di refresh (=ri-scrittura del dato)
«sense-amplifier»: legge la variazione ΔV_R per fornire uscita «full-swing» ($0 - V_{DD}$)



A.Castoldi, Fondamenti di Elettronica

STRUTTURA GENERALE DI UNA DRAM

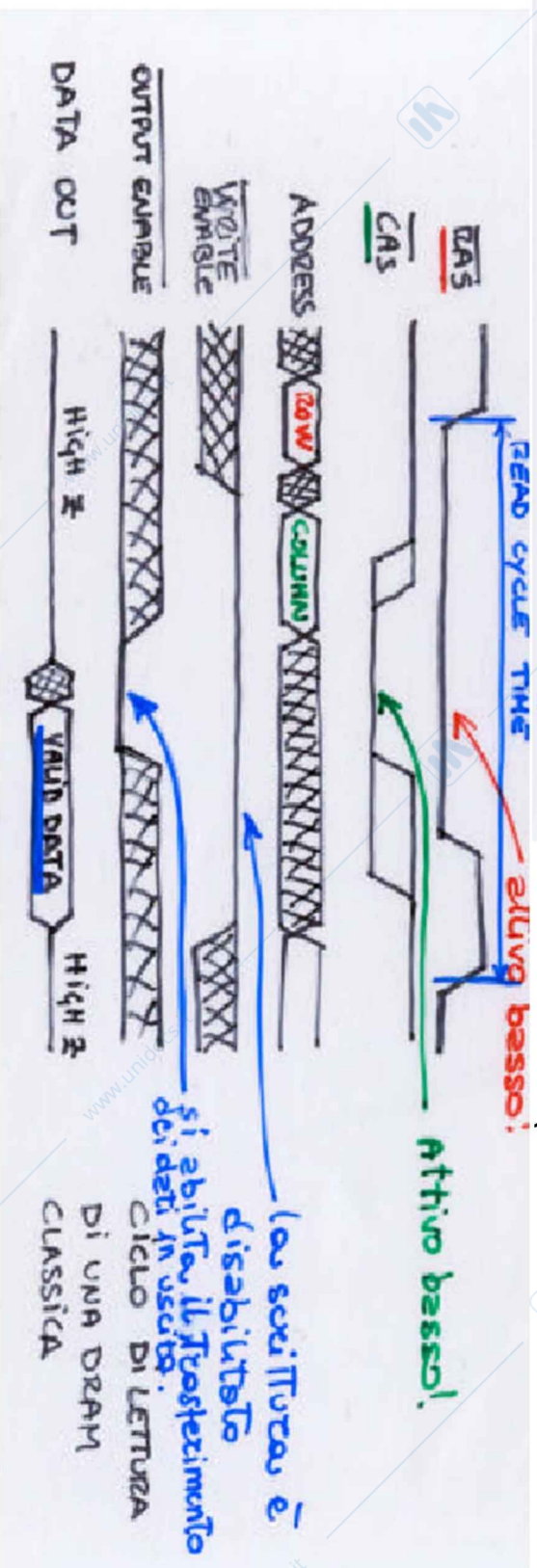
matrice di memoria (righe e colonne)



a causa delle dimensioni elevate della matrice di memoria DRAM per ridurre il numero di piedini occorre effettuare il multiplexing degli indirizzi di riga e di colonna sulle stesse linee che provengono dall'esterno del circuito integrato

→ vi sono 2 SEGNALI aggiuntivi per indicare se la parola di indirizzamento e' per la selezione della riga o della colonna:

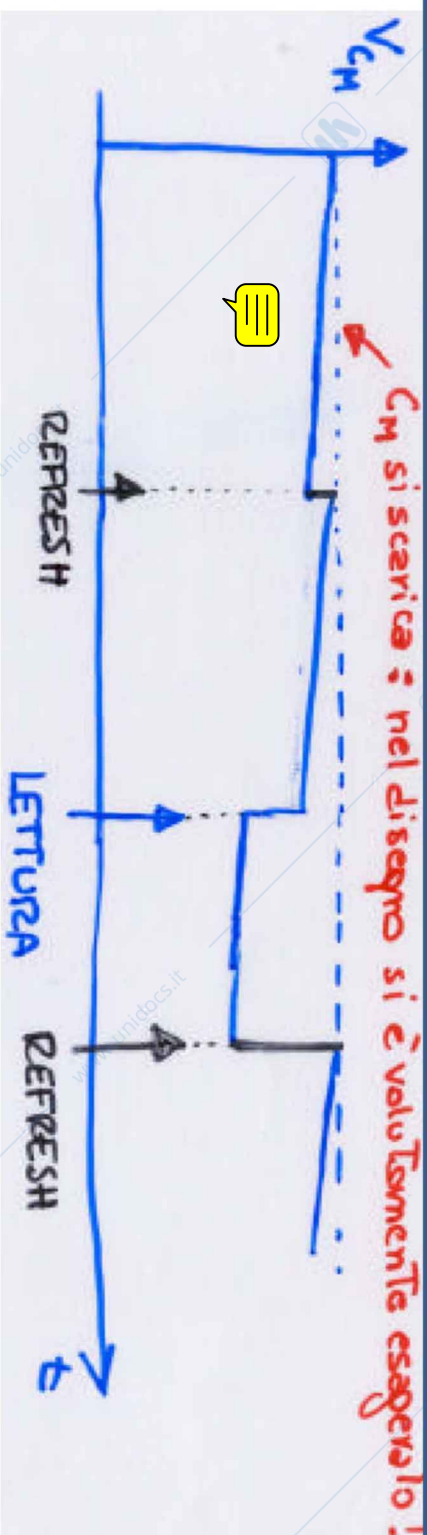
RAS (ROW ADDRESS STROBE)
CAS (COLUMN ADDRESS STROBE)



la struttura è disabilitata si abilita il trasferimento dei dati in uscita. CICLO DI LETTURA DI UNA DRAM CLASSICA



OPERAZIONE DI REFRESH DI UNA DRAM



- ✓ La capacità C_M perde della carica per effetto delle correnti inverse delle giunzioni drain/substrato delle porte di trasmissione che la connettono alla bit-line sulla capacità.

→ Occorre leggere ciclicamente l'informazione di tutte le celle connesse ad una word-line e riscrivere l'informazione. Per questo scopo è abilitata la word-line e tutti i sense-amplifier delle bit-line.

Tale operazione prende il nome di **REFRESH** ed è effettuata ciclicamente con intervalli di refresh dell'ordine del ms.

di solito con un periodo di circa 1ms

