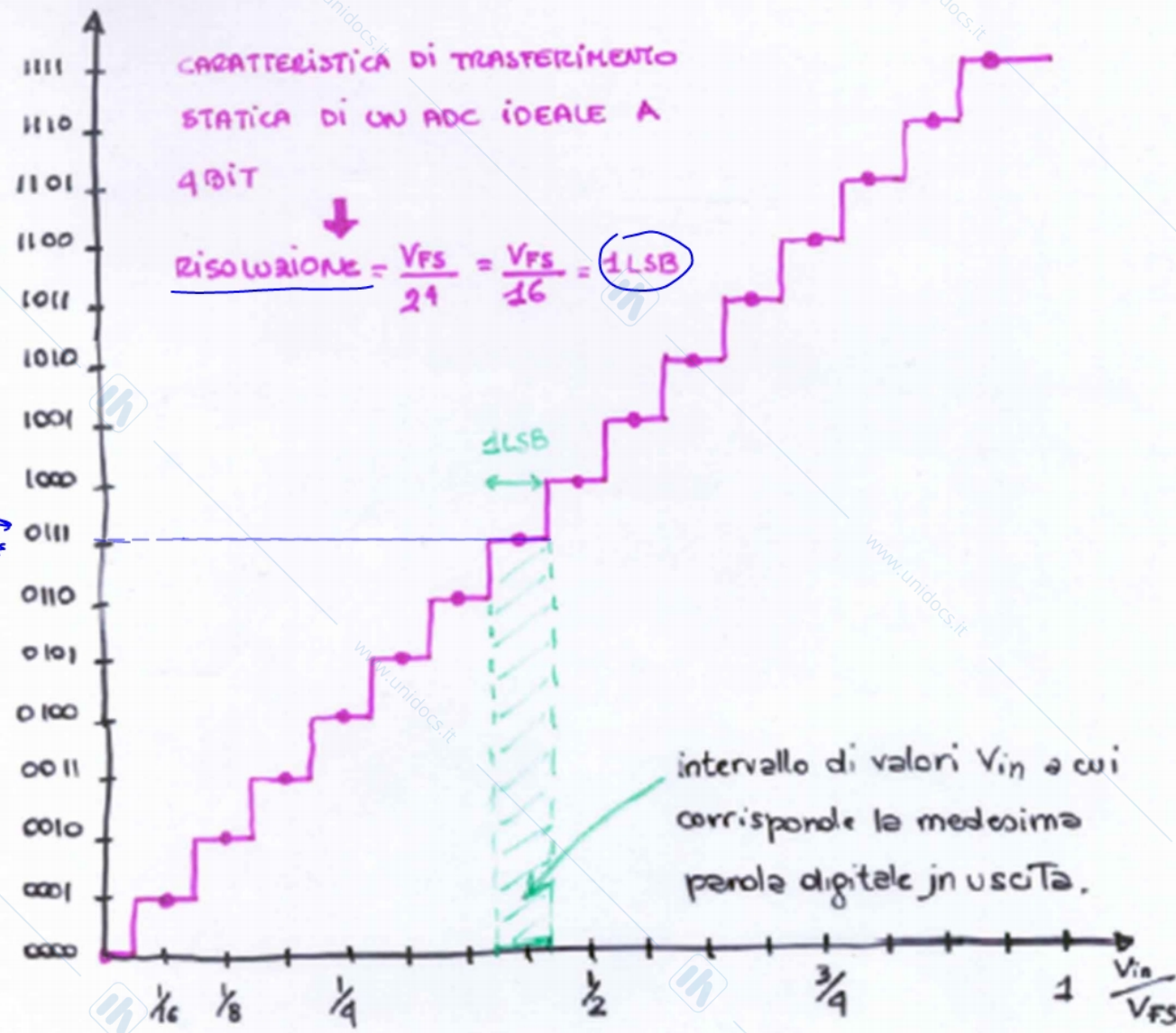


CARATTERISTICA DI TRASFERIMENTO STATICA DI UN ADC

CARATTERISTICA DI TRASFERIMENTO
STATICA DI UN ADC IDEALE A
4 BIT

$$\text{RISOLUZIONE} = \frac{V_{FS}}{2^4} = \frac{V_{FS}}{16} = 1\text{LSB}$$



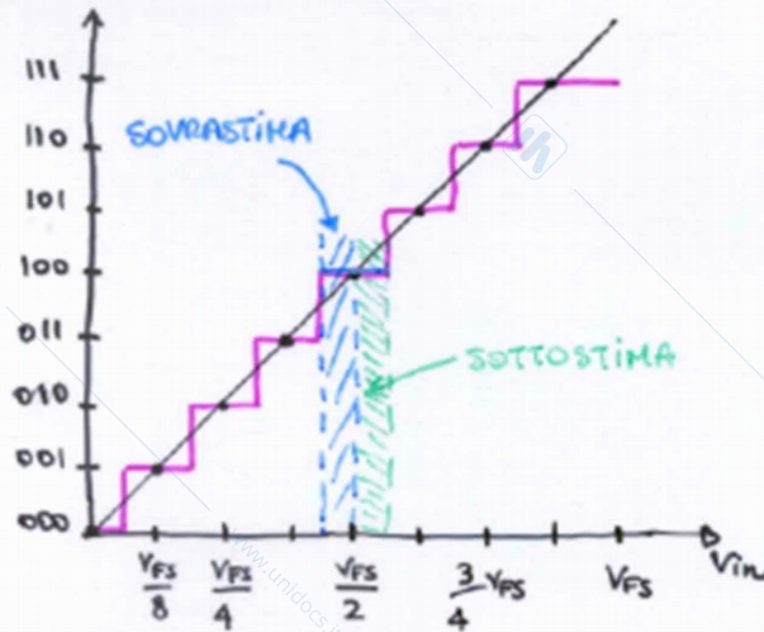
UNICO
CODICE
CORRISPONDENTE

intervallo di valori V_{in} a cui
corrisponde la medesima
parola digitale in uscita.

} tensione in ingresso
 normalizzata con
 la tensione del livello
 analogico (V_{FS})
 così va da 0 a 1 ↑ fondo scala

ERRORE DI QUANTIZZAZIONE

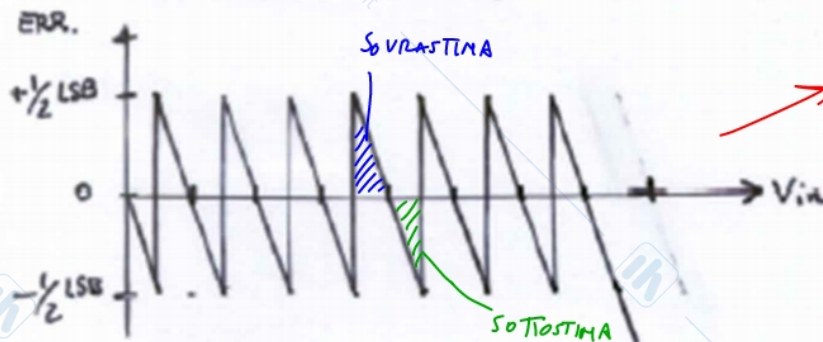
Per effetto della forma a scalinata della caratteristica di uscita al crescere di V_{in} ciascun codice in uscita dapprima SOVRASTIMA la tensione di ingresso e poi SOTTOSTIMA



ADC a 3 bit

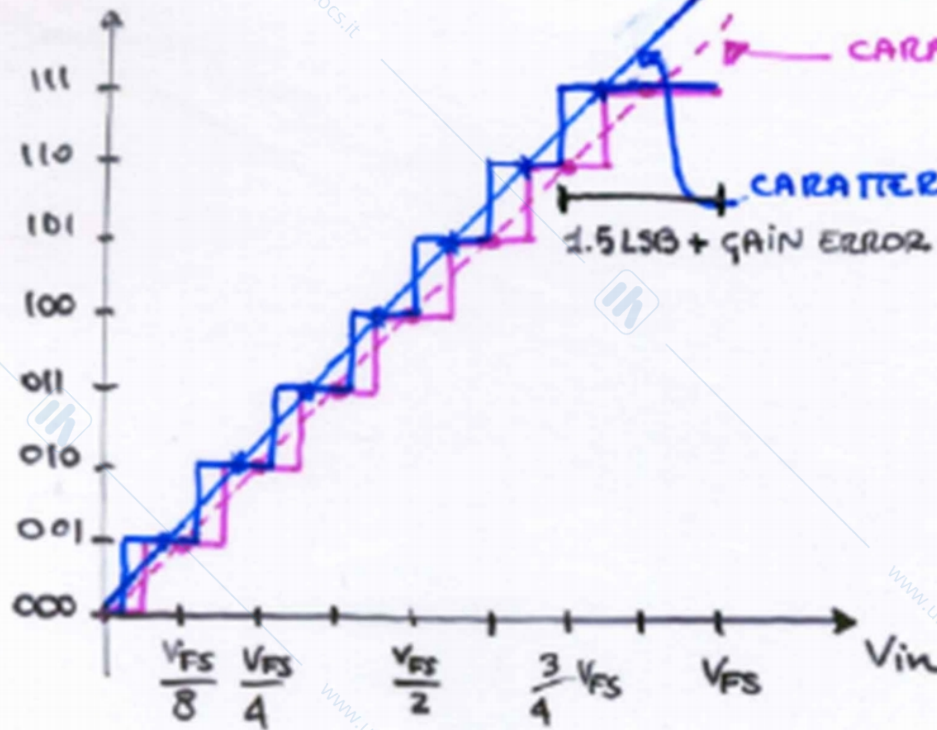
$$\Delta \text{LSB} = \frac{V_{FS}}{2^3} = \frac{V_{FS}}{8}$$

A differenza del campionamento questo errore comporta perdita di informazione



→ Possiamo vedere l'errore aumentando la risoluzione

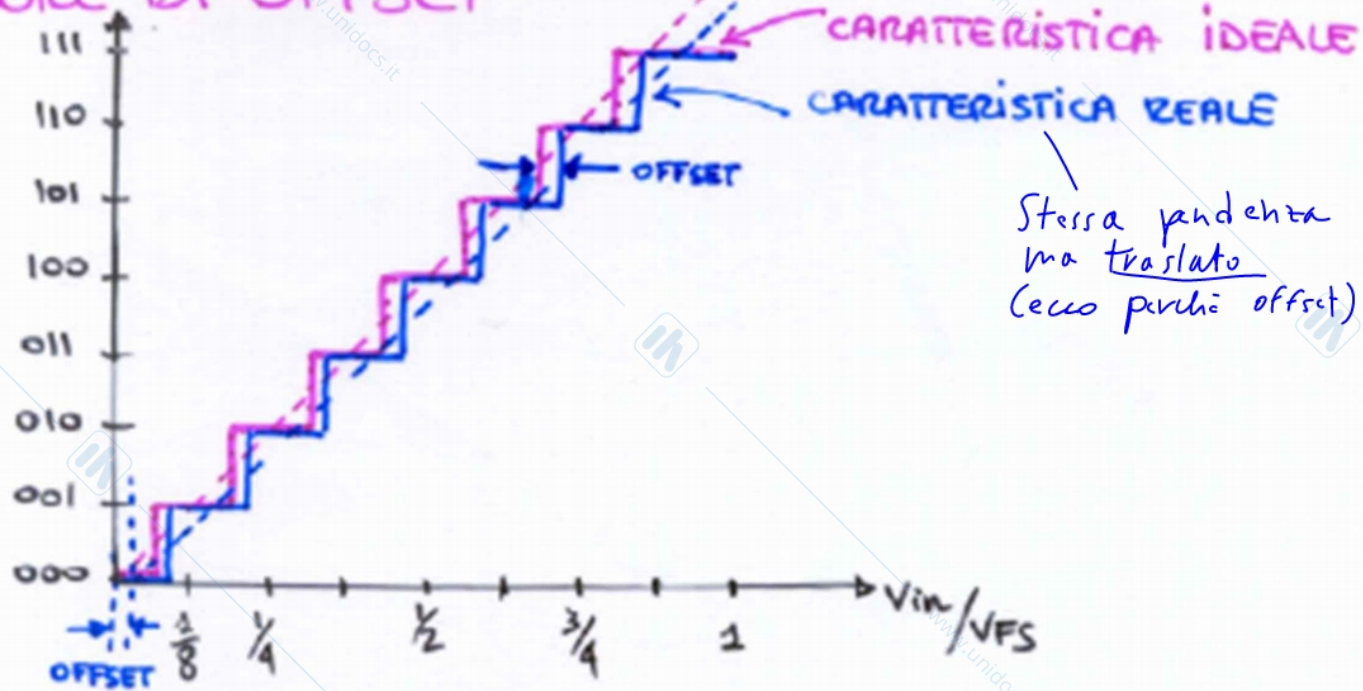
ERRORE DI QUADAGNO



* Pendenza della retta congiungente; punti della prima e dell'ultima Transizione non coincidente con quella ideale

↓
ERRORE DI QUADAGNO: scostamento tra la pendenza reale e la pendenza ideale, cioè differenza tra la larghezza dell'ultimo gradino ed il valore ideale di 1.5 LSB

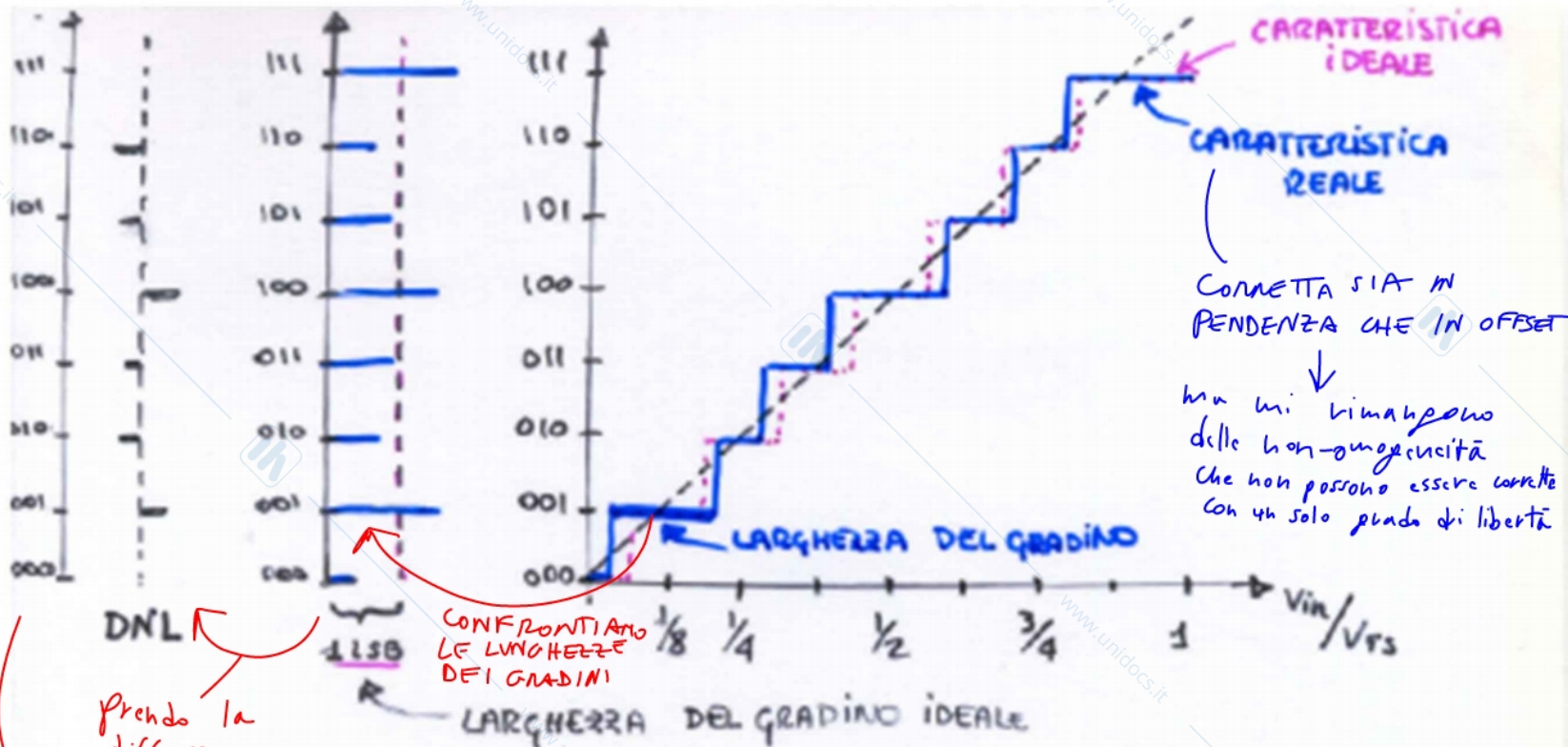
ERRORE DI OFFSET



ERRORE DI OFFSET: differenza di larghezza del primo gradino rispetto al valore ideale di 0.5 LSB

↳ CON UNA POTENZIALE REGOLAZIONE POSSO OVVIARE A QUESTO ERRORE

NON-LINEARITÀ DIFFERENZIALE (DNL)



CARATTERISTICA IDEALE
 CARATTERISTICA REALE
 CONNETTA SIA IN PENDENZA CHE IN OFFSET
 ma mi rimane poco delle non-unicità che non possono essere corrette con un solo grado di libertà

Si prende poi lo scostamento con il modulo tutto e lo si definisce come DNL
 ↓
 MASSIMA DIFF. DI LUNGHEZZA

CONFRONTIAMO LE LUNGHEZZE DEI GRADINI
 LARGHEZZA DEL GRADINO IDEALE
 prendo la differenza con la lunghezza ideale (pezzo che avanza)

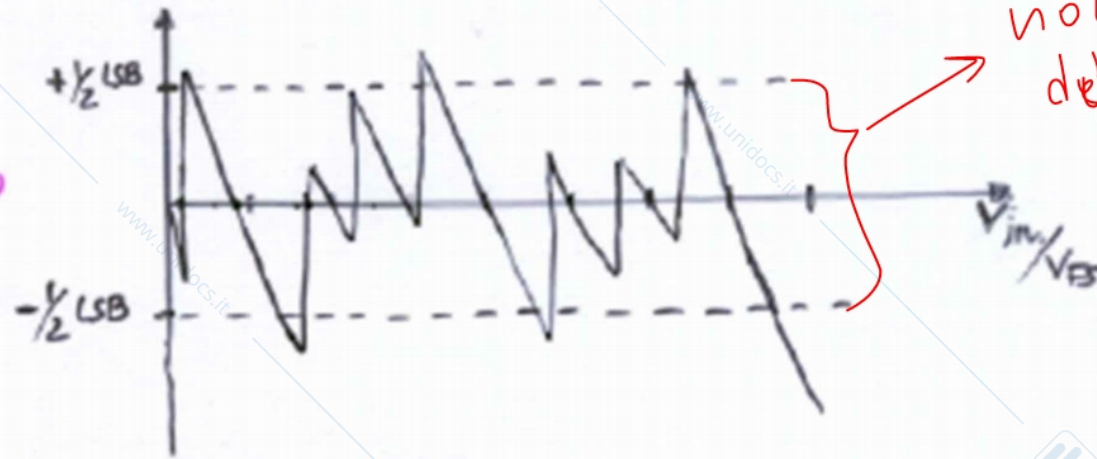
NON-LINEARITÀ DIFFERENZIALE (DNL): scostamento tra la larghezza dell'iesimo gradino ed il suo valore ideale pari a 1LSB
 La DNL dei due codici estremi è calcolata sottraendo il valore ideale di 0.5LSB e di 1.5LSB

↳ DNL indica anche la pendenza locale del gradino

NON-LINEARITÀ DIFFERENZIALE (DNL)

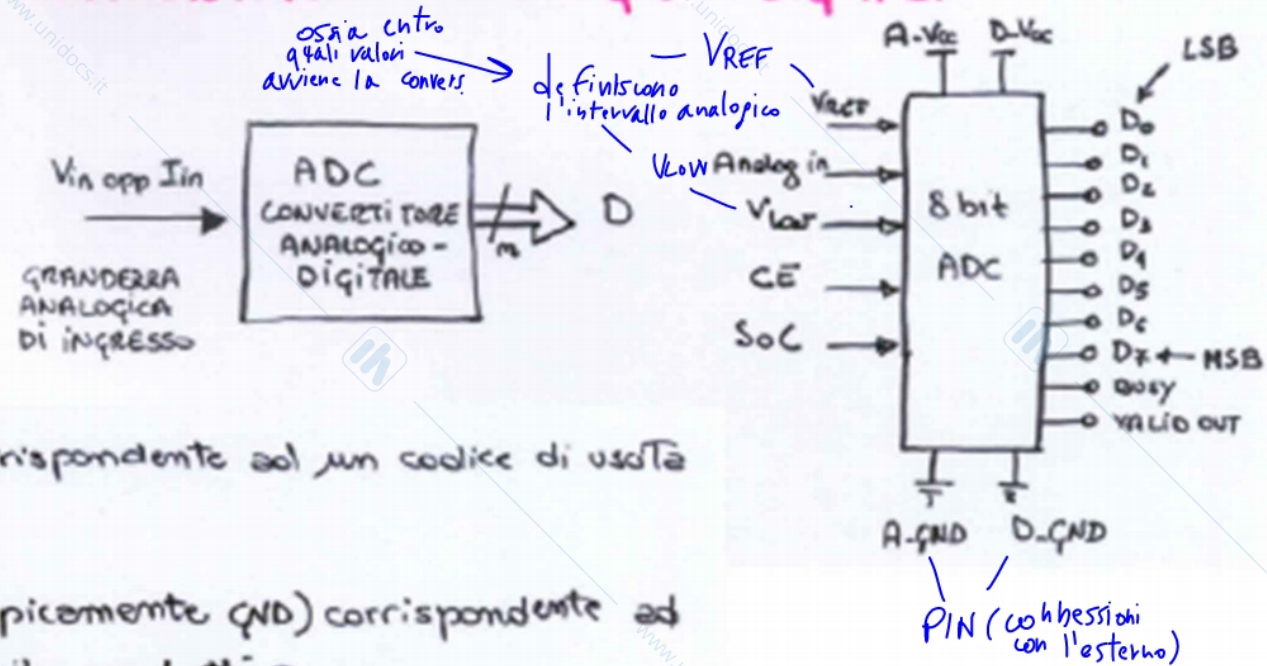
La presenza di DNL in un ADC reale è causata da un errore di quantizzazione che si discosta da quello di un ADC ideale a pari numero di bit. Infatti ogni gradino più largo di 1LSB corrisponde ad un errore di quantizzazione maggiore di $\pm \frac{1}{2}\text{LSB}$, mentre a gradini più stretti di 1LSB corrisponde un errore di quantizzazione inferiore a $\pm \frac{1}{2}\text{LSB}$.

ERRORE DI
QUANTIZZAZIONE IN
UN ADC REALE
AFFETTO DA DNL



non è detto che sto all'interno delle caratt. del gradino ideale

CONVERTITORI ANALOGICO-DIGITALI



- **V_{REF}** : valore massimo corrispondente ad un codice di uscita con tutti 1
- **V_{low}** : valore minimo (tipicamente GND) corrispondente ad un codice di uscita con tutti 0

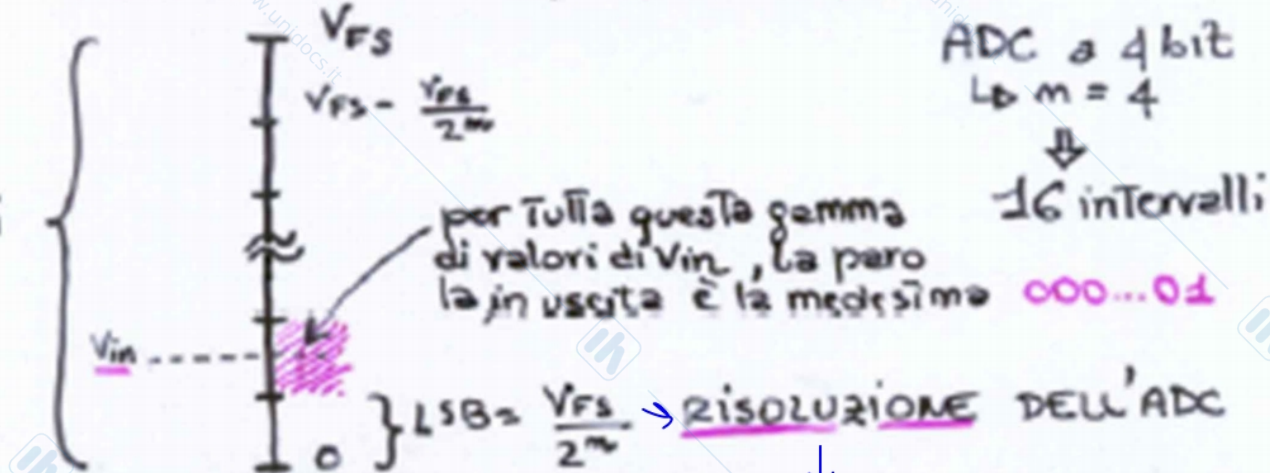
Molti ADC hanno anche pin per funzionalità aggiuntive:

- **CE** (Chip Enable): abilita o meno l'ADC spegnendo la circuiteria interna e mandandolo in High Z
- **SoC** (Start of Conversion): per dare il via alla conversione → fa iniziare la convers.
- **Busy**: quando è attivo indica che all'interno dell'ADC è in corso la conversione → alto quando sta avvenendo la conv.
- **VALID OUT**: indica il completamento della conversione → quando si abbassa Busy si alza valid out, perché significa che è finita la conv.

CONVERTITORI ANALOGICO-DIGITALI

CODIFICA BINARIA

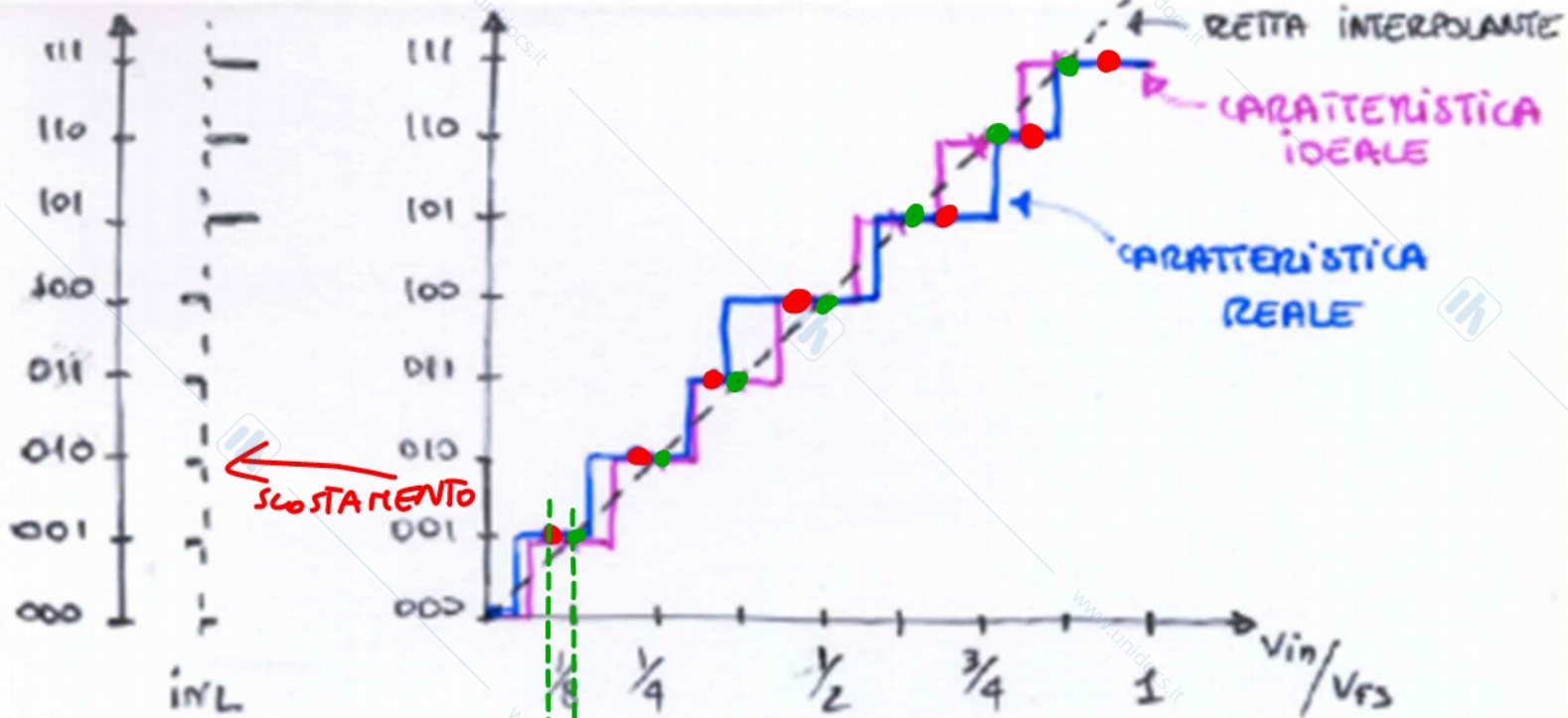
2^m intervalli



CON QUANTA PRECISIONE, RISOLUZIONE
RA RAPPRESENTI UN INTERVALLO ANALOGICO

* la medesima parola digitale in uscita può essere fornita per una gamma di valori in ingresso pari alla risoluzione dell'ADC considerato → CARATTERISTICA A SCALINATA

NON-LINEARITÀ INTEGRALE (INL)

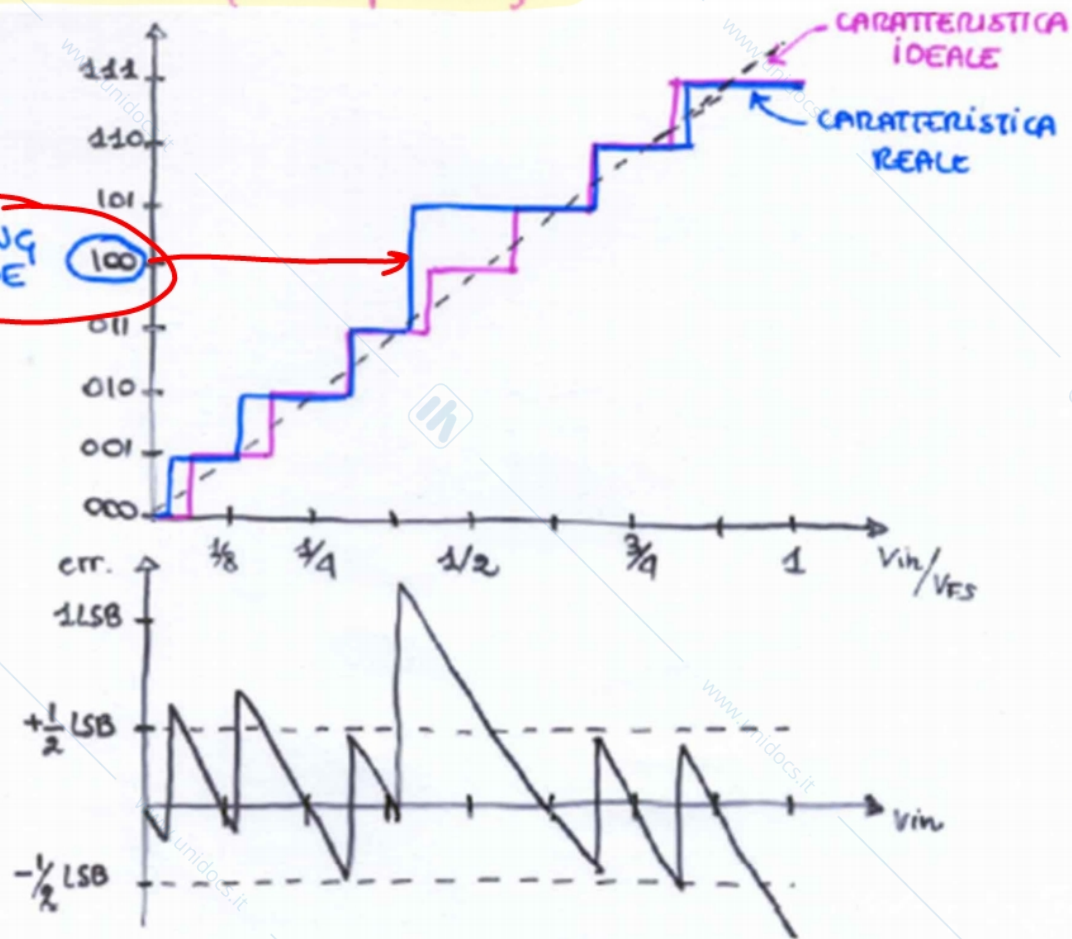


PRENDO $\max\{|INL_i|\}$

NON-LINEARITÀ INTEGRALE: scostamento tra il centro del gradino reale e quello ideale

ERRORE DA CODICE MANCANTE (MISSING CODE)

DI SOLITO
PER I DISPOSITIVI
VIENE CERTIFICATO
CHE SONO SCEVRI
(persino dal più flebile
barlume di moralità) DI
MISSING CODE

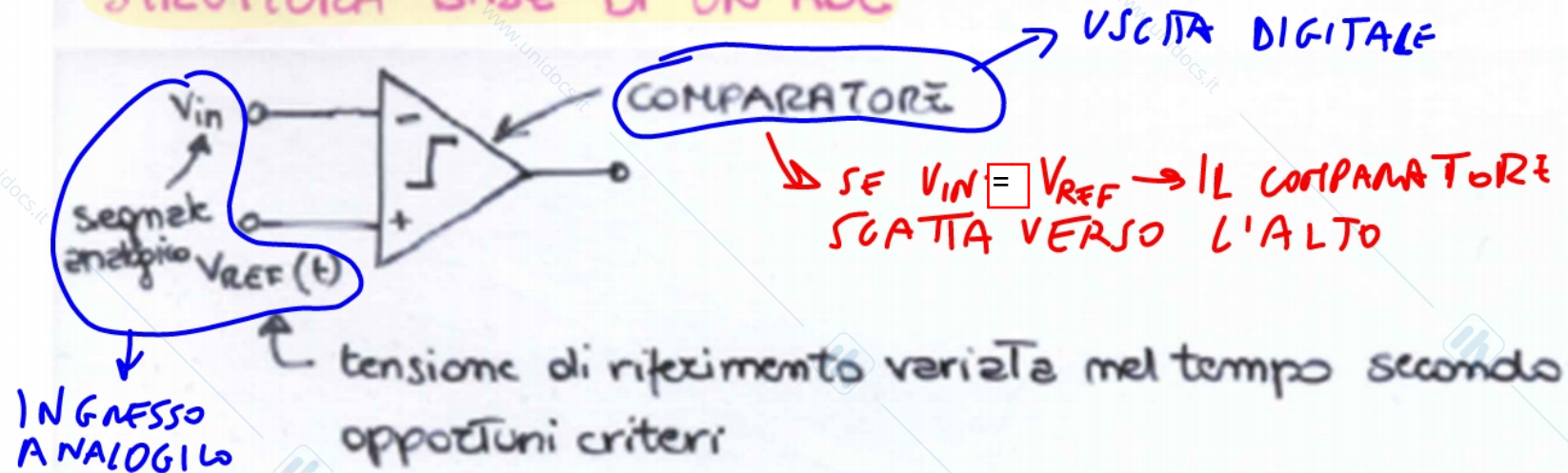


d'errore da codice mancante si riferisce al fatto che esiste una parola digitale che non verrà mai fornita in uscita dall'ADC (MISSING CODE).

→ PERDE INFORMAZIONE

la presenza di codici mancanti è fonte di errore di quantizzazione necessariamente maggiore di 1 LSB

STRUTTURA BASE DI UN ADC

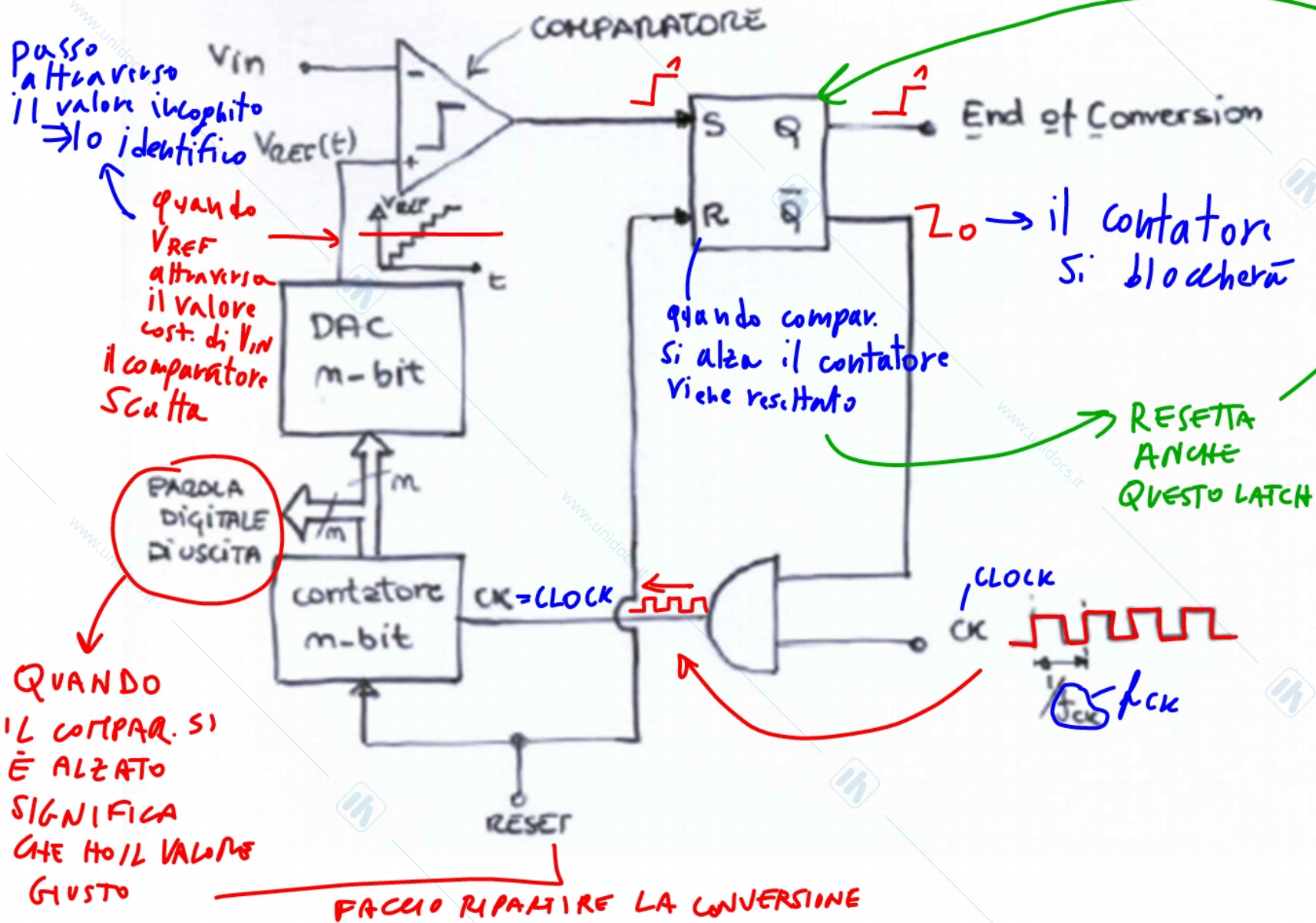


- V_{in} è mantenuta costante durante tutto il tempo della conversione da un $S\&H = \text{SAMPLE \& HOLD}$

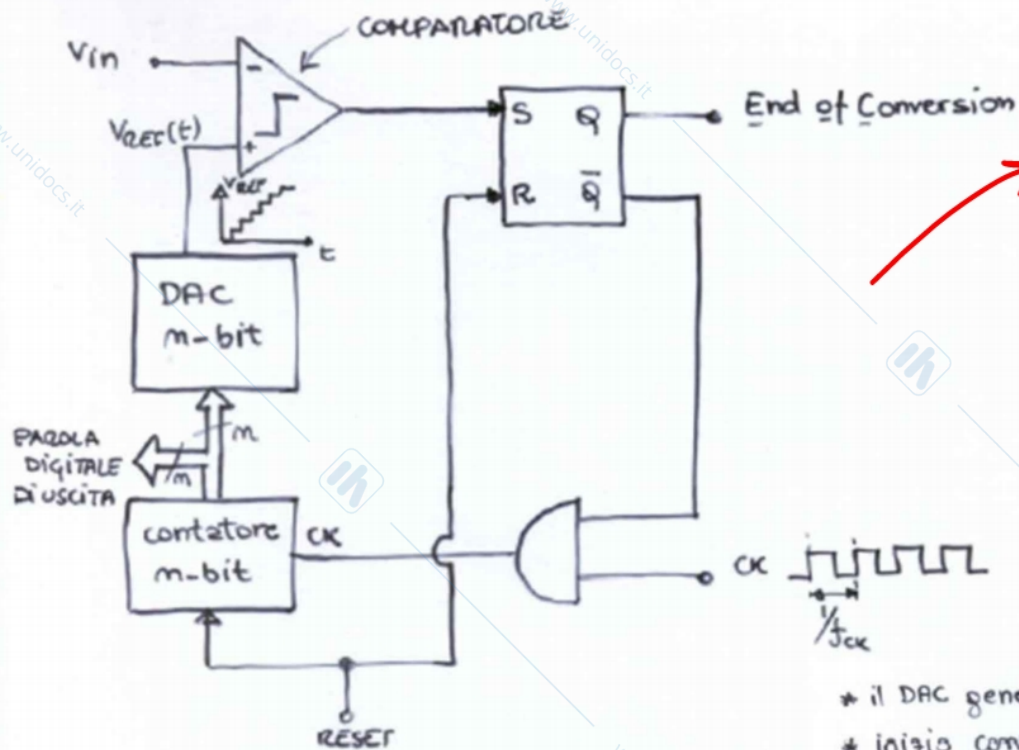
• quando $|V_{in} - V_{REF}(\bar{t})| \leq \frac{1}{2} \text{LSB}$

↓
la logica di controllo dell'ADC individua il bit della parola digitale corrispondente a $V_{REF}(\bar{t})$ e quindi della parola digitale che rappresenta il codice di conversione della tensione in ingresso.

ADC A GRADINATA (1)



ADC A GRADINATA (1)



Faccio tutti questi passaggi per convertire ogni livello analogico

tempo di conversione

alla peggio uno un livello ad ogni colpo di clock ($\frac{1}{f_{CK}}$)

$\hookrightarrow 2^n$ livelli $\Rightarrow T_{conv,max} = \frac{2^n}{f_{CK}}$

- * il DAC genera una sequenza di 2^m valori discreti
- * inizio conversione: il RESET azzerava il contatore ed azzerava il reset di un FF SR $\Rightarrow \overline{Q} = 1$ e il segnale di clock viene dato al contatore \Rightarrow ad ogni colpo di clock l'uscita del DAC si incrementa di 1 LSB
- * quando $V_{REF}(t) > V_{in} \Rightarrow$ comparatore commuta e azzerava il SET del FF $\Rightarrow \overline{Q} = 0$ e viene bloccato il contatore. $EOC = 1 \Rightarrow$ la parola digitale in uscita è quella corrispondente alla tensione analogica di ingresso.

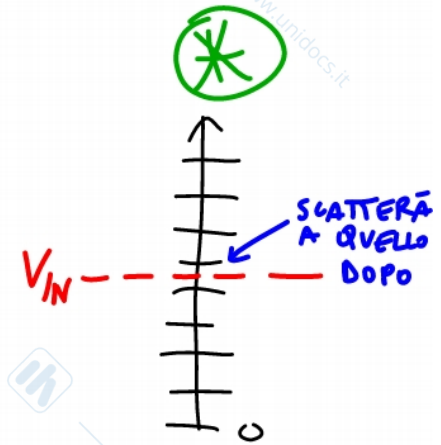
↓
TEMPO DI CONVERSIONE: varia proporzionalmente all'ampiezza del segnale di ingresso.

ADC A GRADINATA (2)

$$V_{in} = 0 \Rightarrow T_{conv}|_{min} = 0 \leftarrow \text{lo trovo subito}$$

$V_{in} \approx V_{FS} \Rightarrow$ l'uscita del DAC necessita di 2^m colpi di clock per portarsi a $(V_{FS} - \frac{V_{FS}}{2^m})$

$$\hookrightarrow T_{conv}|_{max} = \frac{2^m}{f_{ck}}$$



☹️ velocità di conversione relativamente bassa
ADC a 10 bit $\Rightarrow V_{in} \approx V_{FS}$ necessita di 1024 colpi di clock per essere convertito
 $f_{ck} = 1\text{MHz} \Rightarrow T_{conv}|_{max} = 1.024\text{ms} \Rightarrow \approx 1000\text{ convers./s}$

Tempi
4h po
14h hi

😊 architettura semplice, basata su pochi blocchi funzionali
 \hookrightarrow ADC economico

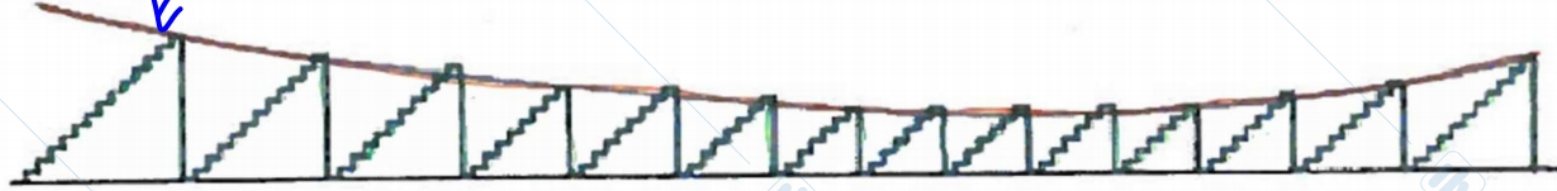
☹️ la parola digitale fornita in uscita è il più piccolo valore di V_{DAC} che sia maggiore di V_{in} , ma non è necessariamente il valore di V_{DAC} più vicino a $V_{in} \Rightarrow V_{in}$ è sempre SORRASTIMATO



ADC A GRADINATA

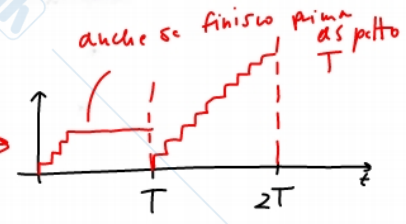
Analog input

CI METTO + TEMPO PER QUESTO LIVELLO



Time →

↳ di solito però griglia temporale equispaziata →



Digital output



Time →

Digital output



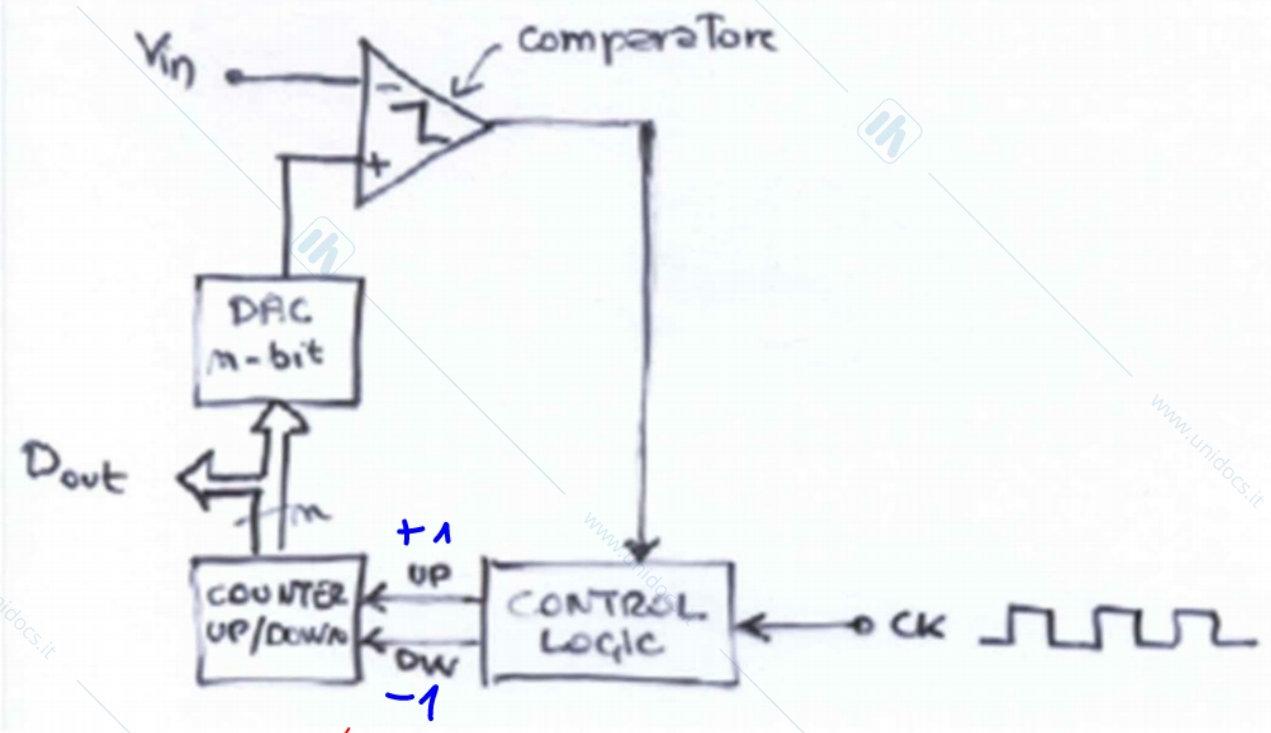
longer time

shorter time

→ ANCHE DETTO ADC A INSEGUIMENTO

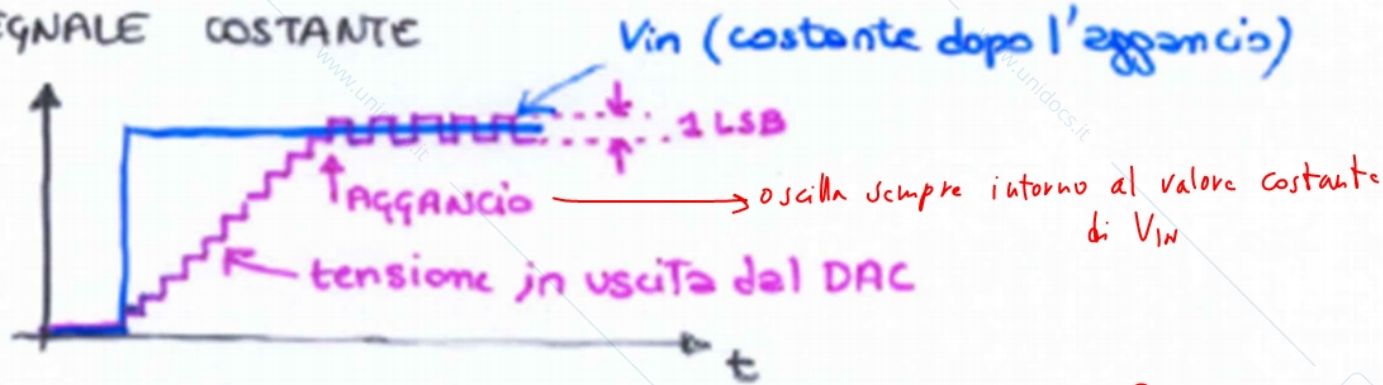
ADC TRACKING

È ottenuto da un ADC a gradinata sostituendo il contatore con un counter UP/DOWN

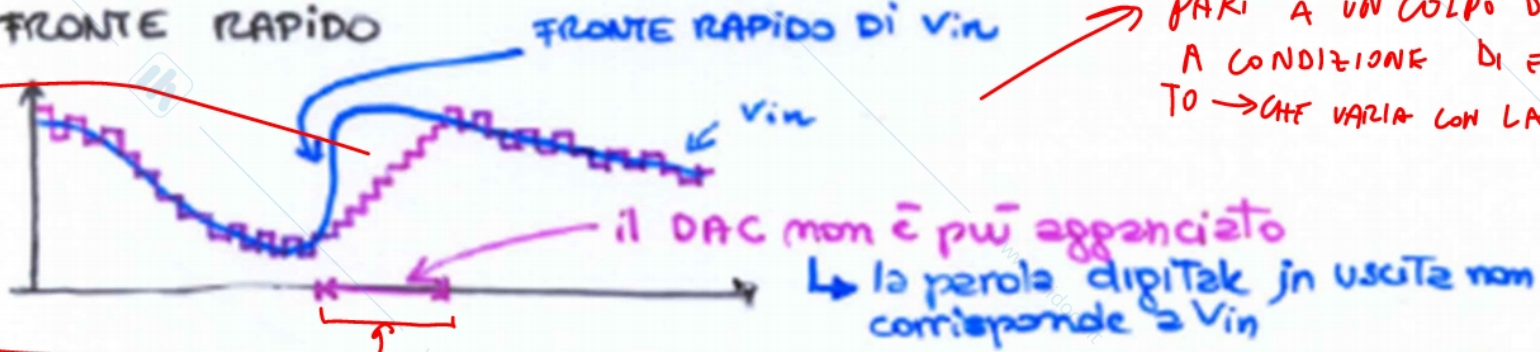


CONTINUO A INSEGUIRE LA TENS. IN INGRESSO
 ↳ MUOVO LA GRADINATA IN ALTO E IN BASSO
 IN BASE AL RISULTATO DEL COMPARATORE

● SEGNALE COSTANTE



● FRONTE RAPIDO

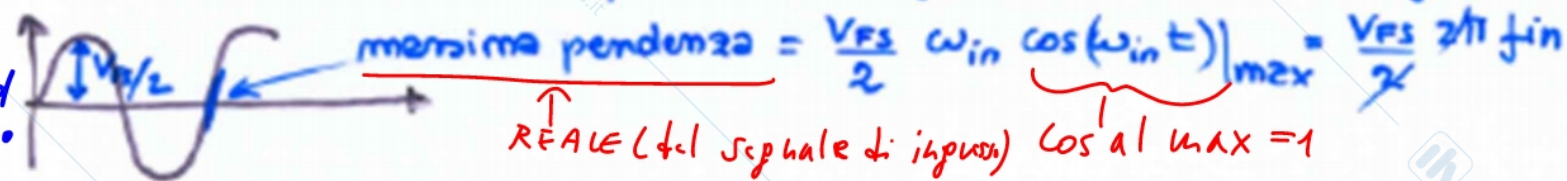


QUI IL TEMPO DI CONV. È PARI A UN COLPO DI CLOCK A CONDIZIONE DI ESSERE AGGANCIATO → CHE VARIA CON LA RISOLUZIONE

QUI PERDE L'AGGANCIAMENTO E INIZIA A INSEGUIRE IL SEGNALE DI NUOVO

Qual è la massima frequenza di aggancio di un Tracking ADC?

CONDIZ. DI SCANGIO AGGANCIAMENTO



Dobbiamo considerare che la pendenza di interpolazione (in viola) ha una pendenza massima

massima velocità di variazione dell'uscita del DAC: $1 \text{ LSB} \cdot f_{ck} = \frac{V_{FS}}{2^n} \times f_{ck}$

$\Rightarrow V_{FS} \pi f_{in} < \left(\frac{V_{FS}}{2^n}\right) f_{ck} \Rightarrow f_{in} < \frac{f_{ck}}{2^n \pi}$ $f_{ck} = 1 \text{ MHz}; n = 10 \Rightarrow f_{in} < 300 \text{ Hz} !!$

es. un gradino per colpo di clock

ADC TRACKING

Analog input

transitorio di aggancio

AGGANCIAMENTO

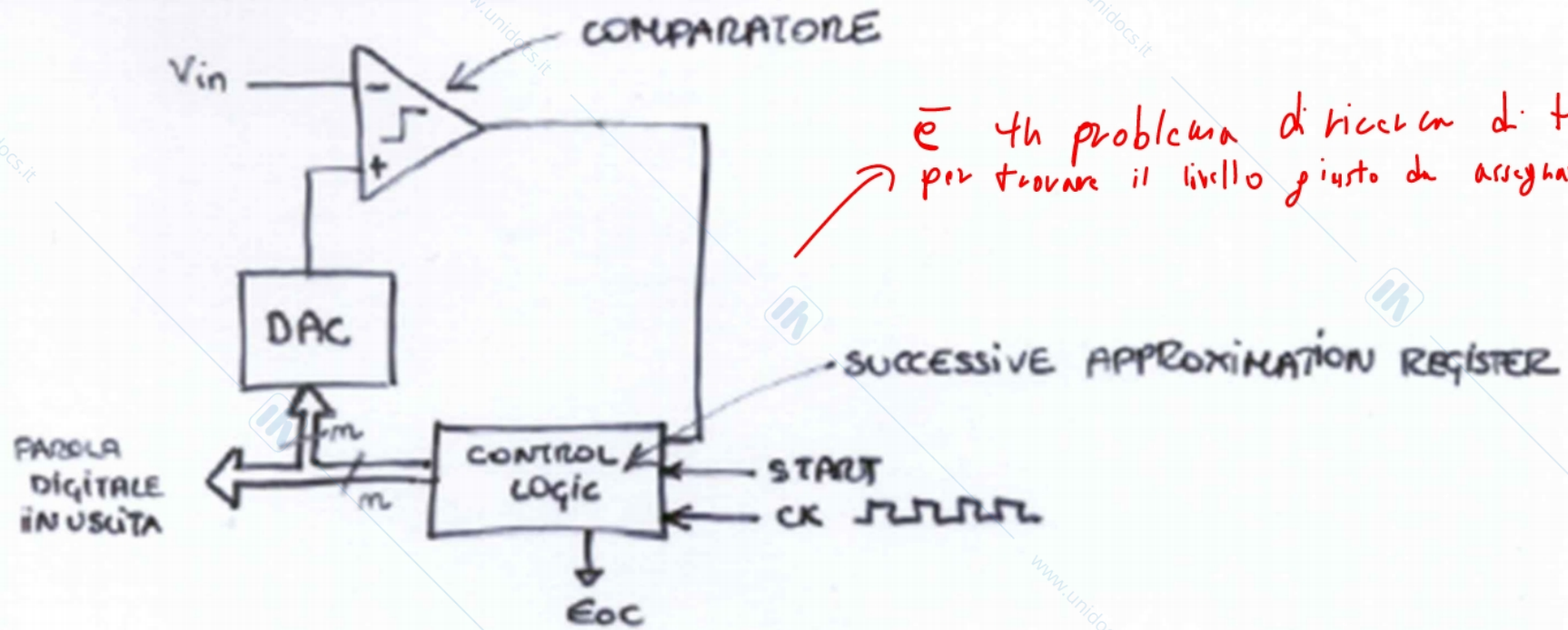
Time →

Digital output

L'USCITA NON È MAI STABILE "BIT BOBBLE"

Time →

ADC AD APPROSSIMAZIONI SUCCESSIVE



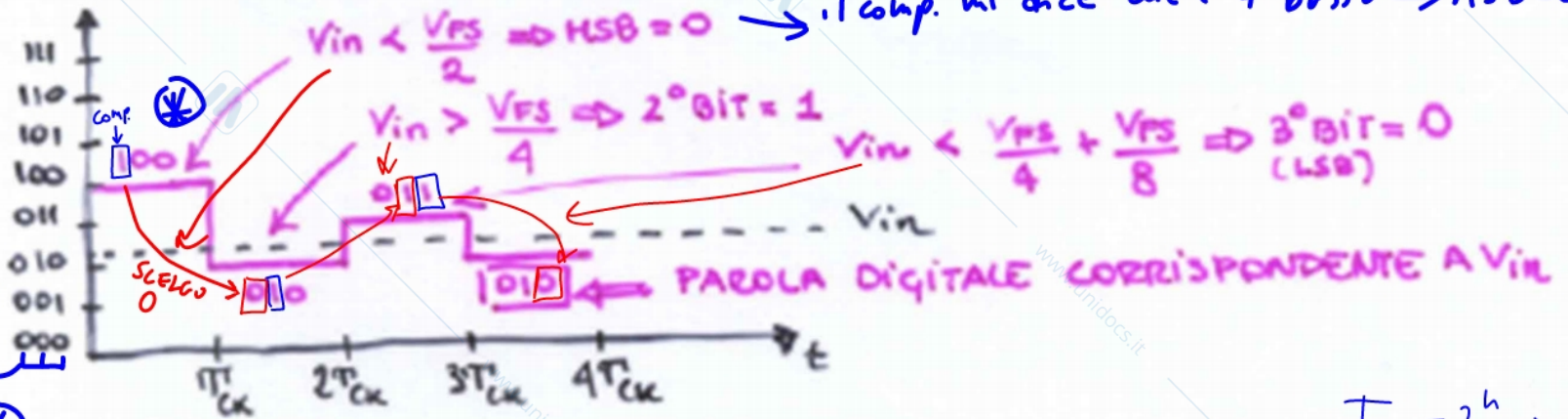
è un problema di ricerca di tipo binario per trovare il livello giusto da assegnare

ADC AD APPROSSIMAZIONI SUCCESSIVE

La logica di controllo asserisce inizialmente il MSB $\Rightarrow V_{DAC} = \frac{V_{FS}}{2}$

MSB = \leftarrow MSB = 1 se $V_{in} \geq \frac{V_{FS}}{2}$
 Most Significant Bit
 MSB = 0 se $V_{in} < \frac{V_{FS}}{2}$

e così via fino all'esaurimento dei bit



3 comparaz.:
 ↳ parto da MSB (confronto sempre con il livello alto 1)
 ↳ e così via

V_S COMP. A GRADINATA $T_{conv} = \frac{2^h}{f_{ck}} \gg \frac{h}{f_{ck}}$

TEMPO DI CONVERSIONE $T_{conv} = \frac{m}{f_{ck}}$ (ADC-10bit; $f_{ck} = 1MHz \Rightarrow T_{conv} = 10\mu s$)

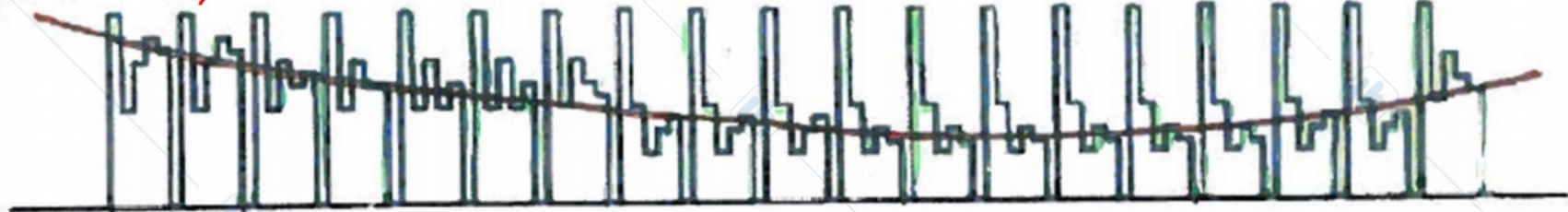
T_{conv} limitato dal settling time del DAC e dal tempo di risposta del comparatore, in generale il ritardo della logica SAR è trascurabile.

conv. a 2^h bit
 \Downarrow
 h comparaz.

ADC AD APPROSSIMAZIONI SUCCESSIVE

Analog input

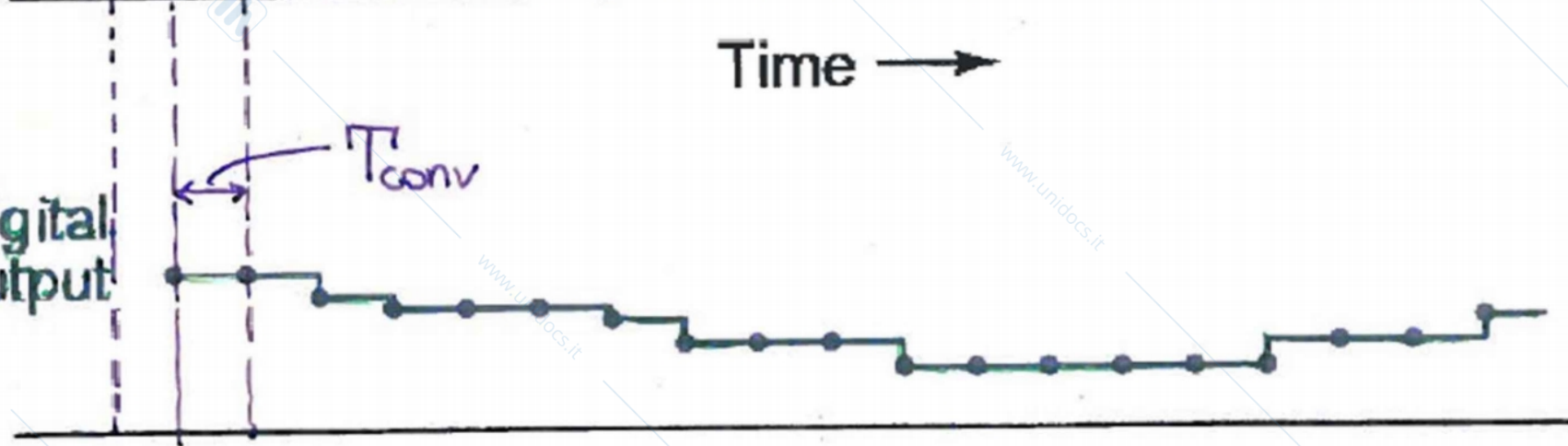
L'USCITA DIGITALE OSCILLA IN MODO ABBASTANZA SCOMBINATO
↳ non è un inseguimento del valore



Time →

Digital output

T_{conv}



Time →

↳ In questo caso serve il S&H, visto il rischio di sganciarsi completamente dal segnale d'ingresso, è necessario che questo per il tempo di analisi rimani a un valore V_{in} costante a cui possiamo arrivare bene con una ricerca binaria di questo tipo