

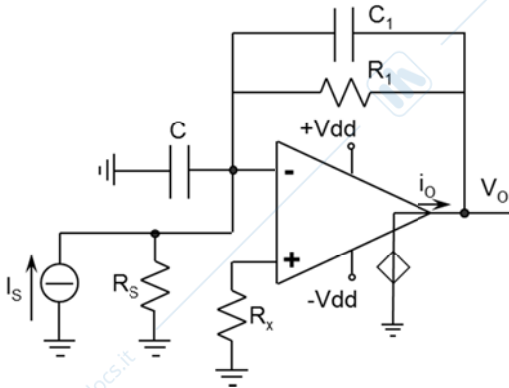
## Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2016/2017

## Appello del 20 Settembre 2017

**Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...  
In grassetto le domande obbligatorie per il superamento dell'esame**

**Esercizio 1.**

Si consideri il circuito in figura, dove  $I_S$  e' un generatore di corrente di segnale. Si assuma che l'A.O. sia ideale ove non diversamente specificato.



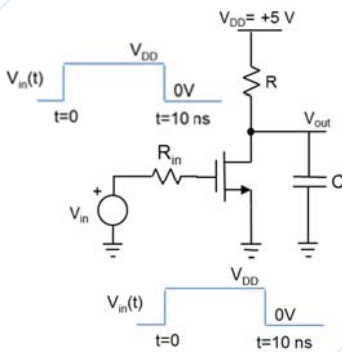
$$V_{dd} = 2.5 \text{ V}$$

$$R_S = 100 \text{ k}\Omega, C = 2 \text{ pF}, C_1 = 4 \text{ pF}, R_1 = 4 \text{ M}\Omega$$

- Determinare il valore che deve assumere la resistenza  $R_x$  per compensare le correnti di bias dell'amplificatore operazionale, supposte entranti e di valore medio pari a  $4 \mu\text{A}$  e offset pari a  $20 \text{ nA}$ . Determinarne, quindi, l'effetto residuo sulla tensione di uscita.
- Determinare l'espressione completa della funzione di trasferimento  $V_O/I_S$  nell'ipotesi di A.O. ideale. Se ne disegni il grafico di Bode del modulo, calcolando espressamente il valore numerico di tutte le grandezze significative.
- Se l'A.O. e' caratterizzato da  $\text{GBWP}=50\text{MHz}$ , determinare il margine di fase del circuito.

**Esercizio 2.**

Si consideri la porta logica costituita dallo stadio nMOS in figura. La tensione di ingresso  $V_{in}$  e' compresa tra  $0\text{V}$  e  $5\text{V}$ .



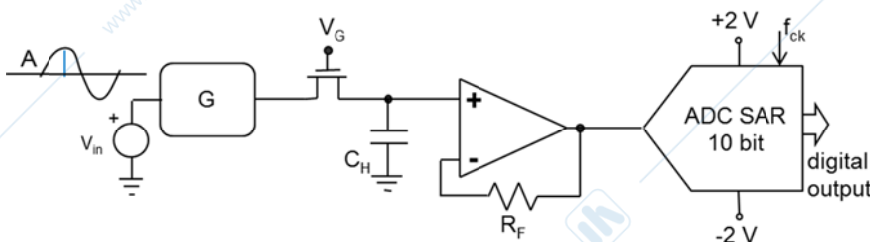
$$k_n = 1 \text{ mA/V}^2, V_t = 1 \text{ V}$$

$$R_{in} = 100 \text{ k}\Omega, R = 1 \text{ k}\Omega, C = 10 \text{ pF}$$

- Calcolare i valori di  $V_{out}$  corrispondenti ad un ingresso logico basso ( $V_{in}=0\text{V}$ ) e ad un ingresso logico alto ( $V_{in}=V_{DD}$ ). Determinare quindi la funzione logica della porta.
- Assumendo l'andamento temporale della tensione di ingresso mostrato in figura, si tracci il grafico approssimativo della  $V_{out}(t)$  quotando tutti i punti significativi (in particolare si stimi il tempo di passaggio per il valore  $V_{out}=V_{DD}/2$  nelle due transizioni, utilizzando le approssimazioni piu' opportune al caso).
- Tracciare il grafico approssimativo della caratteristica statica ingresso-uscita della porta, calcolando espressamente le coordinate dei seguenti punti significativi della curva: punto A ( $V_{in}=0$ ), punto B ( $V_{in}=V_t$ ), punto C (bordo di saturazione nMOS), punto D ( $V_{in}=5\text{V}$ ).
- Calcolare la soglia logica della porta.

**Esercizio 3.**

Si consideri il circuito per la conversione A/D mostrato in figura. Il segnale di ingresso  $V_{in}$  e' sinusoidale, del tipo  $A \cdot \sin(2\pi ft)$ , con  $A$  compresa tra  $50\text{mV}$  -  $200\text{mV}$  e frequenza  $f$  compresa nell'intervallo  $100\text{Hz}$  -  $20\text{kHz}$ .



Dati:

$$N\text{-MOS: } k = 4 \text{ mA/V}^2, V_T = 1\text{V}$$

$$C_H = 1 \text{ nF}$$

$$R_f = 100 \text{ k}\Omega$$

$$f_{ck} = 1 \text{ MHz}$$

- Dimensionare il minimo valore del guadagno del blocco  $G$  per garantire una risoluzione di  $1 \text{ mV}$  sul segnale di ingresso. Determinare successivamente il guadagno del blocco  $G$  che consenta la migliore risoluzione del segnale di ingresso ed il corrispondente valore di  $1 \text{ LSB}$  riferito all'ingresso.
- Si assuma ora  $G=10$ . Determinare il minimo slew-rate che deve possedere l'A.O. se la tensione  $V_G$  applicata al transistor nMOS nella fase di Sample e' pari a  $10\text{V}$ .
- Se la resistenza di ingresso differenziale dell'A.O. e' pari a  $R_{id}=100 \text{ k}\Omega$ , calcolare l'errore commesso assumendo il minimo tempo di Hold. Si assuma  $G=10$  ed un guadagno ad anello aperto dell'A.O. pari a  $A_0=60 \text{ dB}$ .

**Traccia di soluzione del TE 20 set 2017****Esercizio 1**

1a)

Il circuito va analizzato in DC in quanto le correnti di bias sono assimilabili a segnali in continua.

$R_x$  puo' compensare esattamente le due correnti di bias solo nel caso abbiano valore noto, cosa non possibile in pratica.

La compensazione piu' efficace si ha assumendo  $I_+ = I_- = I_{bias}$  (valore medio correnti di polarizzazione, tipicamente dominante rispetto all'offset), si calcola  $V_o$  con la sovrapposizione degli effetti e dalla condizione  $V_o = 0$  si ottiene il valore di  $R_x$  incognito:

$$R_x = R_1 // R_s = 97.6 \text{ kohm}$$

Una volta scelta  $R_x$  come sopra, l'effetto aggiuntivo di  $I_{os}$  (non correggibile) puo' essere calcolato ponendo il solo generatore  $I_{os}$  su uno dei 2 morsetti dell'A.O., da cui:

$$|V_o|_{I_{os}} = R_1 * I_{os} = 20 \text{ nA} * 4 \text{ Mohm} = 80 \text{ mV}$$

1b)

Con A.O. ideale si ha:

$$V_o = -I_s * [R_1 // (1/sC_1)]$$

$$V_o/I_s = -R_1 / (1 + s * R_1 * C_1)$$

$$f_l = 1 / (2 * \pi * R_1 * C_1) = 9.9 \text{ kHz}$$

1c)

Per valutare il margine di fase calcolo il Gloop.

$$\text{Gloop}(s) = -A(s) * [R_s / (R_s + R_1)] * (1 + s * R_1 * C_1) / (1 + s * \tau_2)$$

Dal grafico di Bode del modulo si vede chiaramente che il margine di fase e' di circa 90 gradi.

**Esercizio 2**

2a)

$V_{in} = 0$ : nMOS spento,  $I_d = 0$ ,  $V_{outHIGH} = V_{DD}$

$V_{in} = V_{DD}$ : nMOS acceso

Ipotesi nMOS in zona ohmica ( $V_{ds} = V_{out} \ll V_{gs} - V_t = 4 \text{ V}$ ), lo approssimo con una resistenza di valore  $R_{ds} = 1 / [2 * k * (V_{in} - V_t)] = 0.125 \text{ kohm}$ . Quindi  $V_{out}$  e' la partizione di  $V_{DD}$  tra  $R$  e  $R_{ds}$ :

$$V_{outLOW} = V_{DD} * R_{ds} / (R_{ds} + R) = 0.56 \text{ V} \ll 4 \text{ V} \text{ che verifica l'ipotesi di zona ohmica.}$$

E' evidentemente un inverter.

2b)

Per  $t < 0$   $V_o(t)$  e' al valore logico alto ( $V_{outHIGH}$ , vedi punto 2a), a  $t = 0$  inizia la transizione verso il livello basso ( $V_{outLOW}$ ) e a  $t = 10 \text{ ns}$  inizia la transizione verso il livello alto ( $V_{outHIGH}$ , vedi punto 2a).

Per il calcolo della transizione  $H \rightarrow L$ , il circuito puo' essere approssimato come un circuito lineare costituito da  $R$ ,  $R_{ds}$  e  $C$  (nMOS in zona ohmica, vedi punto 2a) che da' luogo ad una transizione esponenziale. Quindi il tempo di transizione  $H \rightarrow L$ , preso al livello  $V_{DD}/2$ , risulta:

$$T_{HL} = \ln(2) * C * (R // R_{ds}) = 0.76 \text{ ns} \text{ (trascuro il fatto che a regime non arriva esattamente a 0 ma a } 0.56 \text{ V).}$$

Essendo  $T_{HL} \ll 10 \text{ ns}$ , la prima transizione va a regime entro la durata del rettangolo di ingresso.

La transizione  $L \rightarrow H$  e' un pull-up attraverso  $R$  (nMOS spento), anche qui una transizione esponenziale. Trascurando il fatto che l'esponenziale non parte esattamente da 0 (ma da  $0.56 \text{ V}$ ), il passaggio per  $V_{DD}/2$  lo possiamo approssimare  $T_{LH} = \ln(2) * C * R = 6.9 \text{ ns}$  (viceversa  $T_{HL}$ ,  $T_{LH}$  si calcolano facilmente con i valori esatti).

2c)

Si mostra nel seguito il calcolo delle coordinate del punto B (nMOS al bordo di saturazione).

Quando nMOS e' saturo valgono le seguenti relazioni:

$$V_{DD} = V_o + R * I_d$$

$$I_d = k * (V_{in} - V_t)^2,$$

da cui l'equazione  $V_{DD} = V_o + k * R * (V_{in} - V_t)^2$ .

Il bordo di saturazione e' definito dalla condizione critica  $V_o = (V_{in} - V_t)$  che, applicata all'equazione precedente, da':

$$V_o^2 + V_o - 5 \text{ V} = 0 \rightarrow \text{unica radice accettabile } V_{oB} = 1.79 \text{ V} \text{ e quindi } V_{inB} = V_{oB} + V_t = 2.79 \text{ V}.$$

2d)

Il punto di soglia logica corrisponde alla condizione ( $V_{in} = V_o$ ) nella curva ingresso-uscita della porta.

Assumo che in quel punto il transistor nMOS sia saturo (e' una ipotesi da verificare, in realta' gia' confermata dal punto 2c).

Vale l'equazione  $V_{DD} = V_o + k * R * (V_{in} - V_t)^2$  ricavata la punto precedente a cui applico la condizione  $V_o = V_{in}$ , e ottengo:

$$x^2 + x - 4 = 0 \text{ (} x = V_o - V_t \text{), da cui } x = 1.56 \text{ V e' l'unica radice accettabile. Di qui ottengo } V_{o|soglia} = V_{in|soglia} = x + V_t = 2.56 \text{ V}.$$

**Esercizio 3**

3a)

Si richiede  $dV_{in} \leq 1\text{mV}$  e quindi dev'essere  $LSB_{adc} \leq G \cdot dV_{in}$ Di qui la condizione su  $G \geq LSB_{adc}/dV_{in} = 3.9$  (valore minimo di  $G$ )

Per la migliore risoluzione (ovvero  $dV_{in}$  più piccolo) devo massimizzare  $G$ , in modo che il segnale 'copra' l'intera dinamica dell'ADC (ma non oltre).

Alla massima ampiezza di ingresso ( $V_{in|max} = 0.2\text{ V}$ ,  $\Delta V_{in} = 0.2 - (-0.2) = 0.4\text{V}$ ), la dinamica del segnale all'ingresso dell'ADC vale  $\Delta V_o = G \cdot \Delta V_{in}$ . Imponendo  $\Delta V_o < 4\text{V}$  (massima dinamica ADC) si ottiene  $G < \Delta V_o / \Delta V_{in} = 4\text{V} / 0.4\text{V} = 10$ .

Per  $G = 10$  si ha  $LSB_{in} = LSB_{adc} / G = (4\text{V} / 1024) / G = 3.9\text{mV} / 10 = 0.39\text{mV}$

3b) Durante la fase di Sample, la tensione su CH e' una transizione esponenziale che parte dal valore precedentemente memorizzato e arriva, a fine periodo di Sample, vicino al nuovo valore da acquisire. La costante di tempo e'  $\tau = R_{ds} \cdot C_H$ . La  $R_{ds}$  si ricava dal dato  $V_g = 10\text{V}$ , da cui  $R_{ds|max} = 1 / (2 \cdot k \cdot (G \cdot V_{in|max} - V_t)) = 1 / (2 \times 4\text{mA/V}^2 \times 8\text{V}) = 15.6\text{ Ohm}$ , e quindi si trova che  $\tau = R_{ds} \cdot C_H = 15.6\text{ ns}$ .

In questa transizione la derivata e' quindi massima all'inizio della fase di Sample:

$(dV_H/dt)(t=0+) = (V_{Hfin} - V_{Hinit}) / \tau$ , che nel caso peggiore (massima escursione  $(V_{Hfin} - V_{Hinit})$  del transitorio) vale  $4\text{V} / 15.6\text{ns} = 256.4\text{ V}/\mu\text{s}$ .

Pertanto lo SR dell'A.O. dovrà essere maggiore di questo valore per essere certi di non introdurre ritardi nell'acquisizione e non generare (ulteriori) errori di Sample.

3c) La resistenza vista all'ingresso del buffer vale:

$R_{buf} = (R_{id} + R_f) \cdot (1 - G_{loop}) = 200\text{kOhm} \cdot (1 + A_0/2) = 100.2\text{ MOhm}$ .

Il tempo di conversione (ADC SAR 10 bit) risulta pari a  $T_{conv} = (1/f_{ck}) \cdot n_{bit} = 10\mu\text{s}$ .

Il minimo tempo di Hold e' pari al tempo di conversione, ovvero  $T_H \geq (1/f_{ck}) \cdot n_{bit} = 10\mu\text{s}$ .

L'errore commesso per la scarica di CH su  $R_{buf}$  durante  $T_H$  vale:

$err_{Hold} = 2V \cdot T_H / \tau_{Hold} = 2V \cdot 10\mu\text{s} / 0.1\text{s} = 2V \cdot 10^{-4} = 0.2\text{mV} = (0.2\text{mV} / 3.9\text{mV}) \cdot LSB_{adc} = 0.05 \cdot LSB_{adc}$ , che risulta trascurabile (l'esponenziale e' stata linearizzata perche'  $T_H \ll \tau_{Hold} = C_H \cdot R_{buf} = 0.1\text{s}$ )