

Fondamenti di Elettronica – Ing. AUTOMATICA e INFORMATICA - AA 2011/2012

3° Appello – 24 Settembre 2012

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

Esercizio 1.

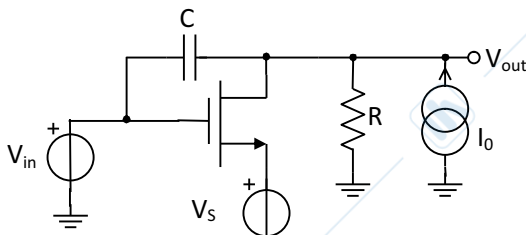


Fig. 1

Dati:

$$V_T=0.5V, k=1\text{mA}/V^2, R=8\text{k}\Omega, C=100\text{pF}, I_0=1\text{mA}, V_S=-1V.$$

- Determinare la tensione di uscita con $V_{in}=0V$ e il guadagno di piccolo segnale v_{out}/v_{in} a bassa frequenza (C circuito aperto) e alta frequenza (C cortocircuito).
- Calcolare la frequenza del polo del circuito.
- Calcolare la potenza statica dissipata o erogata da ciascun componente specificando se è dissipata o erogata (si assuma $V_{in}=0V$).
- Determinare l'intervallo di valori di V_S che permettono al circuito di operare correttamente come amplificatore di piccolo segnale.

Esercizio 2.

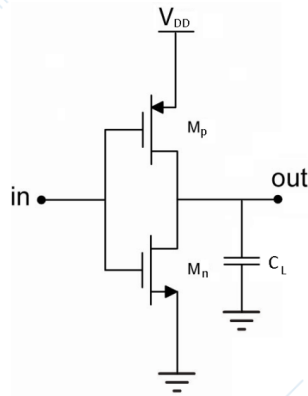


Fig. 2

Utilizzare i seguenti parametri per l'inverter in figura 2:

$$W/L_n=W/L_p=10\mu\text{m}/1\mu\text{m}, C'_{ox}=0,5\text{fF}/\mu\text{m}^2, \mu_n=0,1\text{m}^2/(\text{Vs}), \\ \mu_p=0,035\text{m}^2/(\text{Vs}), V_t=1V; C_L=10\text{fF}. \text{ Il circuito è alimentato a } V_{DD}=3,3V.$$

- Calcolare i parametri k_n e k_p dei due MOS che compongono l'inverter e trovare il valore della tensione di soglia della porta logica.
- Definire e calcolare il tempo di propagazione della porta logica.
- Calcolare la potenza dinamica dissipata dal circuito quando l'ingresso commuta con una frequenza di 100MHz.
- Collegare ad anello nove inverter uguali a quello in figura. Descrivere brevemente il funzionamento di questo circuito e disegnare la forma d'onda quotata del segnale generato.
- Trovare la capacità di ingresso dell'inverter in Fig. 2.

Esercizio 3.

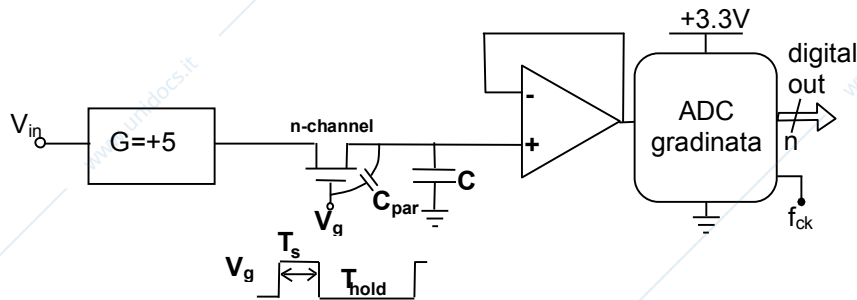


Fig. 3

Si consideri la catena di acquisizione mostrata in Fig. 3, per l'acquisizione di segnali V_{in} compresi tra 0 e 600mV.

$$V_{Tn} = 1V$$

$$\frac{1}{2}\mu_n C_{ox}(W/L)=5\text{mA}/V^2$$

$$C = 5\text{nF}$$

$$A_0 = 80\text{dB}$$

- Determinare il numero di bit n che garantisca una risoluzione pari a $2/1000$ della massima dinamica di V_{in} . Determinare il valore di tensione pari a 1LSB riferito all'ingresso.
- Determinare i valori delle tensioni di comando di gate V_g che garantiscono una resistenza $R_{dson}=50\Omega$ nella fase di sampling e una resistenza R_{dson} virtualmente infinita nella fase di hold, con 1 V di margine rispetto al minimo.
- Determinare il massimo valore che può assumere la capacità C_{par} affinché la variazione di tensione immagazzinata sulla capacità di hold non superi 0.2 LSB sapendo che $\Delta V_g=8V$.
- Determinare la minima frequenza di clock dell'ADC affinché il tempo di conversione sia inferiore a 2ms.
- Assumendo $T_{hold}=1,2\text{ms}$, determinare il minimo valore che può assumere la resistenza di ingresso differenziale dell'amplificatore operazionale impiegato per realizzare il buffer per garantire un errore massimo di 0.05 LSB sulla tensione memorizzata sulla capacità C nella fase di hold, nel caso di segnali di ampiezza massima.

Esercizio 1.

- a) $V_{GS}=1V \rightarrow I_D=0.25mA$, $I_R=I_0-I_D=0.75mA$, $V_{OUT}=I_R \cdot R=6V$
 $V_{GD}=-6V < V_T \rightarrow$ MOSFET saturo
 $g_m=1mS$
 Bassa frequenza:
 $i_d=V_{in} \cdot g_m$, $v_{out}=-R \cdot i_d$
 $G(0)=-R \cdot g_m=-8$
 Alta frequenza:
 La capacità cortocircuitata l'ingresso con l'uscita quindi $G(\infty)=+1$
- b) Spegndo tutti i generatori la v_{gs} di segnale è nulla e la capacità vede solo la resistenza R, quindi:
 $\tau=RC=800ns$
 $f_p=1/(2\pi\tau)=199kHz$
- c) $P_{Vin}=P_C=0W$
 $P_{MOS}=V_{DS} \cdot I_D=(6V+1V) \cdot 0.25mA=1.75mW$ (dissipati)
 $P_R=V_{out} \cdot I_R=4.5mW$ (dissipati)
 $P_{I0}=V_{out} \cdot I_0=6mW$ (erogati)
 $P_{Vs}=V_S \cdot I_D=0.25mW$ (erogati)
- d) All'aumentare di V_S il MOSFET tende a spegnersi imponendo un valore massimo a V_S pari a:
 $V_{GS}=V_T \rightarrow 0-V_{Smax}=0.5V \rightarrow V_{S,max}=0.5V$
 Al diminuire di V_S il MOSFET porta sempre più corrente riducendo di conseguenza la tensione di uscita. Il valore minimo di V_S è perciò dettato dall'entrata in zona ohmica del transistoro:
 $V_{GD}<V_T \rightarrow 0-(I_0-I_D) \cdot R < 0.5V \rightarrow I_D < I_0+62.5\mu A \rightarrow k(0-V_S-V_T)^2 < 1.0625mA$
 da cui $V_{S,min}=-1.53V$

Esercizio 2.

Traccia soluzione

- a) $k_n=0,5 \cdot C'_{ox} \cdot \mu_n \cdot W/L|_n=250\mu A/V^2$, $k_p=0,5 \cdot C'_{ox} \cdot \mu_p \cdot W/L|_p=87,5\mu A/V^2$; soglia logica $V_{TL}=1,48V$.
- b) $t_{pHL}=15,25ps$, $t_{pLH}=33,23ps$, $t_p=0,5 \cdot (t_{pHL}+t_{pLH})=24,24ps$ – risultati ottenuti usando l'approssimazione con corrente costante fino al limite della saturazione e poi supponendo un andamento RC fino alla soglia logica.
- c) $P=C_L \cdot V_{DD}^2 \cdot f=10,89\mu W$
- d) Il circuito è un oscillatore ad anello, in cui ogni inverter introduce un ritardo medio pari al tempo di propagazione. Pertanto per nove inverter si ottiene un ritardo totale di 218,16ps corrispondente alla durata di un semiperiodo dell'onda di uscita. La frequenza di oscillazione dell'onda quadra generata è quindi pari a 2,29GHz. Ampiezza dell'onda 3.3V.
- e) $C_L=(W \cdot L \cdot C'_{OX})_{p-ch} + (W \cdot L \cdot C'_{OX})_{n-ch}=10fF$.

Esercizio 3.**a) numero di bit**

Il FSR dell'ADC è pari a

$$FSR_{ADC} = 3.3V$$

Poiché la dinamica del segnale in ingresso è pari a 600mV, con il guadagno assegnato i segnali di ingresso non coprono l'intera dinamica dell'ADC ma solo da 0V a 3V. La risoluzione richiesta in ingresso è data da:

$$Ris_{ingresso} = \frac{2}{1000} \text{dinamica}_{ingresso} = 1.2mV$$

La risoluzione dell'ADC, espressa in LSB, è data da:

$$1LSB = \frac{FSR_{ADC}}{2^n}$$

Pertanto si deve chiedere che

$$1LSB = Ris_{ingresso} |G|$$

da cui

$$n = \ln_2 \frac{FSR_{ADC}}{Ris_{ingresso} |G|} = 9.1 \rightarrow n_{bit} = 10$$

Con tale numero di bit la risoluzione dell'ADC è pari a

$$1LSB = \frac{FSR_{ADC}}{2^n} = 3.22mV$$

e il valore di tensione pari ad 1LSB riferito all'ingresso è

$$1LSB_{in} = \frac{1LSB}{|G|} = 0.64mV$$

ovviamente minore della risoluzione richiesta.

b) tensioni di comando del MOSFET

Calcoliamo la massima escursione del segnale in ingresso al circuito di S&H.

$$V_{out}|_{max} = V_{in,max} G = 600mV \cdot 5 = 3V$$

$$V_{out}|_{min} = V_{in,min} G = 0$$

Durante la fase di *Sampling* chiediamo che l'NMOS sia acceso e dunque che $V_G > (V_{out}|_{max} + V_{T,n}) = 4V$, mentre durante la fase di *Hold* chiediamo che l'NMOS sia spento e, dunque, che $V_G < V_{out}|_{min} + V_{T,n} = 1V$.

Poiché in fase di *Hold* vogliamo garantirci 1V di margine, si chiede che V_G sia uguale a 0V.

Calcoliamo ora la tensione di gate che garantisce, in fase di *Sampling* una $R_{ds,on}$ massima di 50 ohm.

$$R_{ds,on} = \frac{1}{2k_n(V_{GS} - V_{T,n})}$$

$$(V_{GS} - V_{T,n}) = \frac{1}{2k_n R_{ds,on}}$$

$$V_{GS} = \frac{1}{2k_n R_{ds,on}} + V_{T,n} = 3V$$

da cui si ricava che la tensione di gate necessaria è:

$$V_G = V_{GS} + V_{S,max} = 3V + 3V = 6V$$

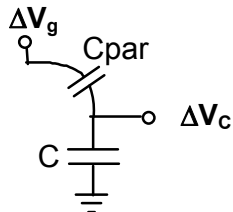
Con tale tensione di comando al *gate* nel caso di segnali nulli in ingresso la tensione di *over-drive* del NMOS risulta pari a 5V, da cui:

$$R_{ds,on} = \frac{1}{2k_n(V_{GS} - V_{T,n})} = 20\Omega$$

c) Effetto di C_{par}

La variazione di tensione di comando al *gate* è data $\Delta V_g = 8V$.

Possiamo schematizzare il problema con un partitore capacitivo:



$$\Delta V_C = \frac{C_{par}}{C_{par} + C} \Delta V_g$$

Si chiede che l'errore per iniezione di carica sia minore di 0.2LSB, pari a 0.644mV. Si ricava, quindi, che il massimo valore ammesso per la capacità parassita è pari a

$$C_{par} = \frac{\Delta V_C}{\Delta V_g - \Delta V_C} C = 403 fF$$

d) frequenza di clock ADC

Trattandosi di un convertitore a gradinata il tempo di conversione massimo è pari a:

$$T_{conv,gradinata,max} = \frac{2^n}{f_{ck}}$$

Per avere un tempo di conversione minore di 2ms la f_{ck} minima deve pertanto essere pari a $2^n / T_{conv,max} = 512$ kHz.

e) Minimo valore di $R_{in,diff}$

Per non commettere errori nella conversione, il massimo tempo di conversione del convertitore coincide con la durata della fase di *Hold*:

$$T_{conv,max} = T_{hold} = 1.2ms$$

Chiamiamo R_{in} la resistenza di ingresso ad anello chiuso del buffer. Tale resistenza, grazie all'effetto della retroazione è pari a

$$R_{in} = R_{in}^0 (1 - G_{loop}^*(0)) = R_{in,diff} (1 + A_0)$$

Durante il tempo di *Hold* la capacità di *Hold* si scarica esponenzialmente con costante di tempo pari a $\tau = R_{in}C$, poiché supponiamo che la durata del tempo di *Hold* sia notevolmente inferiore alla τ del circuito, possiamo approssimare l'andamento esponenziale con un andamento lineare. Pertanto:

$$\frac{V_{C,\max}}{\tau} T_{Hold} = \Delta V_C$$

$$\Delta V_C = 0.05 LSB = 0.161 mV$$

da cui

$$\tau = \frac{V_{C,\max} T_{hold}}{\Delta V_C} = 22.36 s \text{ (effettivamente molto maggiore di } T_{Hold}\text{)}$$

e, dunque,

$$R_{in} = \frac{\tau}{C} = 4.472 G\Omega$$

e

$$R_{in,diff} = \frac{R_{in}}{1 + A_0} \cong 447 k\Omega$$