

## ESERCITAZIONE DEL 14/01/2002

1

UN CONVERTITORE ANALOGICO DIGITALE A GRADINATA A 3BIT  
 UTILIZZA UN CONVERTITORE DIGITALE ANALOGICO CARATTERIZZATO  
 DALLE SEGUENTE CARATTERISTICA INGRESSO - USCITA:

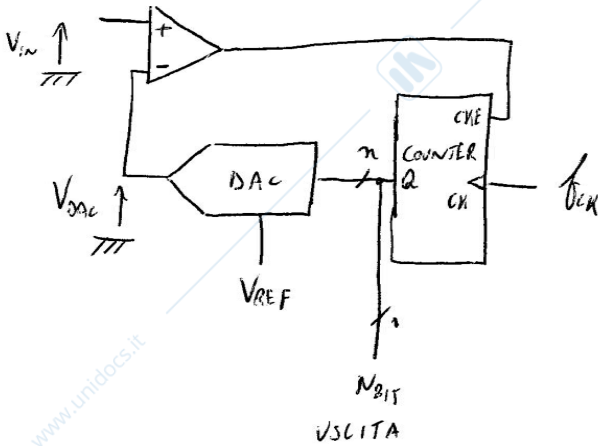
$M_{DAC}$	$V_{DAC}$
0	0,2V
1	0,7V
2	2V
3	2,5V
4	3,2V
5	3V
6	4V
7	4,8V

SAPENDO CHE  $V_{REF} = 5V$ , CALCOLARE:

- 1) ERRORE DI LINEARITÀ INTEGRALE E DIFFERENZIALE E LA PRESENZA DI MISSING CODE

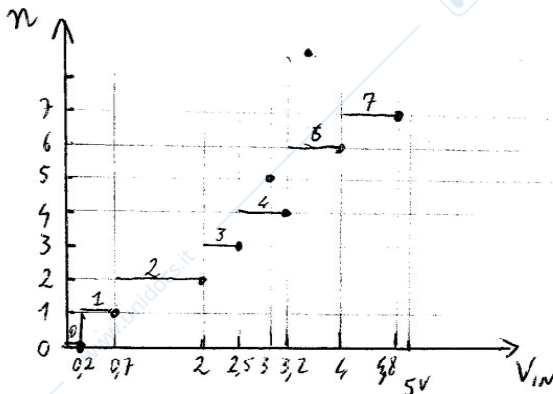
SOLUZIONE

1) L'ARCHITETTURA DI UN ADC A GRADINATA E':



IN QUESTO CONVERTITORE, IL CONTATORE SMETTE DI CONTARE QUANDO LA TENSIONE IN USCITA AL DAC E' MAGGIORE DELLA TENSIONE IN INGRESSO

IL DAC FISSA, QUINDI, LA SOGLIA SUPERIORE DI ATTRIBUZIONE DI UNA TENSIONE IN INGRESSO AD UN NUMERO.



IL CODICE 5 NON VERRA' MAI ATTRIBUITO A NESSUNA TENSIONE DI INGRESSO PERCHE' LA SUA SOGLIA MASSIMA PARI A  $V_{DAC}(5) = 3V$  E' INFERIORE ALLA SOGLIA MASSIMA DI 4

PER IL CALCOLO DELLA NON LINEARITA' INTEGRALE SI UTILIZZA IL "CENTRO" DEGLI INTERVALLI DI TENSIONE

n	$V_{DAC} (V)$	$V_{in/minimo} (V)$	$V_{in/massimo} (V)$	$V_{DAC} (V) = \frac{V_{in,max} + V_{in,min}}{2}$
0	0,2	0,2V	0,2V	0V ← COME CENTROIDE PER 0 PRENDO 0V
1	0,7	0,2V	0,7V	0,45V
2	2	0,7V	2 V	1,35V
3	2,5	2 V	2,5V	2,25V
4	3,2	2,5V	3,2 V	2,85V
5	3	MISSING CODE		3,2V ← COME CENTROIDE SI PRENDE IL VALORE DI SOGLIA TRA 4 E 6
6	4	3,2V	4 V	3,6V
7	4,8	4V	4,8V	4,4V

I CENTROIDI DEGLI INTERVALLI VANNO CONFRONTATI CON IL VALORE NOMINALE DATO DA:

$$V_{\text{ADC}} / \text{TH} = \frac{n}{2^{\text{MBit}}} \cdot V_{\text{REF}} = \frac{5\text{V}}{8} \cdot n = \underbrace{0,625\text{V}}_{V_{\text{LSB}}} \cdot n$$

n	$V_{\text{ADC}}$	$V_{\text{ADC}} / \text{TH}$	SCOSTAMENTI
0	0V	0V	0V
1	0,45V	0,625V	-0,175V
2	1,35V	1,25V	0,1V
3	2,25V	1,875V	0,375V
4	2,85V	2,5V	0,35V
5	3,2V	3,125V	0,075V
6	3,6V	3,75V	-0,15V
7	4,4V	4,375V	0,025V

$$\text{Pris INL} = \begin{matrix} +0,375\text{V} \\ -0,175\text{V} \end{matrix}$$

RIPORTANDOLA IN LSB:

$$\text{INL} = \begin{matrix} + \frac{0,375\text{V}}{0,625\text{V}} = +0,6 \text{ LSB} \\ - \frac{0,175\text{V}}{0,625\text{V}} = -0,28 \text{ LSB} \end{matrix}$$

$$\text{INL} = \begin{matrix} +0,6 \\ -0,28 \end{matrix} \text{ LSB}$$

LA NON LINEARITÀ DIFFERENZIALE È LO SCOSTAMENTO DELL'AMPELLO DEGLI INTERVALLI DAL VALORE TEORICO

n	$\Delta V(n)$	$\Delta V_{\text{TH}}$	SCOSTAMENTI
0	0,2V	$\frac{1}{2} V_{\text{LSB}}$	-0,1125V
1	0,5V	$V_{\text{LSB}}$	-0,025V
2	1,3V	$V_{\text{LSB}}$	0,675V
3	0,5V	$V_{\text{LSB}}$	-0,125V
4	0,7V	$V_{\text{LSB}}$	0,075V
5	0V	$V_{\text{LSB}}$	-0,625V
6	0,8V	$V_{\text{LSB}}$	0,175V
7	0,8V	$V_{\text{LSB}}$	0,175V

$$\text{DNL} = \begin{matrix} +0,675\text{V} \\ -0,625\text{V} \end{matrix}$$

RIPORTANDOLA IN LSB:

$$\text{DNL} = \begin{matrix} + \frac{0,675\text{V}}{0,625\text{V}} = +1,08 \text{ LSB} \\ - \frac{0,625\text{V}}{0,625\text{V}} = -1 \text{ LSB} \end{matrix}$$

$$\text{INL} = \begin{matrix} +0,6 \\ -0,28 \end{matrix} \text{ LSB}$$

$$\text{DNL} = \begin{matrix} 1,08 \\ -1 \end{matrix} \text{ LSB}$$

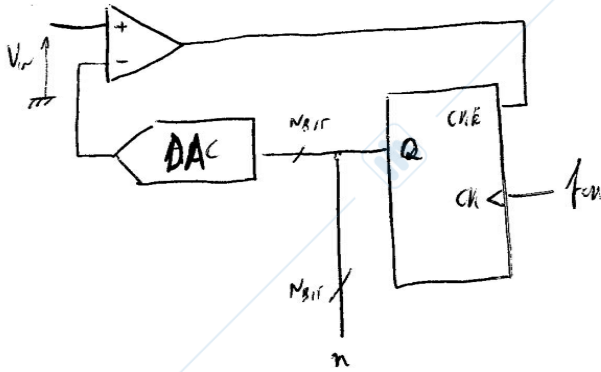
CON MISSING CODE (CODICE 5)

SI CONSIDERI UN CONVERTITORE ANALOGICO - DIGITALE DI 12 BIT  
PILOTATO DA UNA FREQUENZA DI CLOCKS DI 10MHz

- 1) CALCOLARE LA MASSIMA FREQUENZA DI UNA SINUSOIDE APPLICABILE  
IN INGRESSO AL CONVERTITORE, SUPPONENDO CHE QUEST'ULTIMO SIA  
UN CONVERTITORE ADC A GRADINATA
- 2) COME NEL PUNTO 1 MA CON UN CONVERTITORE TRACKING
- 3) COME NEL PUNTO 1 MA CON UN CONVERTITORE A SUCCESSIVE  
APPROSSIMAZIONI
- 4) COME CAMBIEREBBERO LE RISPOSTE DEI PUNTI PRECEDENTI SE  
SI INSERISSE PRIMA DELL'ADC UN SAMPLE & HOLD CON  
$$T_{\text{SAMPLE}} = \frac{1}{f_{\text{CLK}}} = 100\text{ns}$$

## SOLUZIONE

1) SCHEMA DI PRINCIPIO



Per ogni conversione, il contatore inizia a contare da 0, con frequenza  $f_{clk}$ . finite - la tensione in uscita dal DAC non raggiunge la tensione di ingresso, perché:

$$T_{conv} = \frac{n}{f_{clk}} \quad \text{dove } n \text{ è il codice in uscita all'ADC.}$$

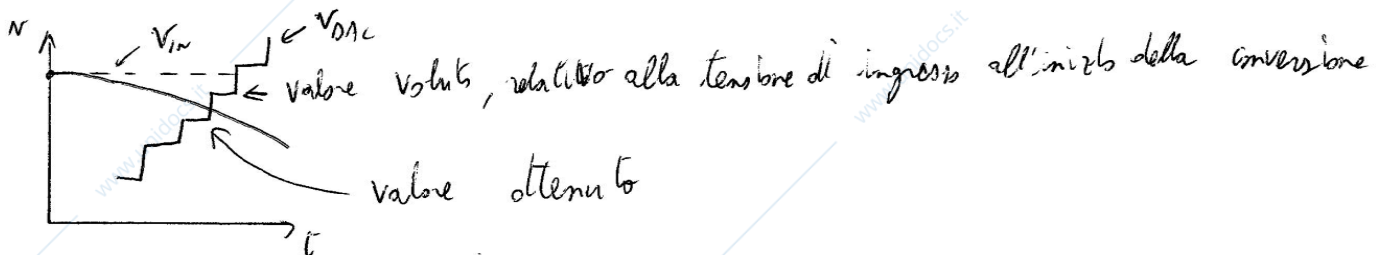
Il tempo di conversione massimo è pari a:

$$T_{conv|max} = \frac{2^{MSB}}{f_{clk}} = \frac{4096}{10\text{MHz}} = 410\mu\text{s}$$

Perciò, Frequenza di campionamento  $f_s = \frac{1}{T_{conv}} = 2440\text{ Hz}$

Per il teorema del campionamento,  $f_{in|max} = 2440\text{Hz}/2 = 1220\text{Hz}$

Durante la conversione, però, la tensione di ingresso non deve muoversi, altrimenti:



Perciò, per evitare errori di conversione:

$$\Delta V_{in} < V_{LSB} \quad \text{nel tempo di conversione.}$$

Es: se ho il segnale di ingresso sinusoidale

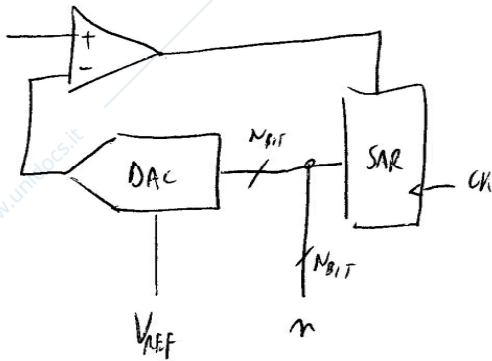
$$V_{in} = V_p \sin(2\pi ft) \Rightarrow \frac{dV_{in}}{dt} = 2\pi f V_p \cos(2\pi ft)$$



$$\left. \frac{dV_{in}}{dt} \right|_{\max} = 2\pi f_{\max} \frac{V_{REF}}{2} < \frac{V_{REF}}{2^{N_{BIT}}} f_{CK}$$

$$f_{\max} < \frac{f_{CK}}{\pi 2^{N_{BIT}}} = 777 \text{ Hz}$$

### 3) SCHEMA DI PRINCIPIO

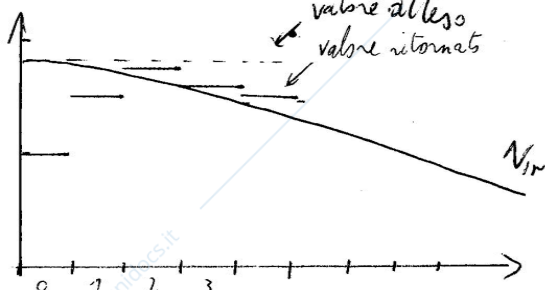


Un convertitore a successive approssimazioni, in ogni ciclo di clock, valuta 1 bit.

Il tempo minimo di conversione di un ADC a successive appross. vale:

$$T_{conv} = \frac{N_{BIT}}{f_{CK}} = 1,2 \mu s$$

Tuttavia, durante la conversione, la tensione in ingresso non deve variare, come nel convertitore TRACKING, altrimenti:



Es. ADC a 4 BIT

Però, sebbene per il teorema del campionamento

$$f_{\max} = \frac{F_s}{2} = \frac{1}{2 T_{conv}} = 466 \text{ kHz}$$

La tensione di ingresso non deve variare in  $T_{conv}$  per più di 1 LSB:

$$\Delta V_{in} < V_{LSB} \text{ in } T_{conv}$$

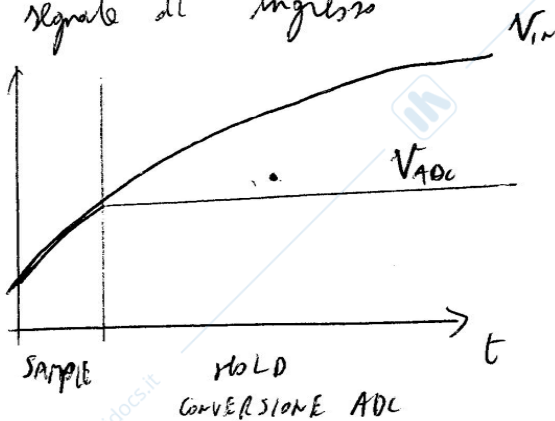
Però, per segnali sinusoidali

$$\frac{dV_{in}}{dt} \Big|_{MAX} = 2\pi f_{max} \frac{V_{REF}}{2} < \frac{V_{LSB}}{T_{conv}} = \frac{V_{REF}}{N_{BIT} 2} f_{CLK}$$

$$f_{max} < \frac{f_{CLK}}{2^{N_{BIT}} N_{BIT} \pi} = 64,8 \text{ Hz}$$

4) Inserendo un SAMPLE & HOLD prima dell'ADC, si aumenta il tempo di conversione di almeno  $1 T_{CLK}$ , per consentire al SAMPLE & HOLD di acquisire il valore della tensione in ingresso.

Nel primo caso, ADC a gradinata, il SAMPLE & HOLD porta notevoli vantaggi. Infatti mantiene costante la tensione in ingresso all'ADC durante la conversione. Viene eliminata, quindi, la limitazione sulla massima velocità di variazione del segnale di ingresso.



$$T_{conv} = \underbrace{\frac{2^{N_{BIT}}}{f_{CLK}}}_{ADC} + \underbrace{\frac{1}{f_{CLK}}}_{SAMPLE} = \frac{4097}{10^7 \text{ Hz}} \approx 410 \mu\text{s}$$

$$F_s = \frac{1}{T_{conv}} = 2440 \text{ Hz}$$

L'unico limite per la massima frequenza del segnale di ingresso è il teorema del campionamento

$$f_{max} = \frac{F_s}{2} = 1220 \text{ Hz}$$

Nel caso dell'ADC tracking, insieme un SAMPLE & HOLD, raddoppia solo il tempo di conversione ma non elimina la limitazione di "SLEW-RATE" dell'ADC.

In fine, nel caso dell'ADC ad approx. successive, il SAMPLE & HOLD toglie la limitazione della massima variabilità del segnale di ingresso, perciò:

$$T_{conv} = \underbrace{\frac{N_{bits}}{f_{clk}}}_{ADC} + \frac{1}{f_{clk}} = \frac{13}{10 \text{ MHz}} = 1,3 \mu s$$

$$F_s = \frac{1}{T_{conv}} = 770 \frac{\text{kHz}}{\text{s}}$$

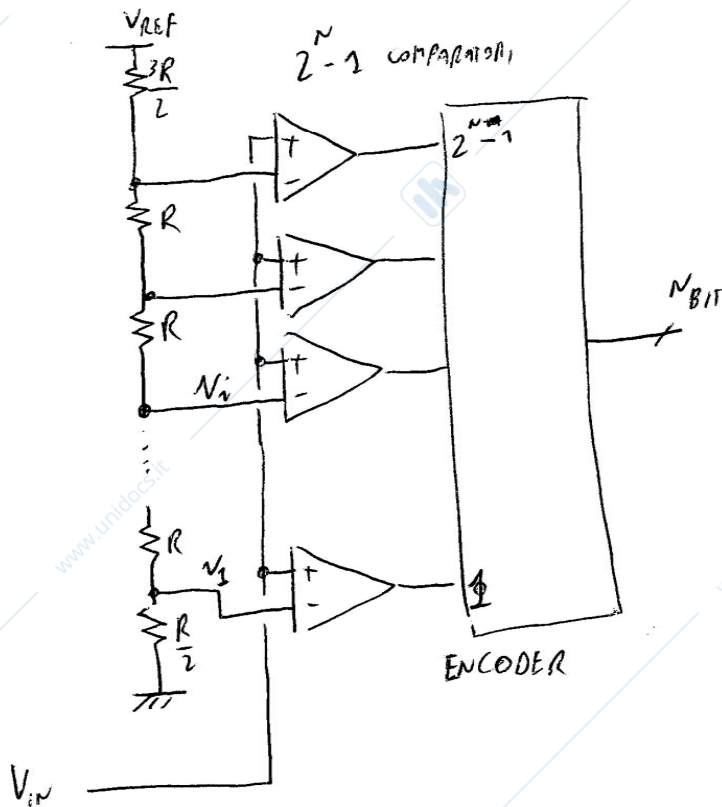
$$f_{max} = \frac{F_s}{2} = 335 \text{ kHz}$$

SI CONSIDERI UN CONVERTITORE ANALOGICO-DIGITALE DI TIPO  
FLASH A 12 BIT. CALCOLARE:

- 1) LA PRECISIONE DELLE RESISTENZE DELL'ADC PER AVERE ERRORI DI LINEARITÀ  $< 1LSB$
- 2) SE I COMPARATORI SOFFRONO DI UNA TENSIONE DI OFFSET DI  $V_{OS} = 5mV$ , CON UN MASSIMO SCOSTAMENTO DI TALE TENSIONE DEL  $\pm 10\%$  TRA LORO, CALCOLARE L'ERRORE DI NON-LINEARITÀ CAUSATO. ( $V_{REF} = 5V$ )

SOLUZIONE

1) Il convertitore analogico-digitale FLASH ha il seguente schema:



Il partitore di resistenze fissa le soglie di attribuzione dei codici dell'ADC.

Se le resistenze soffrono di una tolleranza  $\delta$ , cioè:

$$R = R_0 (1 \pm \delta)$$

↑  
nominale

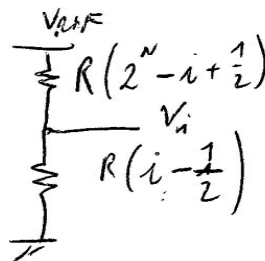
$$V_i = \frac{R(i - \frac{1}{2})}{R 2^N} = \frac{R}{R 2^N}$$

tensione del nodo  $i$ -esimo del partitore

a causa delle tolleranze delle resistenze

$$V_i = \frac{R_0 (i - \frac{1}{2}) (1 \pm \delta)}{R_0 2^N (1 \pm \delta)} = V_{i0} (1 \pm 2\delta)$$

nel rapporto gli errori relativi si sommano



Però, per avere  $\varepsilon < 1\text{LSB} \Rightarrow V_{i0} \cdot 2^N < V_{\text{LSB}} = \frac{V_{\text{REF}}}{2^N}$

ma  $V_{i0} \geq \frac{V_{\text{LSB}}}{2}$  e  $V_{i0} < V_{\text{REF}}$

$$\delta < \frac{V_{\text{REF}}}{2^N \cdot 2 \cdot V_{i0}} \leftarrow \frac{V_{\text{REF}}}{2^N \cdot 2 \cdot V_{\text{REF}}} = \frac{1}{2^N \cdot 2} = 2,4 \cdot 10^{-4} \Rightarrow \delta < 0,024\%$$

Soltanto

2) Se i comparatori presentano una tensione di offset uguale tra loro, tale tensione di offset causa all'ADC solo un errore di OFFSET (tutte le soglie  $V_{\text{th}}$  spostate di  $V_{\text{os}}$ ).

$$V_{\text{os}}|_{\text{ADC}} = V_{\text{os}} = \pm 5\text{mV} = \pm \frac{5\text{mV}}{5\text{V}} \cdot 2^{12} = \pm 4\text{LSB}$$

Tuttavia, se le tensioni di offset dei comparatori non sono uguali, le differenze causano errori di linearità (è il caso reale!)

In particolare

$$\bullet \text{INL} \approx \Delta V_{\text{os}} = 10\% V_{\text{os}} = \pm 0,5\text{mV} = \pm \frac{0,5\text{mV}}{5\text{V}} \cdot 2^{12} = \pm 0,4\text{LSB}$$