

Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2014/2015 - 21 luglio 2015

Esercizio A

$$V_{DD}=5V, |V_{tp}|=1V, k_p=1mA/V^2$$

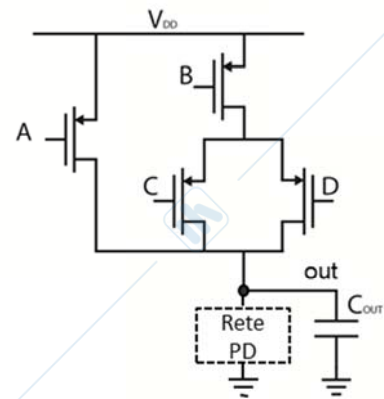
- 1) Determinare la funzione logica svolta dal circuito CMOS in figura.
- 2) Sintetizzare la rete di pull down (PD) della porta logica in figura.
- 3) Determinare il massimo valore di C_{out} compatibile con un tempo di transizione (10-90%) della porta logica pari a 2ns quando gli ingressi commutano da ABCD=1111 a ABCD=1010 (si assuma per i MOS l'approssimazione ohmica).
- 4) Si consideri ora $C_{out}=1pF$. Calcolare la potenza dinamica dissipata dal circuito dati i seguenti ingressi:

$$A=1; D=1$$

B= onda quadra 0- V_{DD} , frequenza = 1MHz

C= onda quadra 0- V_{DD} , frequenza = 2MHz

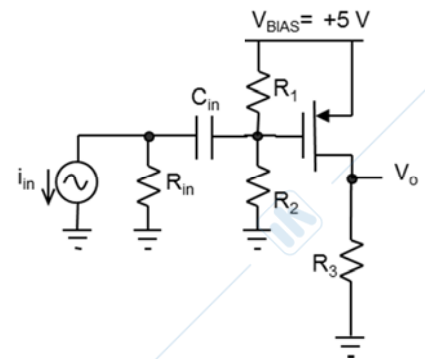
Nota: i segnali B e C hanno i fronti di salita allineati



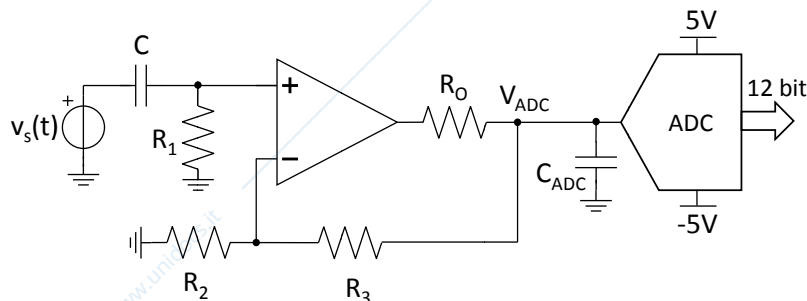
Esercizio B

Dati: $|V_{tp}|=1V$; $K=1mA/V^2$; $R_{in}=10M\Omega$; $C_{in}=1/\pi$ nF; $R_1=10k\Omega$; $R_2=15k\Omega$; $R_3=3k\Omega$.

- 1) Determinare la polarizzazione del circuito specificando la tensione in ogni nodo e il regime di funzionamento del transistor
- 2) Calcolare il guadagno di piccolo segnale v_o/i_{in} a bassa e alta frequenza. Tracciare in seguito il diagramma di Bode (modulo e fase), quotando i punti significativi.
- 3) Determinare il massimo valore di i_{in} (ad alta frequenza) applicabile al circuito che possa essere considerato un piccolo segnale.



Esercizio C



$$R_1=100k\Omega$$

$$R_3=10k\Omega$$

$$C=100nF$$

$$R_2=100\Omega$$

$$R_O=50\Omega$$

$$C_{ADC}=100pF$$

Un sensore produce una tensione $v_s(t)$ variabile nel tempo compresa tra 10mV e 30mV amplificata e convertita con lo schema circuitale indicato nella figura. Il convertitore ADC è bipolare e converte le tensioni comprese tra -5V e +5V. Si assuma inizialmente l'amplificatore operazionale con guadagno infinito.

- 1) Tracciare il diagramma di Bode del modulo e della fase del trasferimento V_{ADC}/V_s .
- 2) Assumendo $v_s(t)=20mV+10mV\cdot\sin(2\pi ft)$, determinare per quali frequenze f il circuito misura l'ampiezza del segnale con una risoluzione del segnale di ingresso v_s migliore di 0.1mV.
- 3) Si assuma che all'istante $t=0$ s il segnale v_s abbia una variazione a scalino da 10mV a 30mV e immediatamente dopo (a $t=0^+$ s) abbia inizio la conversione dell'ADC. Calcolare il massimo tempo di conversione dell'ADC compatibile con un errore di conversione inferiore a 1LSB.

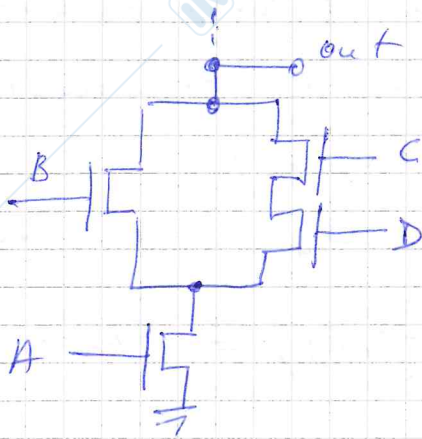
Si assuma ora l'amplificatore operazionale con guadagno in continua $A_0=10^5$ e prodotto guadagno-banda $GBP=100MHz$.

- 4) Quale è il massimo valore della capacità di ingresso del convertitore, C_{ADC} , che garantisca un margine di fase $>45^\circ$?

ES. A

1) $Y = \bar{A} + [B \cdot (\bar{C} + \bar{D})]$

2) Essendo $\bar{Y} = A(B+CD)$, si ottiene la rete d. PD:



3) Si assume per semplicità un transistor esboreenziale, ovvero modellato, transistori come resistenze.

Il tempo di transizione 10%-90% è quindi $\tau \cdot \ln(9)$

$\rightarrow T_{10-90\%} = \tau \cdot \ln(9) = 2 \mu s \rightarrow \tau = 0.91 \mu s$

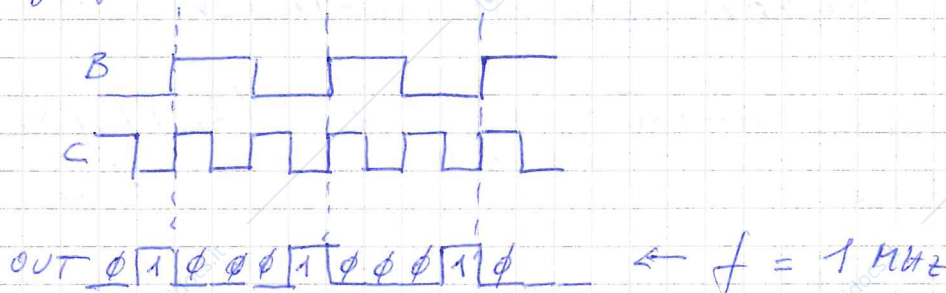
È un transitorio di pull-up, con altri i mos B e D

$\rightarrow R_{pull-up} = R_{mosB} + R_{mosD}$

Precedendo come lativamente $R_{mos} = \frac{V_{DD} - |V_{TP}|}{I_{Dsat}} = 0.25 k\Omega$

Si ottiene $C_{out} \approx 1.8 pF$

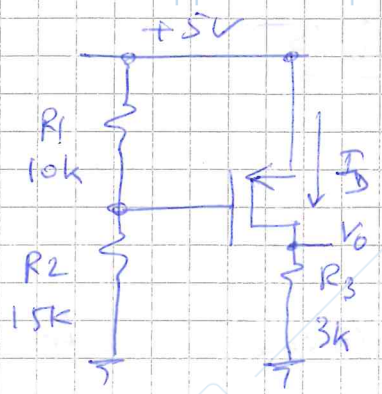
4) $P = f C_{out} V_{DD}^2$, dove $f = 1 MHz$ come si vede dal grafico:



Sostituendo si ottiene $P = 25 \mu W$

Es. B

1)



$$V_{gs} = 5V \cdot \frac{R_2}{R_1 + R_2} = 5V \cdot \frac{15k}{25k} = 5V \cdot \frac{3}{5} = 3V$$

$$\rightarrow V_{gs} = -2V$$

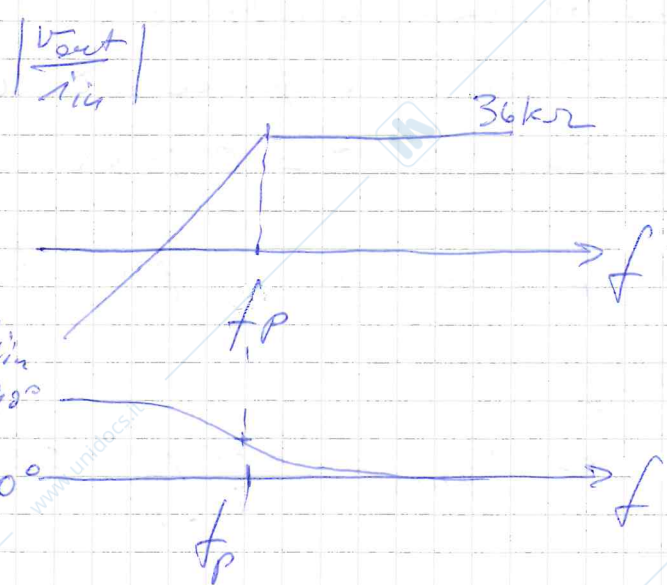
$$\rightarrow I_D = K (V_{gs} - V_{Tp})^2 = 1mA \text{ (top. SAT)}$$

da cui si ottiene $V_0 = 3V$, per cui il MOS è effettivamente saturo

2) A bassa freq. C_{in} è aperta e il trasferimento V_{out}/i_{in} tende a ϕ (zero nell'origine).
Ad alte freq. C_{in} è un cortocircuito:

$$\frac{V_{out}}{i_{in}} = - (R_{in} \parallel R_1 \parallel R_2) \cdot (-g_m R_3) \approx 6k\Omega \times 6 = 36k\Omega$$

e lo sfasamento è nullo.



pois dovuto a C_{in} :

$$\tau_p = C_{in} R_{eq}$$

$$\rightarrow R_{in} + R_1 \parallel R_2 \sim R_{in} \quad 10k\Omega$$

$$\rightarrow f_p = \frac{1}{2\pi \tau_p} = \frac{1}{2\pi \cdot 10^{-9} \cdot 10^4} = 5042 \text{ Hz}$$

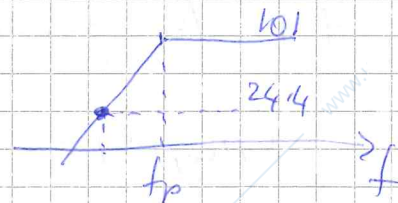
3) Affinché i_{in} sia considerato un piccolo segnale, deve essere $|V_{gs}| \ll 2|V_{OD}| = 2|V_{gs} - V_{Tp}| = 2 \cdot 1V = 2V$

Ad alte frequenze inoltre: $V_{gs} = i_{in} \cdot (R_{in} \parallel R_1 \parallel R_2) \sim 6k\Omega$, da cui si ottiene:

$$|i_{in}| \ll \frac{2V}{6k\Omega} = \underline{\underline{333 \mu A}}$$

ES.C

$$1) \frac{V_{ADC}}{V_s}(s) = \frac{S C R_1}{1 + S C R_1} \left(1 + \frac{R_3}{R_2} \right)$$



$f_p = \frac{1}{20 C R_1} = 16 \text{ kHz}$, zero nell'origine, guadagno ad alta freq. 101.

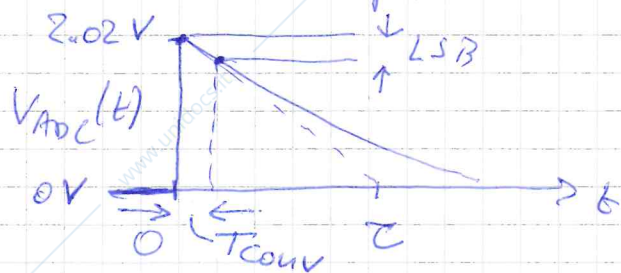
$$2) \text{LSB} = \frac{10\text{V}}{2^{12}} = 2.44 \mu\text{V}$$

Affinché la risoluzione del segnale in ingresso sia pari a $0.1 \mu\text{V}$, dobbiamo avere un guadagno dello stadio pari ad almeno $\frac{2.44 \mu\text{V}}{0.1 \mu\text{V}} = 24.4$.

Di qui si ottiene che la frequenza della sinusoidale deve essere $> \frac{24.4}{101} \times f_p = \underline{\underline{3.9 \text{ kHz}}}$ (vedi grafico di

Bode $|V_{ADC}/V_s|$)

3) La tensione V_{ADC} risponde con il tipico andamento nella risposta allo scalino di un "fascia-alto".



$$V_{ADC}(0^+) = 20 \mu\text{V} \times 101 = 2.02 \text{ V}$$

$$\tau = R_1 C = 10 \text{ ms}$$

Affinché l'errore di conversione sia $< 1 \text{ LSB}$, dobbiamo imporre che durante il tempo di conversione dell'ADC, V_{ADC} vari meno di 1 LSB .

$$\text{Il pendio della derivata è } \frac{dV_{ADC}}{dt} \Big|_{0^+} = \frac{2.02 \text{ V}}{\tau} = 202 \text{ V/s}$$

$$\rightarrow T_{conv} \cdot \frac{202 \text{ V}}{\text{s}} < 1 \text{ LSB} \Rightarrow T_{conv} < 12 \mu\text{s} \quad (\text{che verifica l'Hp. } \tau \gg T_{conv})$$

calcolo la variazione di V_{ADC} con la tangente, i.e. ipotizzo $\tau \gg T_{conv}$

4) Il guadagno d'anello vale:

$$G_{loop}(s) = -A(s) \frac{R_2}{R_2 + R_3 + R_0} \frac{1}{1 + s C_{ADC} R_0 \parallel (R_2 + R_3)}$$

$$\frac{A_0}{1 + s/w_0}$$

Il grafico di $|G_{loop}|$ presenta un guadagno in Contorno di 990, 1° polo a $f_0 = GBP/A_0 = 1 \text{ kHz}$ e 2° polo dovuto a C_{out} .

Per ottenere un margine di fase $\geq 45^\circ$ si posiziona il 2° polo di C_{out} a frequenza uguale o superiore alla frequenza di taglio dell'anello 0 dB:

$$\frac{1}{2\pi C_{out} R_0 \parallel (R_2 + R_3)} \geq GBP \frac{R_2}{R_2 + R_3 + R_0} \approx 0.99 \text{ MHz}$$

da cui si ricava $C_{ADC} \leq 3.2 \text{ nF}$ ($= C_{ADC}/\text{max}$)

—//—