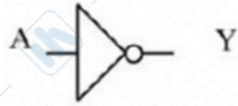

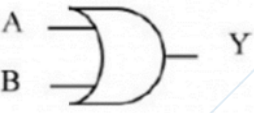
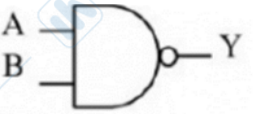
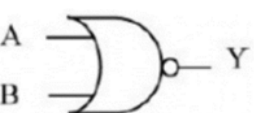



PORTE LOGICHE FONDAMENTALI

Nome	Simbolo	Espressione booleana	Tabella di verità															
NOT		$Y = \bar{A}$ oppure $Y = A'$	<table border="1"> <thead> <tr> <th>A</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	Y	0	1	1	0									
A	Y																	
0	1																	
1	0																	
AND		$Y = A \cdot B$ oppure $Y = AB$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1
A	B	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$Y = A + B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
NAND		$Y = \overline{AB}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0
A	B	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$Y = \overline{A + B}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	0
A	B	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
XOR		$Y = A \oplus B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	0
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	0																

Teoremi di De Morgan

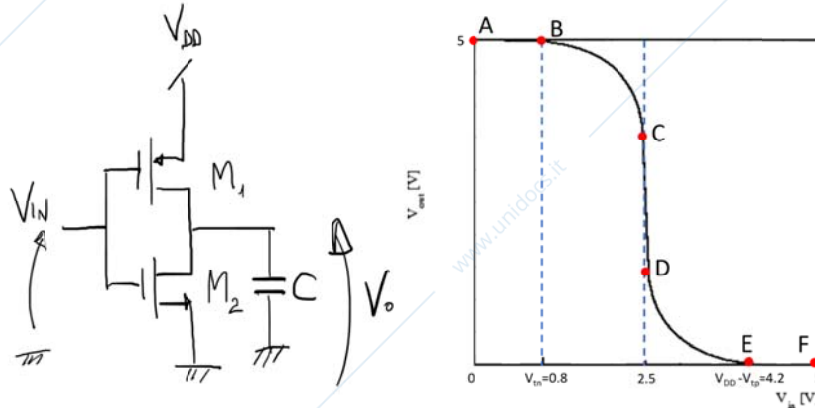
- 1) $\overline{AB} = \bar{A} + \bar{B}$
- 2) $\overline{A + B} = \bar{A} \cdot \bar{B}$

Fondamenti di Elettronica per Ingegneria dell'Automazione

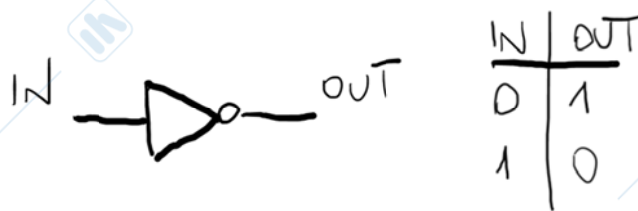
Esercitazione 5

Ing. Pietro King

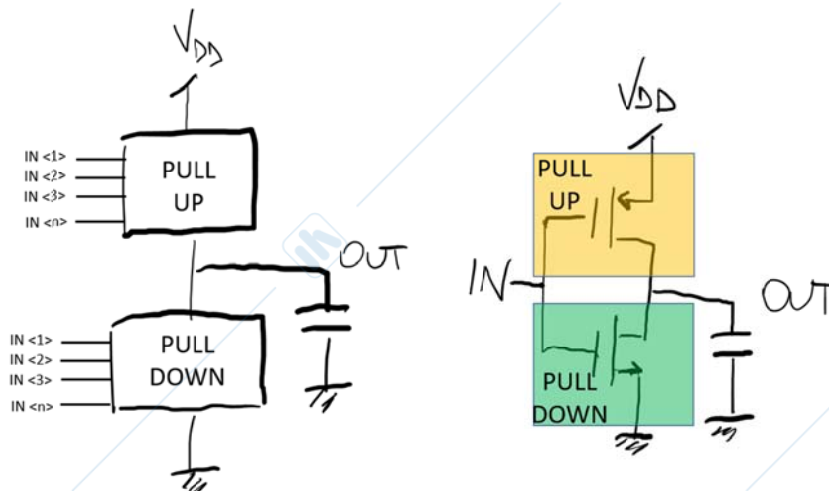
Nell'esercitazione 4 abbiamo studiato un circuito composto da un pMOS e da un nMOS e la cui uscita è VDD quando la tensione di ingresso è 0 V e viceversa.



Questo è il funzionamento di una porta logica NOT:

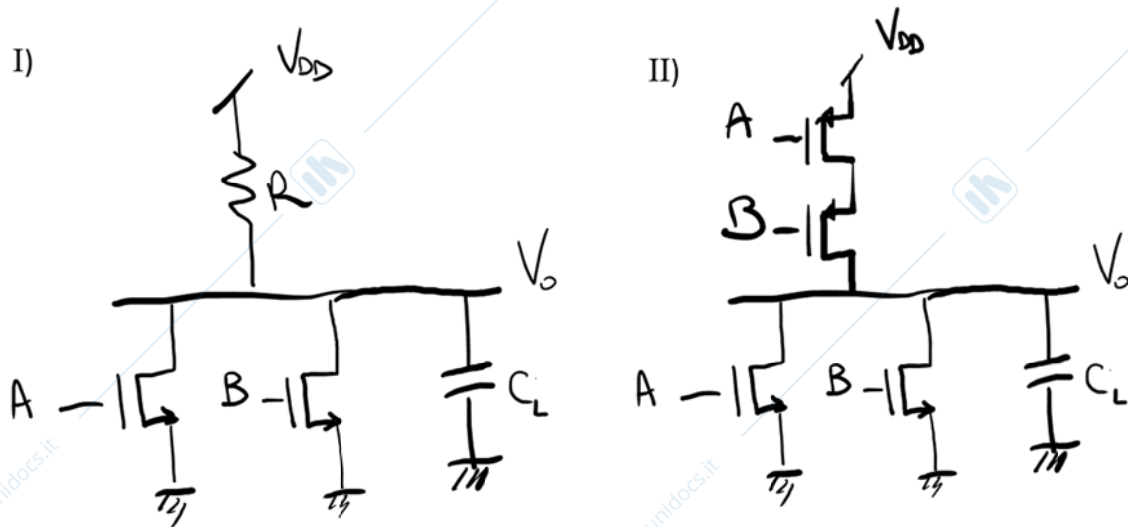


Usando una logica MOS complementare è possibile costruire funzioni logiche combinatorie basate su espressioni booleane.



- Questi circuiti sono basati sulla combinazione di una rete di pull-up e una rete di pull-down. La funzione della rete di PULL-UP è quella di collegare l'output a VDD quando il suo valore logico deve essere '1', mentre la rete di PULL-DOWN serve a connettere l'output a GND quando il suo valore logico deve essere '0'.
- Quando il circuito logico è totalmente complementare, non ho mai le reti di pull-up e di pull-down che conducono allo stesso tempo, per nessuna combinazione di input, ma sempre e solo una di esse. Se le reti di pull-up e pull-down sono mutualmente esclusive, elimino qualsiasi percorso ohmico tra VDD e GND, evitando che si abbia potenza statica dissipata. Ad esempio nell'es. 1 qui sotto, questo è vero nel caso II (logica complementare) ma non nel caso I dove la rete di pull-up è costituita da una resistenza (se il valore di R è opportuno, consente ugualmente di avere un valore accettabilmente basso quando la rete di pull-down conduce).
- La rete di pull-up viene costruita interamente usando pMOS, mentre quella di pull-down usando nMOS.

1)



$$V_{dd} = 3.3 \text{ V}$$

$$R = 10 \text{ k}\Omega$$

$$C_L = 0.2 \text{ pF}$$

$$V_{tn} = |V_{tp}| = 0.7 \text{ V}$$

$$k_n = 200 \frac{\mu\text{A}}{\text{V}^2}$$

$$k_p = 80 \frac{\mu\text{A}}{\text{V}^2}$$

a) I due circuiti rappresentati sintetizzano la stessa funzione logica. Di quale funzione logica si tratta?

I due circuiti sintetizzano la stessa funzione logica, ma:

I) ha una rete di PULL DOWN composta da 2 nMOS in parallelo, mentre la resistenza R agisce come PULL UP.

II) ha una logica CMOS totalmente complementare: una rete di PULL DOWN composta da 2 nMOS in parallelo, e una rete di PULL UP composta da 2 pMOS in serie.

Dal circuito II) è facile ottenere la tabella di verità

A	B	V _{out}
0	0	1
0	1	0
1	0	0
1	1	0

Se uno qualsiasi dei due nMOS è acceso ($A=1$ oppure $B=1$), ho un percorso tra V_{out} e GND.

Mentre è necessario che entrambi i pMOS siano accesi ($A=0, B=0$) perché V_{out} sia collegato a VDD.

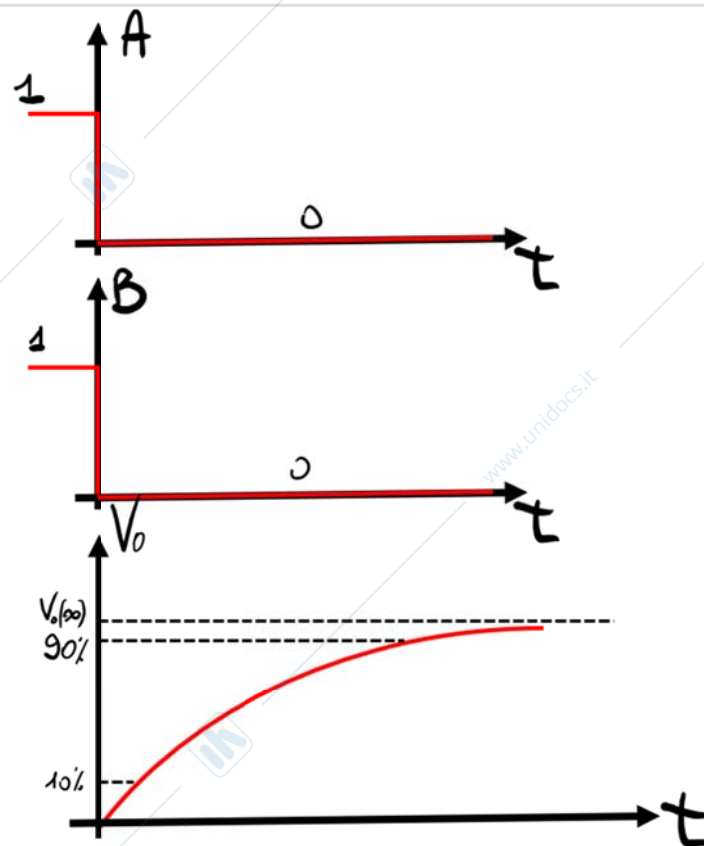
Il circuito quindi implementa la funzione logica $V_{out} = \overline{A + B}$ (NOR).

- b) Si consideri il caso in cui entrambi gli ingressi (A, B) commutino da VDD a 0. Calcolare il tempo di pull up nei due circuiti (si consideri il transitorio 10% - 90% di VDD).

Se ho la transizione $(A, B) = (1, 1) \rightarrow (0, 0)$, l'uscita eseguirà la transizione $V_{out} = 0 \rightarrow 1$.

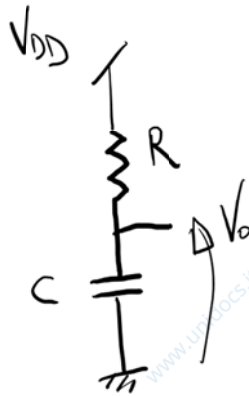
Quindi a $t=0+$ la rete di pull-down (i 2 nMOS) si spegne e la rete di pull-up si accende (in questo caso si devono accendere entrambi i pMOS A e il pMOS B). La transizione sull'uscita non può essere istantanea a causa della capacità di carico C_L .

Quindi al momento della transizione, avrò una corrente che scorre attraverso la rete di PULL-UP per caricare C_L e V_{out} si caricherà da 0V a VDD.



Consideriamo il circuito I.

Se $(A, B) = (0, 0)$, la rete di PULL DOWN è spenta e per $t > 0$ mi trovo con semplice un circuito di carica RC (esponenziale) con valore a regime di V_o pari a V_{DD} .



$$V_{out}(t) = V_C(t) = V_{DD} - V_{DD}e^{-\frac{t}{\tau}}$$

- $t_{10\%}$:

$$0.1 V_{DD} = V_{DD} - V_{DD}e^{-\frac{t_{10\%}}{\tau}}$$

$$e^{-\frac{t_{10\%}}{\tau}} = 0.9$$

$$t_{10\%} = \tau \ln\left(\frac{1}{0.9}\right) = RC_L \ln\left(\frac{1}{0.9}\right) = 210 \text{ ps}$$

- $t_{90\%}$:

$$0.9 V_{DD} = V_{DD} - V_{DD}e^{-\frac{t_{90\%}}{\tau}}$$

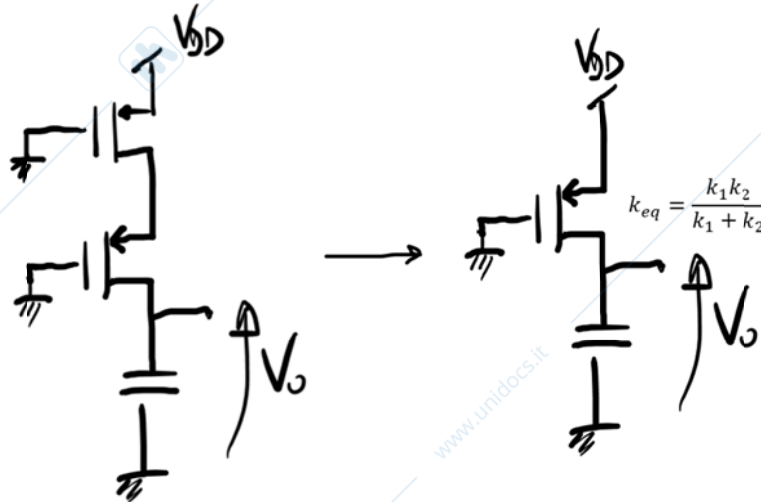
$$e^{-\frac{t_{90\%}}{\tau}} = 0.1$$

$$t_{90\%} = \tau \ln\left(\frac{1}{0.1}\right) = RC_L \ln\left(\frac{1}{0.1}\right) = 4.605 \text{ ns}$$

$$t_{pullup} = t_{90\%} - t_{10\%} = 4.395 \text{ ns}$$

Consideriamo il circuito II.

Se $(A, B) = (0, 0)$, entrambi i pMOS sono accesi e possiamo considerare un unico pMOS equivalente con $k_{eq} = \frac{k_p k_p}{k_p + k_p} = \frac{k_p}{2}$.



Possiamo calcolare il tempo di transizione 10%-90% utilizzando l'approssimazione SATURAZIONE + OHMICA (vd. Esercitazione 4).

Dividiamo la carica della capacità in 2 momenti: da 0 a t_1 considereremo il pMOS equivalente come un generatore di corrente (I_{sat_p}) costante. Mentre da t_1 a t_2 approssimeremo il pMOS equivalente a una resistenza r_{LH} .

I)

Il pMOS (equivalente) rimane in saturazione fintanto che V_{out} non raggiunge la tensione di soglia del pMOS:

$$\int_{t_{10\%}}^{t_1} I_{sat_p}(t) dt = \int_{10\%V_{DD}}^{|V_{tp}|} C_L dV_{out}(t)$$

$$t_1 - t_{10\%} = C_L * \frac{|V_{tp}| - 10\%V_{DD}}{I_{sat_p}} = 0.2 \text{ pF} \frac{0.7 \text{ V} - 0.33 \text{ V}}{k_{peq}(-3.3 \text{ V} + 0.7 \text{ V})^2} = 0.2 \text{ pF} \frac{0.37 \text{ V}}{270 \text{ uA}} = 270 \text{ ps}$$

II)

Nel periodo $t_1 - t_2$ possiamo approssimare il pMOS (equivalente) come una resistenza r_{LH}

$$r_{LH} = \frac{V_{DD} - |V_{tp}|}{I_{sat_p}} = \frac{3.3 \text{ V} - 0.7 \text{ V}}{270 \text{ uA}} = 9.6 \text{ k}\Omega$$

Considerando $t_{90\%}$ il tempo in cui V_{out} raggiunge il 90% di V_{DD} , e t_1 il tempo di partenza del tratto di carica esponenziale della capacità C_L attraverso la resistenza r_{LH} , possiamo scrivere:

$$0.9 V_{DD} = V_{DD} + (|V_{tp}| - V_{DD}) e^{-\frac{t_{90\%} - t_1}{\tau}}$$

$$e^{-\frac{t_{90\%} - t_1}{\tau}} = \frac{0.1 V_{DD}}{V_{DD} - |V_{tp}|}$$

$$t_{90\%} - t_1 = \tau \ln\left(\frac{V_{DD} - |V_{tp}|}{0.1 V_{DD}}\right) = RC_L \ln\left(\frac{V_{DD} - |V_{tp}|}{0.1 V_{DD}}\right) = 3.96 \text{ ns}$$

E quindi, sommando i due intervalli:

$$t_{pullup} = (t_{90\%} - t_1) + (t_1 - t_{10\%}) = 4.23 \text{ ns}$$

c) Calcolare il valore del livello logico basso di uscita nei due circuiti, assumendo entrambi gli ingressi a VDD.

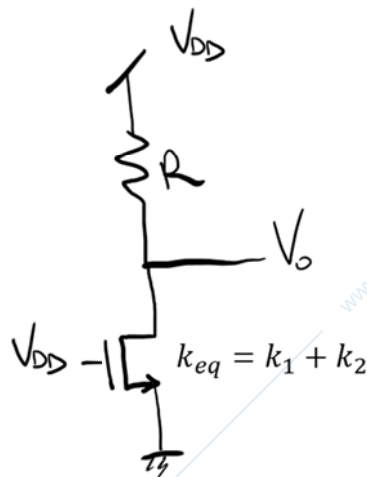
Nel caso del circuito II, se A = B = VDD,

i pMOS sono in interdizione ($V_{gsp} = V_{DD} - V_{DD} = 0 \text{ V} > -0.7 \text{ V} = V_{tp}$)
mentre gli nMOS stanno conducendo ($V_{gsn} = V_{DD} > 0.7 \text{ V} = V_{tn}$)

Quindi ho solo un percorso tra Vout e GND, quindi il livello logico basso di uscita nel circuito II e':

$$V_{OL} = 0 \text{ V}$$

Nel caso del circuito I



Pur non conoscendo a priori il valore di uscita, assumendolo sufficientemente piccolo, posso ipotizzare il MOS in zona triodo ($V_{DS} < V_{GS} - V_{tn}$) e, in prima approssimazione, fare il conto con il MOS in zona ohmica ($V_{DS} \ll V_{GS} - V_{tn}$) (ipotesi da verificare a posteriori):

$$I_{R1} = I_D$$

$$\frac{(V_{DD} - V_{out})}{R} = 2k_{eqn}[(V_{GS} - V_{tn})V_{DS}]$$

$$\frac{(V_{DD} - V_{out})}{R} = 2k_{eqn}[(V_{DD} - V_{tn})V_{out}]$$

$$V_{out} = \frac{V_{DD}}{1 + R 2k_{eqn} (V_{DD} - V_{tn})} = 0.151V$$

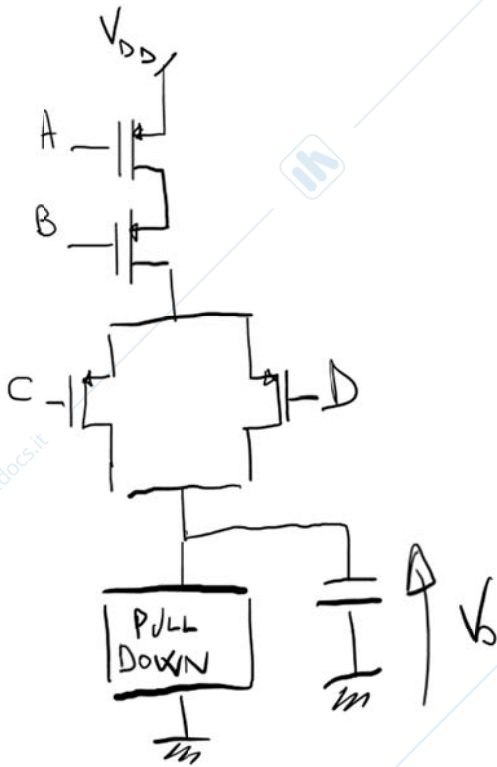
Si ottiene risultato analogo se consideriamo il partitore resistivo di 3.3 V tra R e $r_{DS} = 1/[2k_{eqn} (V_{DD} - V_{tn})] = 0.48 k\Omega$. Quindi:

$$V_{out} = V_{DS} = 0.151 V \ll 2.6 V = V_{GS} - V_{tn}$$

Essendo la tensione di uscita inferiore alla tensione di saturazione ($V_{DS,sat} = V_{GS} - V_{tn}$) il nMOS e' sicuramente in zona triodo. Essendo poi effettivamente piu' di un fattore 10 inferiore alla tensione di saturazione l'approssimazione ohmica e' da ritenersi accettabile (dara' una sottostima del valore reale).

Nel caso del circuito I, il livello logico basso e' quindi approssimativamente $V_{OL} \cong 0.151 V$.

2)



$$V_{dd} = 3.3 \text{ V}$$

$$C_L = 10 \text{ pF}$$

$$V_{tn} = |V_{tp}| = 1 \text{ V}$$

$$k_p = \frac{1}{2} \mu_p C'_{ox} \left(\frac{W}{L}\right)_p = 250 \frac{\mu\text{A}}{\text{V}^2}$$

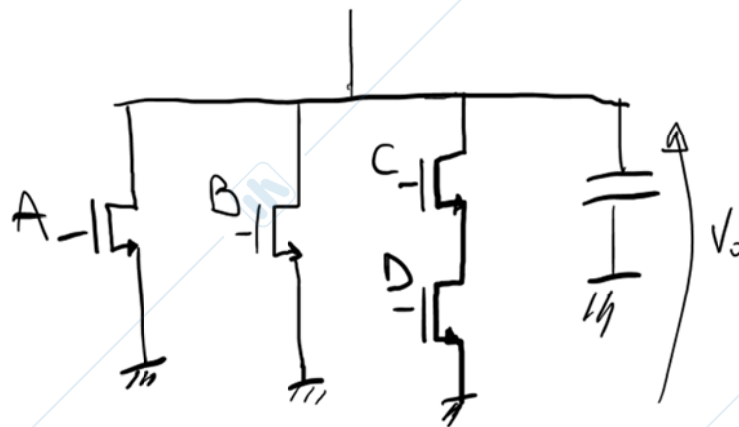
$$\left(\frac{W}{L}\right)_p = 20$$

$$\frac{\mu_n}{\mu_p} = 2.5$$

a) Sintetizzare la rete di pull down del circuito. Determinarne poi la funzione logica e la tabella di verità.

La rete di pull down deve essere complementare a quella di pull up. Questa proprietà può essere usata per la sintesi di una delle due reti, nota l'altra.

Se nella rete di pull up abbiamo in serie il pMOS A, il pMOS B e il parallelo tra il pMOS C e il pMOS D, allora nella rete di pull down avremo in parallelo l'nMOS A, l'nMOS B e la serie dell'nMOS C e l'nMOS D.



L'espressione logica puo' essere ricavata, ad esempio, osservando la rete di pull down:

$$\overline{Vout} = A + B + CD$$

Infatti, vedo che la rete di pull-down porta l'uscita Vout a 0 (cioe' $\overline{Vout}=1$) quando almeno una delle seguenti condizioni sia verificata: i) conduce nMOS A ($A=1$), ii) conduce nMOS B ($B=1$), iii) conduce la serie nMOS C e D ($C=D=1$).

La relazione logica trovata puo' essere anche riscritta, usando De Morgan, mettendo in luce gli ingressi negati ($\bar{A}, \bar{B}, \bar{C}$):

$$Vout = \overline{A + B + CD} = \bar{A} \cdot \bar{B} \cdot (\bar{C} + \bar{D})$$

Quest'ultima scrittura consente facilmente di sintetizzare la rete di pull-up in modo alternativo a prima (e quindi e' un utile strumento di verifica). Infatti la relazione logica ci dice che l'uscita Vout=1 quando si verificano le seguenti condizioni in AND logico: i) pMOS A acceso ($\bar{A}=1$), ii) pMOS B acceso ($\bar{B}=1$), iii) almeno uno tra pMOS C e pMOS D accesi ($\bar{C} + \bar{D}=1$).

Questa la tabella della verita' completa.

A	B	C	D	OUT
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	X	X	0
1	0	X	X	0
1	1	X	X	0

- b) Determinare $\left(\frac{W}{L}\right)_n$ tale per cui il tempo necessario alla transizione $H \rightarrow L$ piu' lenta sia uguale al tempo necessario alla transazione $L \rightarrow H$ più lenta.

Il tempo necessario alla carica/scarica della capacità di carico è inversamente proporzionale alla corrente dei MOS accesi (cioe' alla corrente del MOS equivalente). Maggiore è la corrente, minore è il tempo necessario per compiere la transizione. In termini del parametro k del MOS equivalente ai MOS accesi - essendo la corrente di un transistor MOS proporzionale a k - vale la stessa considerazione: maggiore è il k equivalente, minore è il tempo di transizione. Per il confronto tra diversi tempi di transizione, se assumiamo il MOS equivalente pari ad una resistenza (ad es. la resistenza $V_{ds,sat}/I_{d,sat}$ vista precedentemente) nell'intervallo di tempo di interesse, allora si può dire che il tempo di transizione minore sarà dato dal percorso meno resistivo (ovviamente è quello con k equivalente maggiore).

Quindi la combinazione di input che accende il percorso con k equivalente più piccolo darà anche il tempo di transizione maggiore.

Abbiamo il Pull Up più lento quando:

- $A=0, B=0, C=0, D=1$ (il caso $A=0, B=0, C=1, D=0$ è equivalente)

In questo caso abbiamo 3 pMOS accesi in serie, quindi il pMOS equivalente avrà:

$$k_{peq} = \frac{1}{\frac{1}{k_p} + \frac{1}{k_p} + \frac{1}{k_p}} = \frac{k_p}{3}$$

che e' il minore valore possibile.

Abbiamo il Pull DOWN più lento quando:

- A=0, B=0, C=1, D=1

In questo caso abbiamo 2 nMOS accesi in serie, quindi il nMOS equivalente avrà:

$$k_{neq} = \frac{1}{\frac{1}{k_n} + \frac{1}{k_n}} = \frac{k_n}{2}$$

Abbiamo lo stesso tempo di pull up e pull down se abbiamo la stessa corrente, quindi

$$k_{peq} = k_{neq}$$

$$\frac{k_p}{3} = \frac{k_n}{2}$$

$$k_n = \frac{2}{3} k_p$$

$$\frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L}\right)_n = \frac{2}{3} \frac{1}{2} \mu_p C_{OX} \left(\frac{W}{L}\right)_p$$

$$\mu_n \left(\frac{W}{L}\right)_n = \frac{2}{3} \mu_p \left(\frac{W}{L}\right)_p$$

$$\left(\frac{W}{L}\right)_n = \frac{2}{3} \frac{\mu_p}{\mu_n} \left(\frac{W}{L}\right)_p = \frac{2}{3} \frac{1}{2.5} 20 = 5.3$$

$$\left(\frac{W}{L}\right)_n = 5.3$$

3)

a) Sintetizzare la porta logica $Y = \bar{A} + \overline{B + CD}$

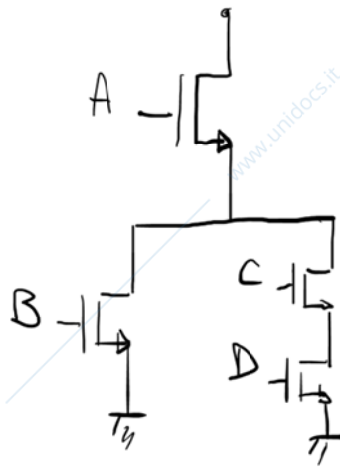
$$Y = \bar{A} + \overline{B + CD}$$

Applicando de Morgan

$$Y = \overline{A \cdot (B + CD)}$$

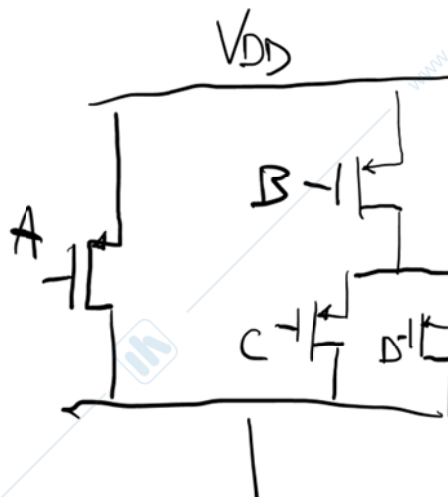
$$\bar{Y} = A \cdot (B + CD)$$

Dall'ultima espressione è possibile ricavare la rete di pull Down (come spiegato precedentemente):



Scrivendo la funzione logica in funzione degli ingressi negati si può sintetizzare subito la rete di Pull UP complementare:

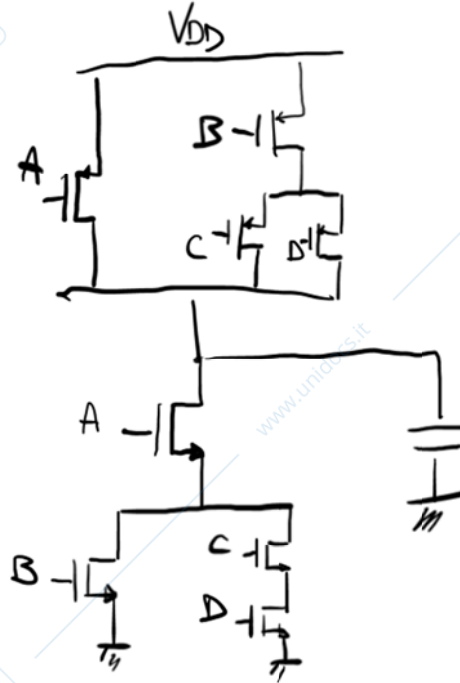
$$Y = \bar{A} + \bar{B} \cdot (\bar{C} + \bar{D})$$



Si può verificare, per sicurezza, che le due reti siano effettivamente complementari. Vediamo infatti che nella rete di pull-down il nMOS A è in serie al parallelo del nMOS B con la serie degli nMOS C

e D. Nella rete di pull-up il pMOS A e' in parallelo alla serie di: pMOS B e il parallelo dei pMOS C e D. Verifica confermata.

E quindi il circuito complessivo e' il seguente:



b) Dato $k_n = 1 \frac{mA}{V^2}$, determinare k_p tale per cui il tempo necessario per la transizione $H \rightarrow L$ più veloce sia uguale al tempo necessario alla transazione $L \rightarrow H$ più veloce.

Abbiamo il Pull down più veloce quando tutti i transistor nMOS sono accesi:

- $A=1, B=1, C=1, D=1$

$$k_{neqCD} = \frac{1}{\frac{1}{k_n} + \frac{1}{k_n}} = \frac{k_n}{2}$$

$$k_{neqBCD} = k_n + \frac{k_n}{2} = \frac{3}{2}k_n$$

$$k_{neqABCD} = k_{neq} = \frac{1}{\frac{1}{k_n} + \frac{2}{3k_n}} = \frac{3}{5}k_n$$

Abbiamo il Pull UP più veloce quando tutti i transistor pMOS sono accesi:

- $A=0, B=0, C=0, D=0$

$$k_{peqCD} = k_p + k_p = 2k_p$$

$$k_{peqBCD} = \frac{1}{\frac{1}{k_p} + \frac{1}{2k_p}} = \frac{2}{3}k_p$$

$$k_{peqABCD} = k_{peq} = k_p + \frac{2}{3}k_p = \frac{5}{3}k_p$$

Abbiamo lo stesso tempo di pull up e pull down se abbiamo la stessa corrente, quindi

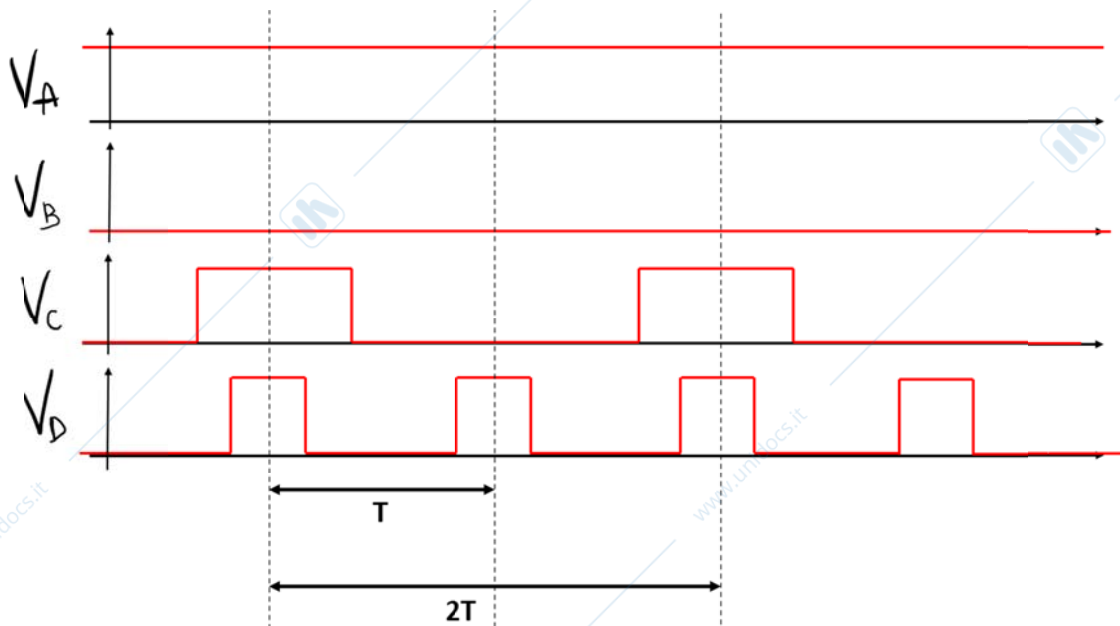
$$k_{peq} = k_{neq}$$

$$\frac{5}{3}k_p = \frac{3}{5}k_n$$

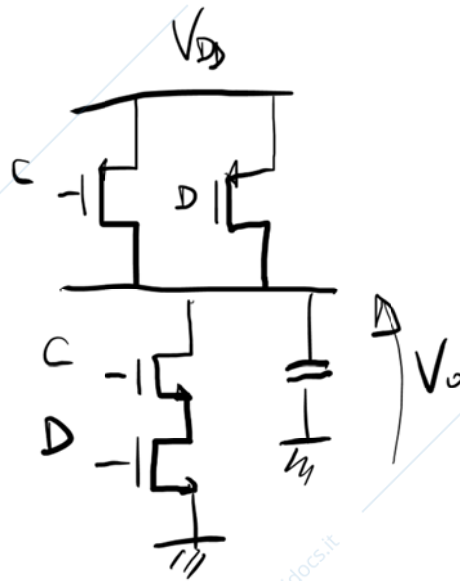
$$k_p = \frac{9}{25}k_n$$

$$k_p = 0.36 \frac{mA}{V^2}$$

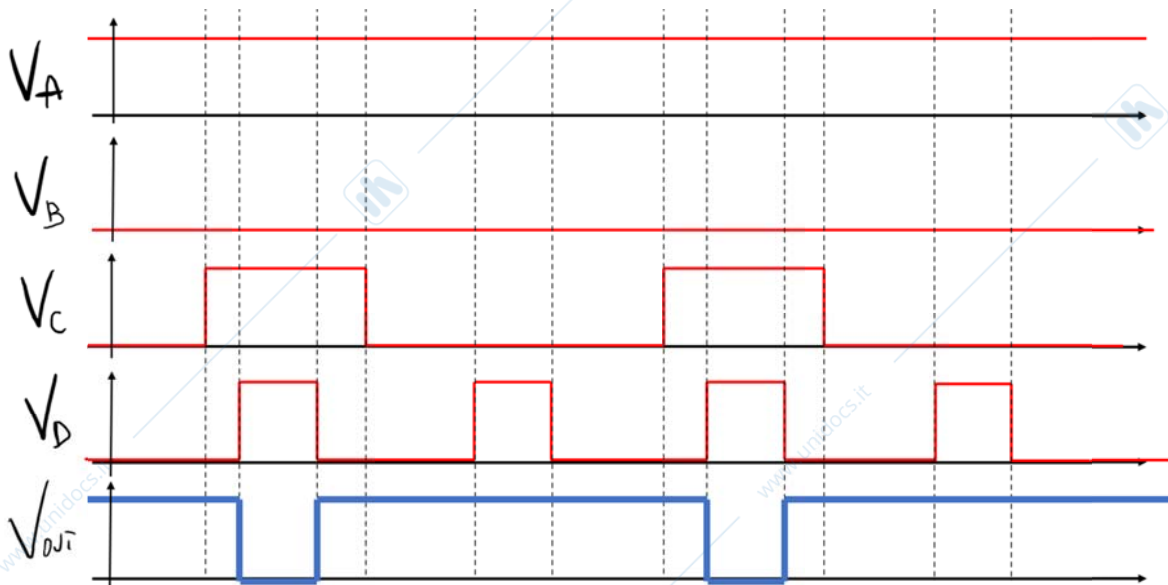
c) Dati gli input in figura, determinare $V_{out}(t)$ e il consumo di potenza dinamica ($T=10ns$)



Possiamo ridisegnare il circuito con $A=1$ e $B=0$:



Abbiamo che $V_{out}=0$ solo quando $C=D=1$. Quindi:

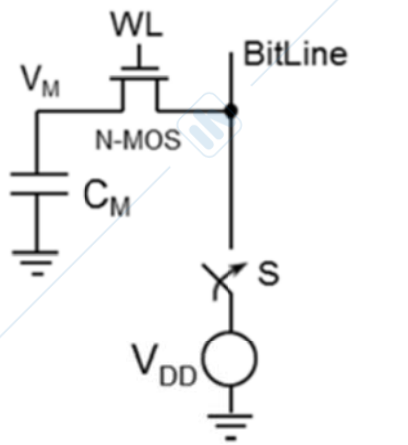


La potenza dinamica dissipata nel circuito e' dovuta alla carica e scarica del condensatore C (in questo esercizio trascuriamo il termine di cross-conduzione).

La frequenza di periodo della V_{out} e' uguale a quella di V_c , $1/20ns = 50$ MHz, e V_{out} esegue solo una sequenza di transizioni (HL e LH). Quindi:

$$P_d = C V_{DD}^2 f = 10 \text{ pF} \cdot 50 \text{ MHz} \cdot 3.3^2 \text{ V}^2 = 5.4 \text{ mW}$$

4)

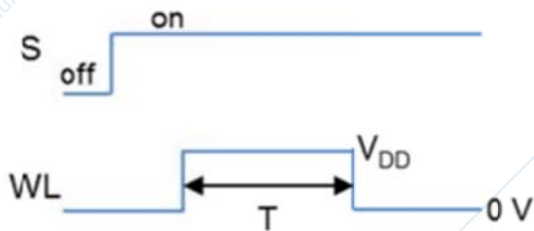


$$V_{DD} = 3 \text{ V}$$

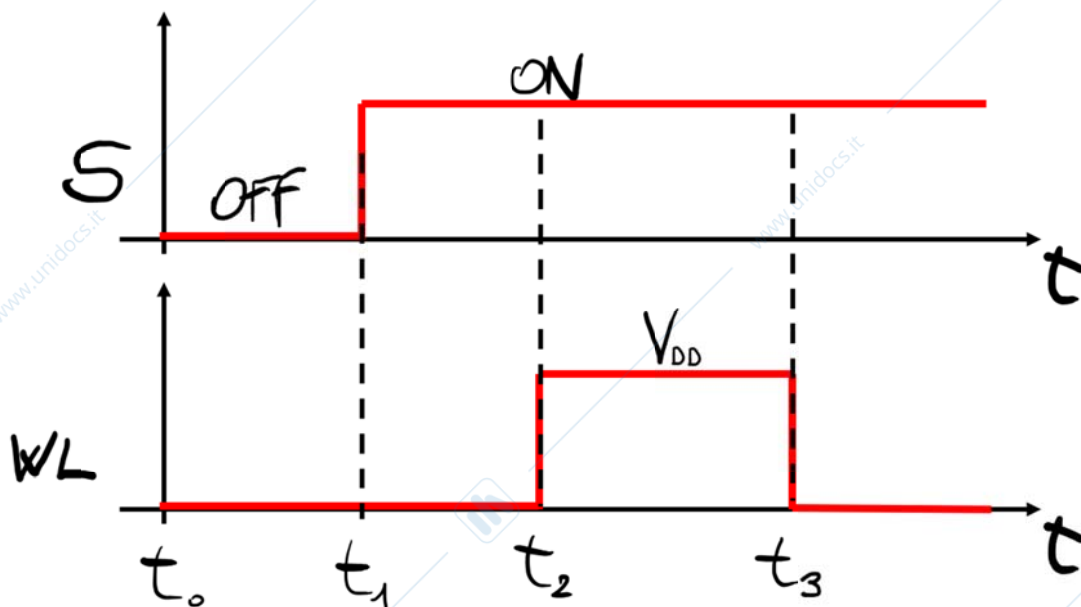
$$C_M = 100 \text{ fF}$$

$$V_{tn} = 0.5 \text{ V}$$

$$k_n = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)_n = 0.2 \frac{\text{mA}}{\text{V}^2}$$

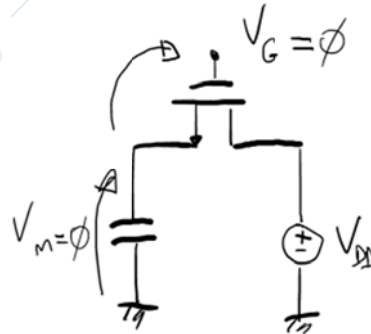


a) Nella figura è mostrata l'evoluzione temporale dello switch S e della WordLine (WL) per la scrittura di un '1' nella cella DRAM. Disegnare il corrispondente grafico della $V_M(t)$. (Considerare C_M inizialmente scarico e T sufficientemente grande per completare il transitorio)



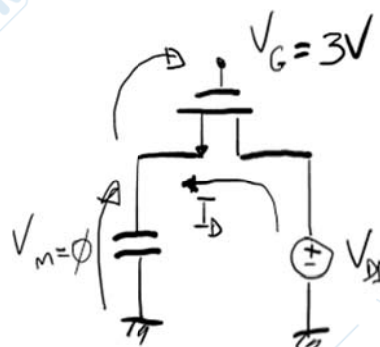
Inizialmente al tempo t_0 , ho lo switch e il MOS spenti, non c'è corrente nel circuito e quindi prima di t_1 la capacità C_M può essere ritenuta scarica (per semplicità era anche già indicato nel testo).

Al tempo t_1 , lo switch si chiude e carica la BitLine istantaneamente a VDD. La tensione $V_{GS} = V_G - V_M = 0$, quindi il nMOS e' in INTERDIZIONE, quindi ho $I_D = 0$. Non ho corrente che scorre nella capacita' C_M attraverso il nMOS.

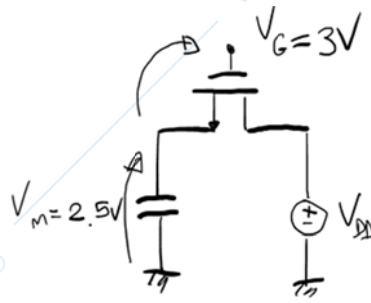


Al tempo t_2 , $V_G = 3V$, quindi $V_{GS} = 3V - 0V > 0.5V = V_{tn}$: il MOS si accende.

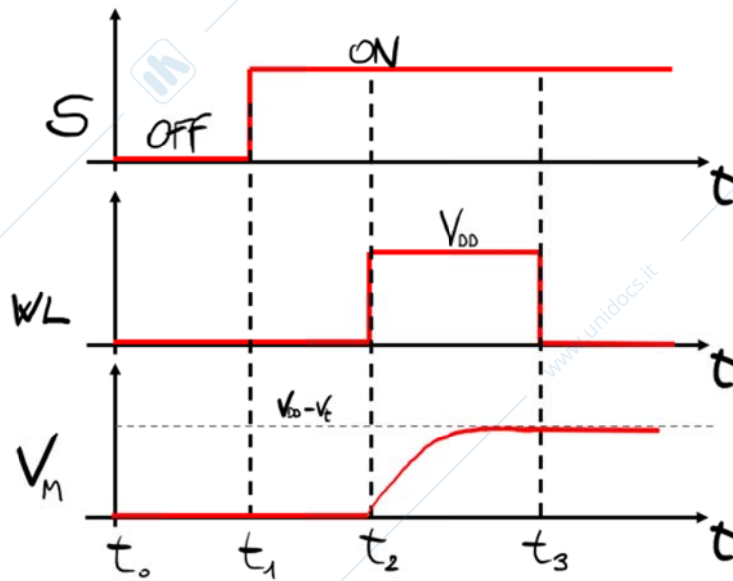
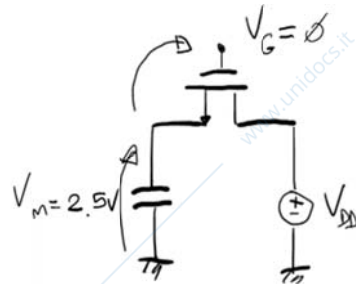
Al tempo $t = t_2^+$ la tensione $V_{DS} = V_{DD} - V_M(t_2^+) = 3V - 0V = 3V$ e quindi vi sara' una corrente $I_D > 0$ che carica la capacita' C_M . Si noti che il terminale di Drain del MOS non era indicato nella figura iniziale, ma - essendo il terminale a potenziale piu' positivo del source - non puo' che essere quello a destra al potenziale VDD.



Tra il tempo t_2 e t_3 la capacita' si carica verso il valore massimo. La capacita' continua a caricarsi fintanto che il MOS e' acceso, ovvero fintanto che la tensione $V_{GS} > V_t$. Ma ci ricordiamo che la tensione V_M sulla capacita' e' la tensione di Source e quindi la V_{GS} diminuisce via via che la capacita' si carica. Quando la tensione sulla capacita' raggiunge il valore $V_{M_max} = V_{GS} - V_t = 2.5V$ il MOS si spegne (INTERDIZIONE) e la sua corrente si annulla. La capacita' rimane carica alla tensione $V_{M_max} = 2.5V$.



Al tempo t_3 , $V_G = 0V$. La tensione gate source del MOS e' inferiore alla tensione di soglia: $V_{GS} = -2.5V < 0.5V = V_{tn}$. Quindi il MOS e' ancora in INTERDIZIONE e la capacita' rimane carica alla tensione $V_{M_max} = 2.5V$ (valore alto).



b) Nelle stesse condizioni del punto precedente, si stimi il valore di T che permette il completamente del transitorio di scrittura (si assuma per semplicità il MOS in zona ohmica)

In zona ohmica il MOS è approssimato ad una resistenza (tangente nell'origine della caratteristica $I_D - V_{DS}$) e usiamo il valore a inizio transitorio $V_{GS} = V_{DD}$:

$$r_{DS_{on}} = \frac{1}{2 k_n (V_{GS} - V_{tn})} = \frac{1}{2 \times 0.2 \frac{mA}{V^2} \times 2.5 V} = 1 k\Omega$$

$$\tau = r_{DS_{on}} C_M = 1 k\Omega \times 100 fF = 100 ps$$

Possiamo considerare la capacità carica dopo 5τ , quindi $T > 500 ps$.

Approfondimento:

Durante il transitorio, il punto di lavoro del MOS percorre in realtà una traiettoria nel piano (I_D, V_{DS}) che è sempre contenuta nella zona di saturazione dato che $V_{DS} = V_{GS}$.

La traiettoria parte dal punto $(I_D, V_{DS}) = (k_n (V_{DD} - V_{tn})^2, V_{DD})$ a $t=0$ e raggiunge il punto $(I_D, V_{DS}) = (0, V_{tn})$ a fine carica (quando il MOS si spegne).

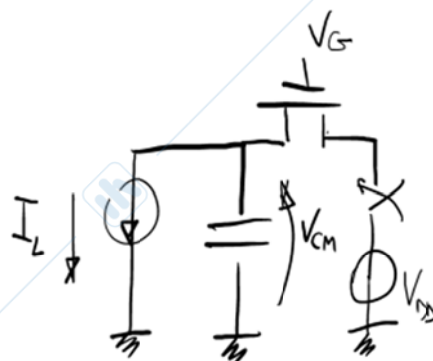
L'approssimazione usata sopra (MOS in zona ohmica) quindi è una prima approssimazione utile solo per stimare l'ordine di grandezza della durata del transitorio di carica (ne è una sottostima). Alla luce di quanto detto, mantenendo ancora per semplicità un modello resistivo per il MOS, come migliore approssimazione numerica possiamo usare la corda che unisce il punto iniziale della traiettoria all'origine, che corrisponde alla resistenza equivalente:

$$R_{eq} = V_{DD} / k_n (V_{DD} - V_{tn})^2 = 2.4 k\Omega$$

$$\tau = R_{eq} C_M = 2.4 k\Omega \times 100 fF = 240 ps$$

Cio' porta ad una stima migliore della costante di tempo (e del tempo T richiesto che risulta 2.4 volte maggiore).

c) Considerando un refresh della DRAM ogni 10ms, si determini quale è la massima corrente di leakage (dovuta alla corrente inversa della giunzione PN del MOS) tollerata, se si accetti una massima degradazione del 20% del livello logico alto,



Nel circuito è presente una (piccola) corrente di leakage a causa della struttura fisica del transistor MOS. Questa corrente di leakage scarica la capacità C_M modificando il valore di tensione

memorizzato nella cella. Per questo motivo nelle memorie DRAM e' necessario riscrivere ciclicamente l'informazione.

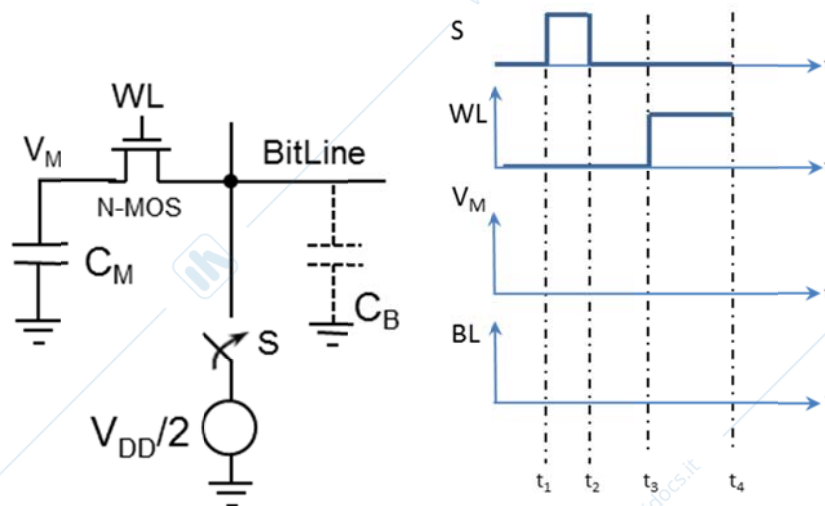
Quindi noi vogliamo che in 10 ms (tempo di refresh) la capacita' si scarichi al massimo del 20% di

$$V_{M_max} = \frac{20}{100} 2.5 V = 0.5 V.$$

Quindi il valore massimo della corrente di leakage deve essere:

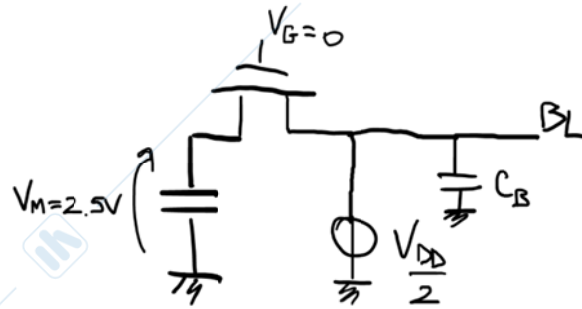
$$I_{leakage} = C_M \frac{dV_M}{dt} \cong 100 fF \frac{0.5 V}{10 ms} = 5 pA.$$

d) Nella figura sotto e' mostrata una configurazione semplificata della cella DRAM per la lettura. Facendo riferimento all'evoluzione temporale dello switch S e della WordLine (WL) mostrate in figura, tra t_1 e t_2 avviene la precarica della BitLine al valore intermedio $V_{DD}/2$ e successivamente tra t_3 e t_4 viene effettuata la lettura del dato. Tracciare i grafici corrispondenti della tensione della BitLine e della V_M quando la cella ha inizialmente memorizzato un '1'. Calcolare espressamente la tensione della BitLine a regime per $t > t_3$ (assumere $C_B = 5 pF$).

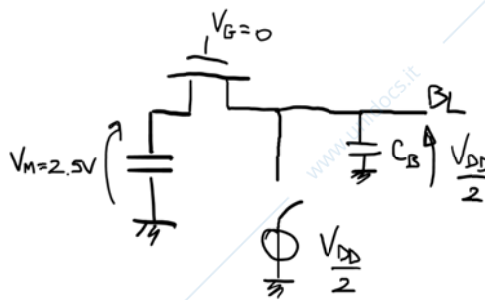


Inizialmente, al tempo t_0 , lo switch S e il MOS sono spenti e non c'è corrente nel circuito. Quindi la capacita' C_M può essere ritenuta carica alla tensione $V_{DD} - V_t$ (valore '1' precedentemente memorizzato nella cella) mentre la tensione della BitLine e' ad un valore non noto, assumiamo per semplicita' $BL = 0$.

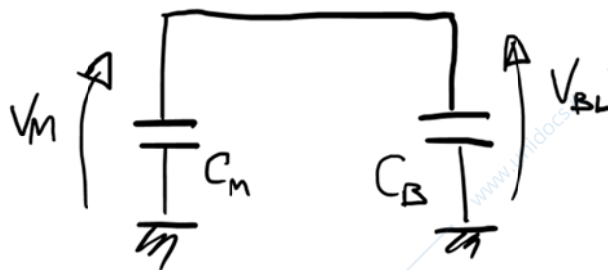
Al tempo t_1 ho la chiusura dello switch S. Per $t > t_1$ la BitLine (e quindi la capacita' C_B) viene caricata al valore $\frac{V_{DD}}{2} = 1.5V$ (tempo di carica qui assunto breve rispetto alla durata dell'impulso di S). La tensione di gate del MOS e' ancora 0 V (il MOS e' sempre in interdizione) quindi non ho variazione di carica della capacita' C_M .



Al tempo t_2 ho l'apertura dello switch S. La capacità C_B è già stata caricata a 1.5V, quindi la BitLine mantiene questo valore di tensione.



Al tempo t_3 ho l'accensione del MOS. Si crea un canale conduttivo tra le capacità C_M e C_B e una corrente dalla capacità C_M a potenziale maggiore (Drain) verso C_B a potenziale minore (Source). A regime le cariche saranno ridistribuite in modo da avere la medesima tensione su entrambe le capacità.



Prima di t_3 , la carica accumulata sui condensatori è:

$$Q_M = C_M V_M = 100 \text{ fF} \cdot 2.5 \text{ V} = 250 \text{ fC}$$

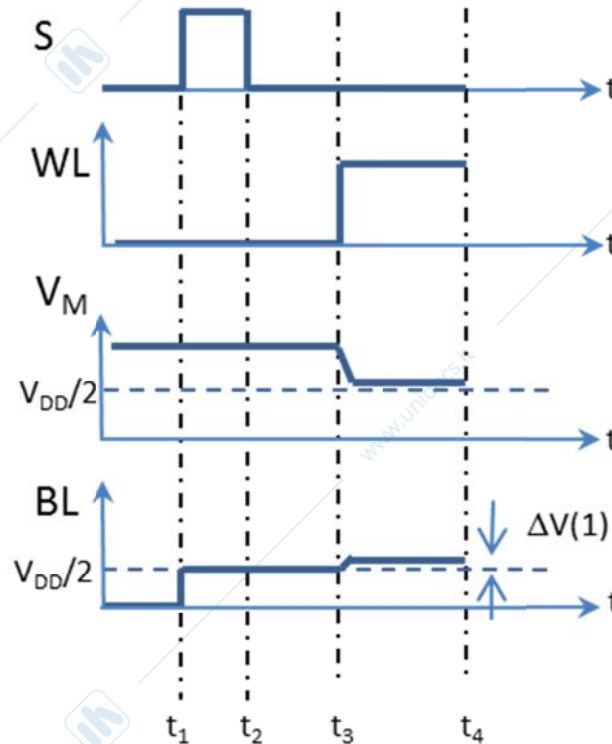
$$Q_B = C_B V_{BL} = 5 \text{ pF} \cdot 1.5 \text{ V} = 7.5 \text{ pC}$$

All'istante t_3+ , possiamo considerare le due capacità come una unica capacità equivalente,

$C_{eq} = C_M + C_B$, con carica pari alla carica totale del sistema $Q_t = Q_M + Q_B$. A regime avremo:

$$V_{BL} = V_M = \frac{Q_t}{C_{eq}} = \frac{7.75 \text{ pC}}{5.1 \text{ pF}} = 1.52 \text{ V}$$

Quindi la variazione sulla BitLine a seguito della lettura di un "1" risulta di $\Delta V("1") = +20 \text{ mV}$. La variazione positiva indica che il dato memorizzato era il livello alto. Nel grafico sottostante e' mostrata l'evoluzione della BL e della VM.



L'esercizio puo' essere risolto analogamente per la lettura di uno "0" memorizzato.

Approfondimento:

La durata del transitorio di redistribuzione delle cariche per $t > t_3$ puo' essere stimata (in prima approssimazione) assumendo per semplicita' che il MOS sia una resistenza durante il transitorio. Nel caso di "1" memorizzato, considerando la situazione a regime (V_{DS} nulla e tensione finale sulle due capacita' $\sim V_{DD}/2$), assumiamo il MOS equivalente alla resistenza in zona ohmica con $V_{GS} \cong V_{DD}/2$:

$$r_{DS_{on}} = \frac{1}{2 k_n (V_{DD}/2 - V_{tn})} = \frac{1}{2 \times 0.2 \frac{\text{mA}}{\text{V}^2} \times 1 \text{ V}} = 2.5 \text{ k}\Omega$$

La costante di tempo caratteristica del transitorio di lettura di un "1" sara' quindi:

$$\tau = r_{DS_{on}} \frac{C_B C_M}{C_B + C_M} \cong 2.5 \text{ k}\Omega \times 1 \text{ pF} = 0.25 \text{ ns.}$$