

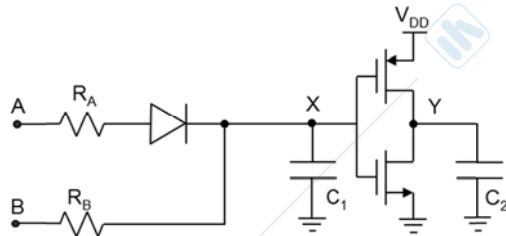
## Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2018/2019

## Appello del 22 Luglio 2019

**Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...  
Motivare con chiarezza i punti salienti dello svolgimento, il semplice risultato (grafico o numerico) non basta  
Durata prova: 3h**

**Esercizio 1.**

Si consideri il circuito in figura. Il diodo e' ideale con tensione di accensione  $V_D=0.7\text{ V}$ .



$$V_{DD}=5\text{ V}$$

$$k_n = k_p = 1\text{ mA/V}^2, V_{Tn} = |V_{Tp}| = 1\text{ V}$$

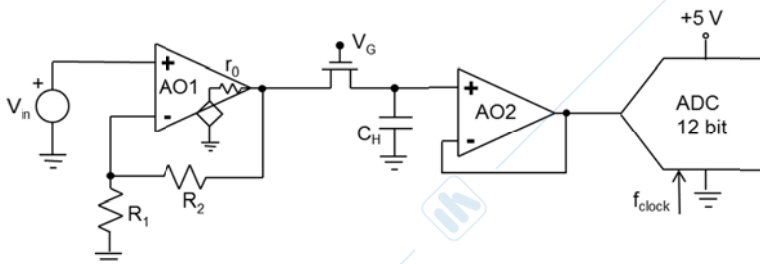
$$R_A=0.5\text{ k}\Omega, R_B=10\text{ k}\Omega$$

$$C_1=10\text{ pF}, C_2=10\text{ pF}$$

- Si calcolino i valori delle tensioni (in Volt) al nodo X per le 4 possibili combinazioni degli ingressi A e B.
- Si sintetizzi la porta logica in tecnologia CMOS che realizza la funzione logica complessiva del circuito  $Y=f(A,B)$ .
- Si supponga che A sia un'onda quadra simmetrica  $0-V_{DD}$  alla frequenza  $f=500\text{ kHz}$ , mentre B sia fisso a  $0\text{ V}$ . Disegnare il grafico di  $X(t)$ , calcolando i tempi caratteristici delle transizioni.
- Stimare i tempi di propagazione di pull-up e di pull-down del solo inverter CMOS.

**Esercizio 2**

Si consideri il circuito di conversione A/D in figura. Gli A.O. sono ideali ove non diversamente specificato.



$$V_{in} = 0 - 100\text{ mV}$$

$$k_n = 1\text{ mA/V}^2, V_{Tn} = 1\text{ V (nMOS)}$$

$$R_1=1\text{ k}\Omega, R_2=19\text{ k}\Omega$$

$$C_H=400\text{ pF}$$

- Si determini la minima variazione del segnale di ingresso  $V_{in}$  a cui l'ADC e' sensibile e si calcoli il tempo di conversione (massimo) dell'ADC supposto a gradinata con  $f_{clock}=100\text{ MHz}$ .
- Si calcoli il valore della tensione di accensione ( $V_{Gon}$ ) da applicare al gate dell'interruttore MOS tale che la tensione di overdrive sia sempre maggiore di  $1\text{ V}$  (al variare del segnale di ingresso nell'intervallo dato  $0-100\text{ mV}$ ). Con il valore di  $V_{Gon}$  trovato, determinare l'intervallo di valori che puo' assumere la resistenza dell'interruttore MOS durante la fase di sample.
- Si assuma che l'operazionale AO1 abbia  $A_0=10^6$  e resistenza di uscita  $r_0=1\text{ k}\Omega$  e che l'interruttore MOS sia assimilabile ad una resistenza  $R_{MOS}=0.5\text{ k}\Omega$ . Determinare la minima durata della fase di sample compatibile con la richiesta che l'errore di sample risulti sempre inferiore a 1 LSB.
- Ci si ponga ora nella fase di Hold. Determinare l'intervallo di frequenze in cui si puo' assumere che il buffer abbia guadagno unitario, considerando l'operazionale AO2 caratterizzato da una resistenza di ingresso differenziale  $R_{id}=100\text{ k}\Omega$ , guadagno in continua  $A_0=10^6$  e prodotto guadagno-banda  $GBWP=100\text{ MHz}$ .

**Esercizio 3**

Si consideri una memoria DRAM realizzata in una tecnologia CMOS caratterizzata dai seguenti dati:

$$V_{DD}=1.5\text{ V}, k_n = k_p = 0.2\text{ mA/V}^2, V_{Tn} = |V_{Tp}| = 0.5\text{ V}$$

La capacita'della singola cella di memoria e'  $C_M=100\text{ fF}$ , la capacita'della BitLine e'  $C_{BL}=5\text{ pF}$ .

- Disegnare lo schema circuitale di una singola cella di memoria DRAM descrivendo brevemente il ruolo della WordLine (WL), della BitLine (BL) e del transistor di accesso. Determinare i livelli di tensione corrispondenti allo 0 logico e al 1 logico se il transistor di accesso e' un nMOS.
- Si supponga di effettuare la lettura di uno zero logico precaricando la BitLine al valore  $V_{DD}/2$ . Disegnare i grafici temporali qualitativi della tensione sulla BitLine (BL) e sulla capacita' di memoria  $C_M$  dall'istante in cui la WordLine (WL) viene alzata a  $V_{DD}$ . Calcolare, in particolare, la variazione di tensione sulla BitLine.

**Traccia di soluzione T.E. 04/lug/2019****Es. 1****1a) livelli di tensione al nodo X**

$$A=0\text{ V}, B=0\text{ V}$$

Non c'è differenza di potenziale alla maglia RA-diodo-RB, per cui D è off e  $X=0\text{ V}$ .

$$A=V_{DD}, B=0\text{ V}$$

Nella maglia RA-diodo-RB è applicata una tensione maggiore di  $V_D=0.7\text{ V}$ , per cui D è on e la tensione su RB si calcola facilmente:  $X=(V_{DD}-V_D)*R_B/(R_A+R_B)=4.3\text{ V}*10/10.5=4.1\text{ V}$

$$A=0\text{ V}, B=V_{DD}$$

Nella maglia RA-diodo-RB è applicata una tensione di polarità opposta al caso precedente per cui D è off. Il nodo X è attaccato alla resistenza RB non percorsa da corrente:  $X=V_{DD}=5\text{ V}$ .

$$A=V_{DD}, B=V_{DD}$$

Come nel primo caso, non c'è differenza di potenziale alla maglia RA-diodo-RB, per cui D è off,  $X=V_{DD}=5\text{ V}$ .

**1b) porta logica CMOS, funzione logica complessiva**

Dal punto precedente si deduce la relazione logica  $X=A+B$  e quindi  $Y=/(A+B)$ . Si verifica facilmente dall'espressione  $Y=/(A+B)$  che la porta logica CMOS che implementa tale funzione logica ha 2 pmos in serie e 2 nmos in parallelo.

**1c) A onda quadra 500 kHz, B=0**

Dal punto 1 sappiamo che X commuta tra 0 V e 4.1 V.

Nel transitorio di pull-up, per  $t>0$  si ha:

$A=V_{DD}$  e D ON. La resistenza equivalente vista da C1 è  $R_A//R_B$  e quindi  $\tau_{LH}=10\text{pF}*(10\text{k}/0.5\text{k})\sim 10\text{pF}*0.5\text{k}=5\text{ ns}$ . Il valore iniziale  $X(0^+)=0\text{ V}$ , quello finale  $X(\infty)=4.1\text{ V}$  si verifica aprendo C1.

Nel transitorio di pull-down, per  $t>0$  si ha:

$A=0\text{ V}$  e D OFF. La resistenza equivalente vista da C1 è ora  $R_B$  e quindi  $\tau_{HL}=10\text{pF}*10\text{k}=100\text{ ns}$ . Il valore iniziale  $X(0^+)=4.1\text{ V}$  e quello finale  $X(\infty)=0\text{ V}$  si verifica aprendo C1.

Nel grafico si faccia notare la differenza significativa tra  $\tau_{HL}$  e  $\tau_{LH}$ .

**1d) tempi LH e HL dell'inverter CMOS**

Utilizzando l'approssimazione satura (si chiedo solo una stima) si ottiene facilmente per il tempo di propagazione di pull-down:

$$T_{pHL}=C_2*(V_{DD}/2)/I_{dsat}$$

$$I_{dsat}=k_n*V_{ov}=1\text{ mA}/V^2 * (4\text{V})^2=16\text{ mA}$$

L'altro tempo ( $T_{pLH}$ ) è uguale, in quanto l'inverter è simmetrico, ed è inutile calcolarlo.

**Es. 2****2a) LSB e tempo di conversione**

$$LSB_{adc}=5\text{ V}/2^{12}=5\text{ V}/4096=1.2\text{ mV}$$

Il LSB riportato all'ingresso (oggetto dell'esercizio) deve tener conto del guadagno del primo stadio (ci accontentiamo del guadagno ideale):  $LSB_{in}=LSB_{adc}/(1+R_2/R_1)=1.2\text{ mV}/20=0.6\text{ mV}$

L'ADC a gradinata impiega  $2^n$  colpi di clock al massimo per la conversione. Quindi il tempo richiesto è:

$$T_{conv}=2^{12}*(1/f_{ck})=4.096\text{ }\mu\text{s}$$

**2b) tensione di accensione  $V_{g,on}$** 

La condizione di accensione con un dato  $V_{ov}$  per un transistor nMOS è la seguente:

$$V_{g,on}\geq V_{ov}+V_{Tn}\text{ da cui si ricava }V_{g,on}\geq V_s+V_{ov}+V_{Tn}$$

Prendo il valore massimo di  $V_s$  (caso peggiore), pari a  $V_s|_{max}=V_{in}|_{max}*(1+R_2/R_1)=0.1\text{ V}*20=2\text{ V}$ .

Da cui:

$$V_{g,on}\geq V_s|_{max}+V_{ov}+V_{Tn}=2\text{ V} + 1\text{ V} + 1\text{ V}=4\text{ V}$$

Per il calcolo dei valori della  $R_{ds}=1/(2*k*(V_{ov}))$  devo valutare la variazione di  $V_{gs}$ :

$$V_{gs}|_{min}=V_{g,on} - V_s|_{max}=4\text{ V} - 2\text{ V}=2\text{ V}, \text{ che corrisponde a }R_{ds}|_{max}=500\text{ ohm}$$

$$V_{gs}|_{max}=V_{g,on} - V_s|_{min}=4\text{ V} - 0\text{ V}=4\text{ V}, \text{ che corrisponde a }R_{ds}|_{min}=167\text{ ohm}$$

Quindi  $167\text{ ohm} < R_{ds} < 500\text{ ohm}$

**2c) errore di sample**

La resistenza vista all'uscita del primo stadio e':

$$R_{out} \sim r_0 / (1 - G_{loop}) = 0.02 \text{ ohm (trascurabile)},$$

avendo usato il risultato dell'analisi della resistenza eq. in un circuito reazionato:

$$R_{out\_openloop} = r_0 / (R_1 + R_2) \sim r_0 = 1 \text{ kohm}$$

$$G_{loop} = -A_0 * R_1 / (R_1 + R_2 + r_0) \sim -A_0 / 20 = -5 * 10^{-4}$$

Quindi la resistenza equivalente vista da CH, e' data da  $R_{eq} = R_{out} + R_{MOS} \sim R_{MOS} = 0.5 \text{ kohm}$  e quindi la costante di tempo di sample risulta  $\tau_s = 200 \text{ ns}$ .

L'errore di sample va valutato nel caso peggiore, ovvero per il massimo valore di tensione all'ingresso della cella si S&H, pari a  $V_{in|max} * (1 + R_2/R_1) = 0.1 \text{ V} * 20 = 2 \text{ V}$ .

Impongo infine che l'errore di sample massimo (ERRsample) sia inferiore a 1 LSDadc:

$$ERR_{sample} = 2 \text{ V} * \exp(-x) < LSC_{adc}$$

$$\exp(-x) < LSC_{adc} / 2V = 6 * 10^{-4} \text{ da cui } x = T_s / \tau_s \geq 7.4186 \text{ e quindi } T_s \geq 1.48 \mu\text{s}.$$

**2d) banda passante buffer**

Per determinare la banda di frequenza entro cui il guadagno del buffer e' ideale (=1) si deve analizzare il Gloop. Nella fase di Hold il morsetto positivo di AO2 e' chiuso sulla capacita' CH e dobbiamo considerare anche Rid.

Quindi:

$$G_{loop}(s) = -A(s) * sCH * R_{id} / (1 + sCH * R_{id})$$

$$f_0 = 100 \text{ Hz}$$

$$f_H = 1 / (2 * \pi * R_{id} * CH) = 3.98 \text{ kHz}$$

A centro banda  $|G_{loop}|_{c.b.} = A_0 * f_0 / f_H = 25000$ .

Il Gloop interseca l'asse a 0dB con pendenza unitaria in due punti:

- a bassa frequenza a  $f_1 = f_0 / |G_{loop}|_{c.b.} = 4 * 10^{-3} \text{ Hz}$

- analogamente, ad alta frequenza a  $f_2 = f_H * |G_{loop}|_{c.b.} = A_0 * f_0 = GBWP = 100 \text{ MHz}$ .

Nell'intervallo ( $f_1, f_2$ ) il guadagno del buffer e' quindi approssimabile con quello ideale.

**Es.3****3a) DRAM, livelli alto e basso**

Schema circuitale e descrizione come da riferimenti bibliografici.

$V_M("1") = V_{DD} - V_{Tn} = 1 \text{ V}$  (a regime, dopo il pull-up di CM attraverso il transistor nMOS)

$V_M("0") = 0 \text{ V}$  (a regime, dopo il pull-down di CM attraverso il transistor nMOS)

**3b) lettura di uno zero logico**

Il valore memorizzato e'  $V_M = 0 \text{ V}$  (zero logico).

Per la lettura, il transitorio della tensione  $V_M$  e' ricavabile dal circuito costituito da CM (inizialmente a 0 V) e da CBL (inizialmente precaricata a  $V_{DD}/2$ ), uniti dall'interruttore nMOS. Quando WL e' portata a  $V_{DD}$  (ad es.  $t=0$ ) l'interruttore nMOS si chiude e la carica iniziale su CM e su CBL si ridistribuisce in modo da avere, a regime, la medesima tensione su CM e CBL.

Applicando la conservazione della carica (prima e dopo la chiusura dell'interruttore) si ottiene la tensione a regime sulla BitLine:

$$V_{bitline}(\infty) = (V_{DD}/2) * CBL / (CBL + CM)$$

e quindi la variazione di tensione sulla BitLine richiesta:

$$\Delta V = V_{bitline}(\infty) - V_{bitline}(0) =$$

$$= (V_{DD}/2) * CBL / (CBL + CM) - (V_{DD}/2) = (V_{DD}/2) * CM / (CBL + CM) = 0.75V * (100/5100) = 14.7 \text{ mV}$$

Nel grafico possiamo approssimare il transitorio delle tensioni con un tratto esponenziale (la costante di tempo caratteristica potrebbe essere stimata, ad es., assumendo una approssimazione ohmica dell'interruttore nMOS:  $R_{MOS} * (CM + CBL) \sim R_{MOS} * CBL$ ).