

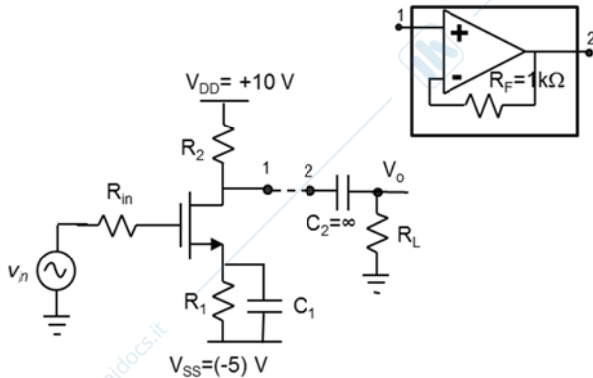
Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2016/2017

Appello del 29 Gennaio 2018

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

Esercizio 1.

Si consideri il circuito in figura, dove v_{in} e' un generatore di tensione di segnale. Ove non diversamente specificato lo stadio a MOSFET e' connesso direttamente al carico C_2-R_L (ovvero non si considera lo stadio con A.O.).



$$k=1 \text{ mA/V}^2, V_t=1 \text{ V}$$

$$R_{in}=10 \text{ k}\Omega, R_1=?, R_2=7 \text{ k}\Omega, R_L=7 \text{ k}\Omega$$

$$C_1=10 \text{ pF}, C_2=\infty$$

- Determinare il valore di R_1 tale che il MOS operi in zona di saturazione con $I_D=1 \text{ mA}$. Determinare tutte le altre correnti e tensioni di polarizzazione del circuito.
- Per segnali sinusoidali in ingresso, calcolare il guadagno di piccolo segnale v_o/v_{in} nelle due condizioni: C_1 aperta e C_1 chiusa.
- Disegnare il grafico di Bode del trasferimento v_o/v_{in} (ci si limiti alle frequenze strettamente maggiori di zero: $0^+ < f < \infty$), calcolando il valore numerico di tutte le grandezze significative.
- Si inserisca ora tra i nodi 1 e 2 lo stadio con A.O. mostrato in figura. Assumendo che il guadagno ad anello aperto dell' A.O. sia infinito, determinare il guadagno v_o/v_{in} nelle due condizioni: C_1 aperta e C_1 chiusa.

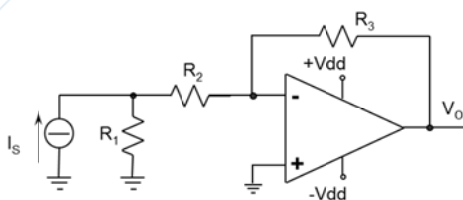
Esercizio 2.

Si assuma di dover progettare una porta logica usando una tecnologia CMOS con le seguenti caratteristiche: $k_n=0.2 \text{ mA/V}^2$; $k_p=0.1 \text{ mA/V}^2$; $V_{tn}=|V_{tp}|=1 \text{ V}$; $V_{dd}=5 \text{ V}$.

- Determinare l'architettura della porta logica CMOS che realizza la funzione logica $Y = \overline{A(B + C)} + D$ (dandone motivazione sintetica) e disegnarla.
- Assumendo che gli ingressi A e B siano pilotati da un segnale a onda quadra 0-5V a $f=100 \text{ kHz}$, mentre C e D siano pilotati da un altro segnale a onda quadra 0-5V a 200 kHz (i 2 segnali hanno i rispettivi fronti di salita allineati), stimare il tempo di propagazione H-L della porta logica quando il nodo di uscita e' caricato da una capacita' $C_L=1 \text{ pF}$.
- Con gli ingressi A,B e C,D pilotati come descritto al punto precedente, calcolare la potenza dinamica (carica-scarica capacita') dissipata dalla porta logica con capacita' sul nodo di uscita $C_L=1 \text{ pF}$.

Esercizio 3.

Si consideri il circuito in figura. L'A.O. e' ideale ove non specificato diversamente.



$$R_1=2 \text{ k}\Omega, R_2=10 \text{ k}\Omega, R_3=12 \text{ k}\Omega.$$

- Determinare il trasferimento ideale V_o/I_s .
- Calcolare la massima frequenza f_{max} fino a cui il trasferimento (V_o/I_s) puo' essere assunto coincidente con il valore ideale. Si assuma per l'A.O. che $A_0=10^4$ e $GBWP=1 \text{ MHz}$.
- Si supponga ora che il guadagno ad anello aperto dell'A.O., oltre ai dati gia' forniti al punto precedente, sia caratterizzato da un secondo polo ad alta frequenza. Quale e' la condizione che deve soddisfare la frequenza del secondo polo dell'A.O. affinche' il margine di fase del circuito sia maggiore di 45 gradi? Motivare la risposta.

Traccia di soluzione del TE 29 gen 2018**Esercizio 1**

1a) polarizzazione

Supposto il MOS saturo, vale la relazione $(V_{gs}-V_t)=\sqrt{I_d/k}=1$ V, da cui $V_{gs}=2$ V.Essendo $V_g=0$, risulta $V_s=-2$ V. La tensione sul drain vale: $V_{dd}-R_2*I_d=10-7k*1mA=3$ V.Quindi la condizione di saturazione e' verificata: $V_{ds}=3-(-2)=5$ V $>$ $V_{gs}-V_t=1$ V.La resistenza R_1 deve essere $R_1=(V_s-V_{ss})/I_d=3V/1mA=3k\Omega$.

1b) segnale

 $g_m=2$ mA/V $v_o/v_{in}=-g_m*(R_2//R_L)/(1+g_m*R_1)=-1$ per C1 aperta $v_o/v_{in}=-g_m*(R_2//R_L)=-7$ per C1 chiusa

1c) grafico Bode

 $|v_o/v_{in}|=g_m*(R_2//R_L)/(1+g_m*R_1)=1$ a bassa frequenzazero a $\omega_z=1/\tau_{auz}$, con $\tau_{auz}=R_1*C_1$ ($\omega_z=5.3$ Mrad/s)polo a $\omega_p=1/\tau_{aup}$, con $\tau_{aup}=(R_1/(1/g_m))*C_1$ ($\omega_p=37.1$ Mrad/s) $|v_o/v_{in}|=g_m*(R_2//R_L)=7$ ad alta frequenza

1d) con stadio A.O.

Con A0 infinito, si ha che lo stadio con AO presenta resistenza di ingresso infinita e resistenza di uscita nulla. Cio' fa si' che la polarizzazione non cambi e che R_L non conti piu' nel guadagno di segnale che raddoppia. $v_o/v_{in}=-g_m*R_2/(1+g_m*R_1)=-2$ per C1 aperta $v_o/v_{in}=-g_m*R_2=-14$ per C1 chiusa**Esercizio 2**

2a) sintesi porta logica

A partire dalla funzione logica si puo' sintetizzare la rete di pull-down dalla relazione $Y=A*(B+C)+D$ e quella di pull-up per dualita' o dalla relazione $Y=(A+B*/C)*D$ ($=\text{not}$).

2b) tempo di prop HL

Con i segnali di ingresso dati, l'uscita commuta da H verso L solo quando tutti gli ingressi sono alti $A=B=C=D=1$.Quindi per la transizione HL si ha un $k_{eq}=k_n+(2*k_n*k_n/(3*k_n))=k_n+(2/3)*k_n=(5/3)*k_n=(1/3)$ mA/V².Di qui $T_{HL} \sim C_L*(V_{dd}/2)/I_d=1pF*2.5V/5.33mA=0.47$ ns (approx corrente costante).

2c) potenza dinamica

Con i medesimi segnali di ingresso del p.to precedente, l'uscita commuta alla frequenza di 100 kHz, essendo $Y=1$ solo quando $A=B=C=D=0$. Quindi la potenza dinamica media dissipata a causa della carica-scarica di C_L vale $P_{din}=100kHz*1pF*V_{dd}^2=2.5*10^{-6}$ W=2.5 μ W.**Esercizio 3**

3a) guadagno ideale

 $V_0=-I_s*(R_1/(R_1+R_2))*R_3=-2$ kOhm

3b) massima frequenza per il trasferimento ideale

Corrisponde alla frequenza per cui $|G_{loop}|=1$. $G_{loop}=-A(s)*(R_1+R_2)/(R_1+R_2+R_3)=-(1/2)*A(s)$, per cui G_{loop} taglia l'asse a 0dB per $f=f_{max}=GBWP/2=500$ kHz.

3c) margine di fase con 2° polo

 G_{loop} avra' un secondo polo a f_2 , oltre al polo f_0 . Da quanto detto al punto precedente, si deduce facilmente che la frequenza del secondo polo f_2 deve essere maggiore (o uguale) a 500kHz per avere un margine di fase maggiore (o uguale) di 45 gradi.