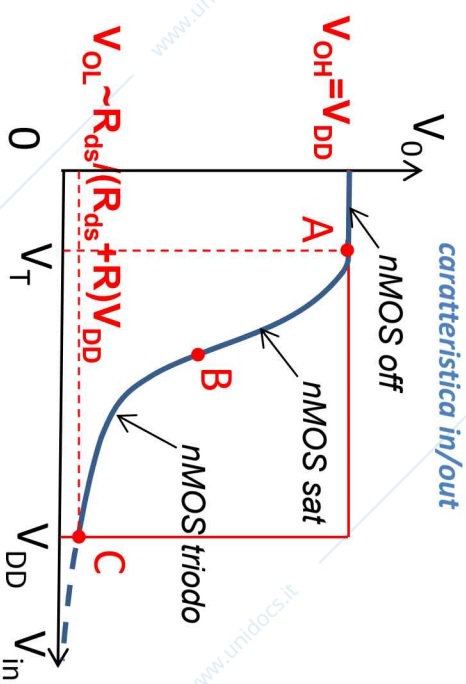
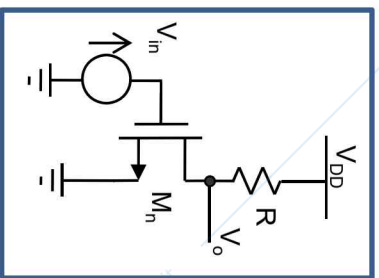
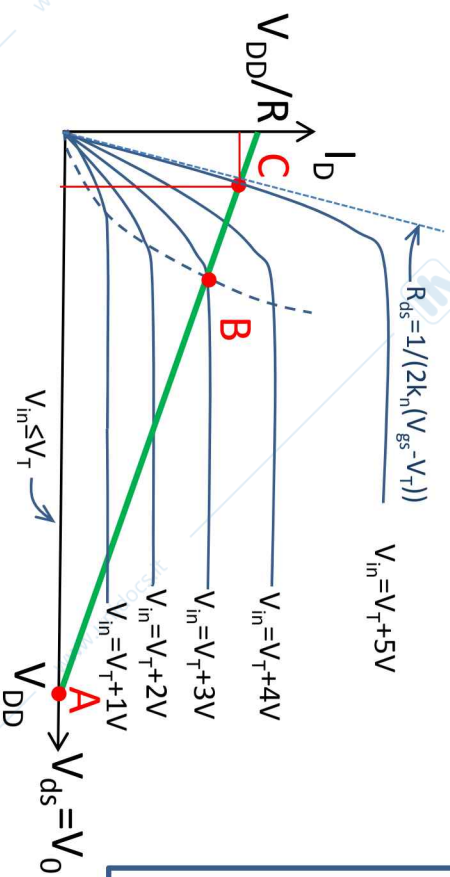


Inverter nMOS+R

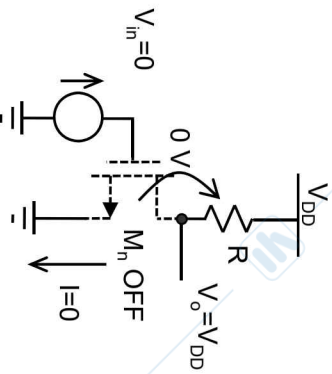
caratteristiche di uscita nMOS + retta di carico



caratteristica in/out

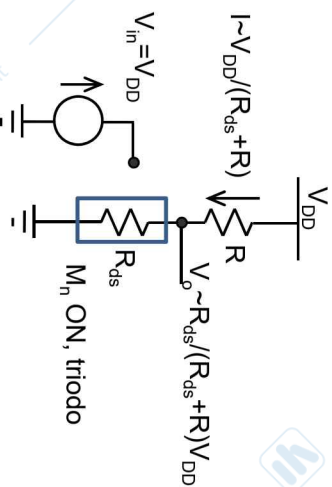
stato alto

$$V_{OH} = V_{DD}$$



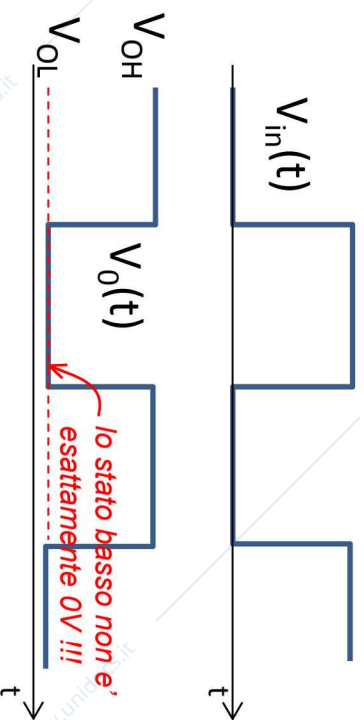
stato basso

$$V_{OL} \approx V_{DD} R / (R_{ds} + R) (*)$$



(*) sotto la condizione $V_{OL} \ll (V_{gs} - V_T)$, zona ohmica, da verificare. Altrimenti si deve risolvere con l'espressione completa in zona triodo $I_{D, \text{triodo}}(V_{gs}, V_{ds})$.

porta logica NOT (inverter)

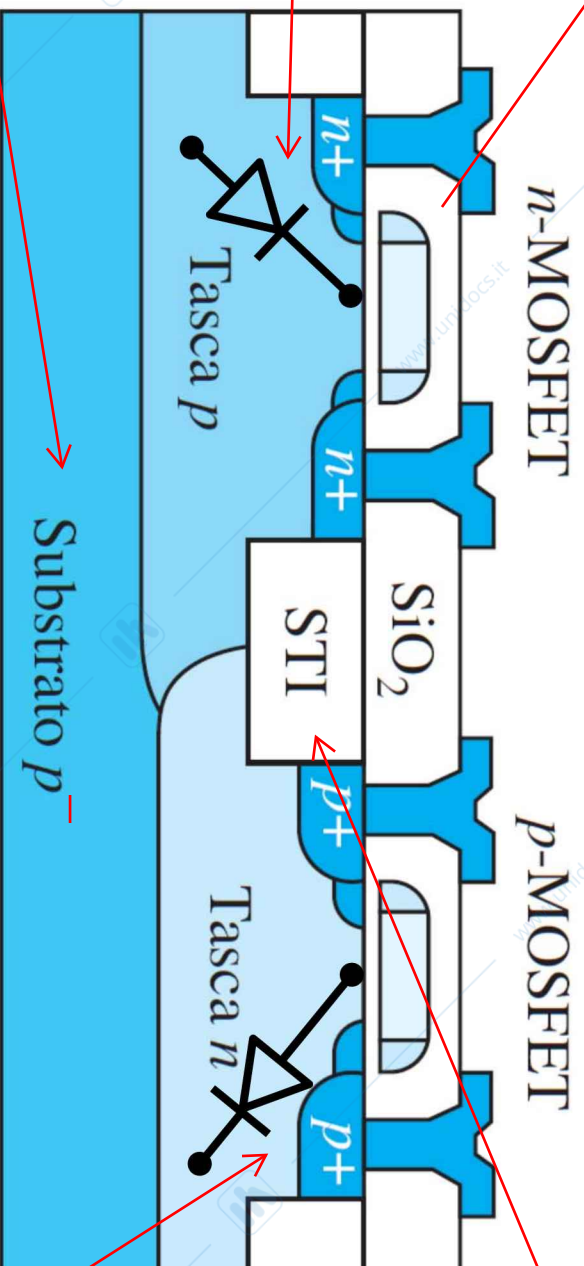


A.Castoldi, Fondamenti di Elettronica

Tecnologia CMOS

CMOS (Complementary MOS) technology:

in grado di realizzare entrambi i tipi di transistori MOSFET sul medesimo substrato di silicio



strato di metallo, gate

con il canale di elettroni si va a creare una giunzione p-n (diodo) per non farlo andare in diretta devo avere un potenziale bassissimo di gate

p- poiché si tratta di un substrato diverso dalla tasca p, il substrato può anche avere un drogaggio diverso non adatto per un transistorore

trench isolation, contribuiscono a isolare i 2 transistorore

come per l'n-MOS si form una specie di diodo tra p e la tasca n e per non farlo andare n diretta il potenziale di gate deve essere alto

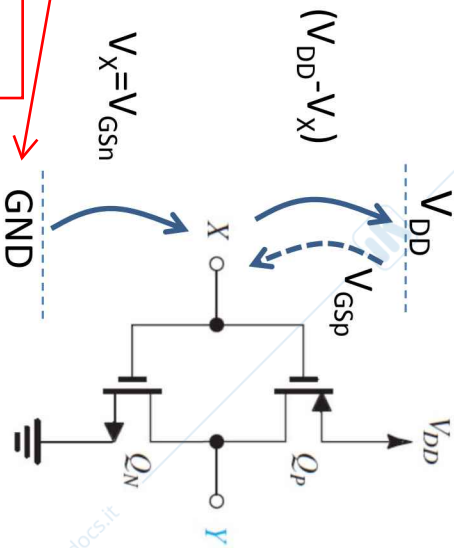
In figura e' mostrato un processo CMOS "a doppia tasca" (double-well)
Nota: per mantenere il diodo body-canale sempre polarizzato inversamente, il body del nMOS e' spesso collegato alla tensione piu' bassa (ad es. GND) del circuito mentre il body del pMOS alla tensione piu' alta (ad es. V_{DD}).



A.Castoldi, Fondamenti di Elettronica

Invertitore CMOS

$V_{dd} = -V_{gsp}$

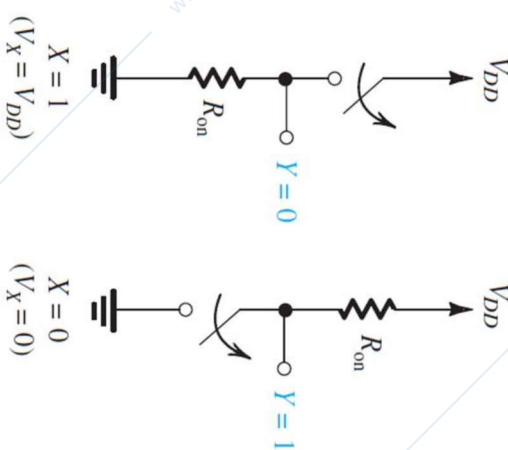


ground

Due "interruttori" comandati dalla stessa V_x

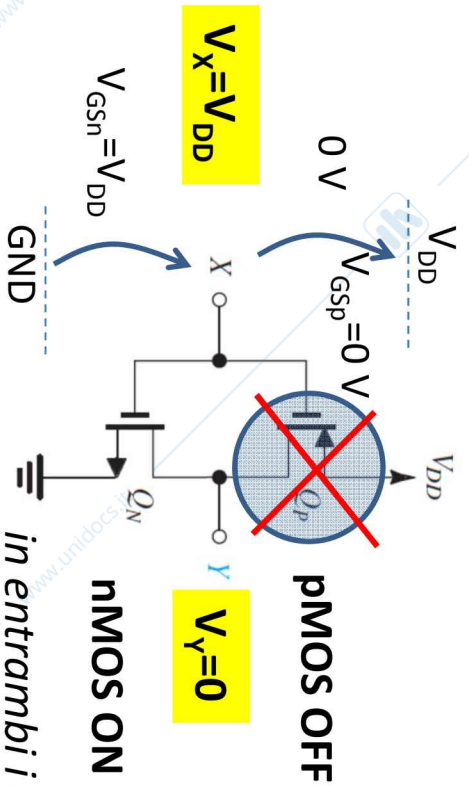
un transistorore p-MOS si comporta in moda complementare a uno n-MOS

Tensione di comando nMOS: $V_{gsn} = V_{in}$
Tensione di comando pMOS: $|V_{gsp}| = |V_{in} - V_{DD}| = V_{DD} - V_{in}$



X=ingresso,
Y=uscita

I due transistorori ("interruttori") conducono alternativamente (tranne che nel transistororio)

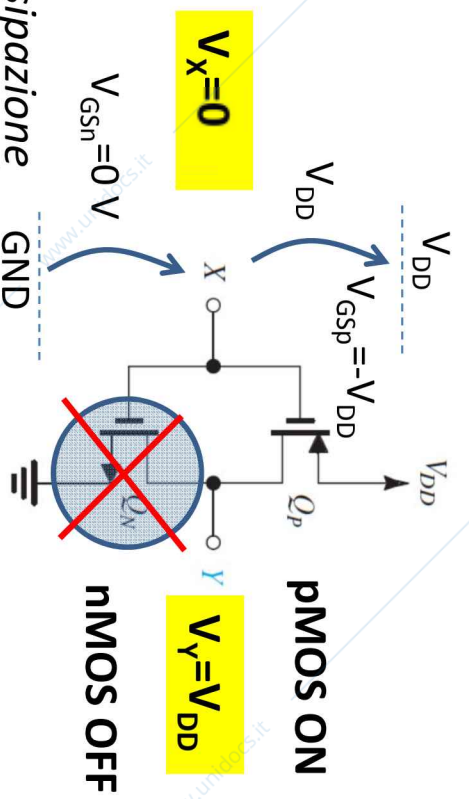


pMOS OFF

$V_y = 0$

nMOS ON

in entrambi i casi la dissipazione di potenza in DC e' nulla



pMOS ON

$V_y = V_{DD}$

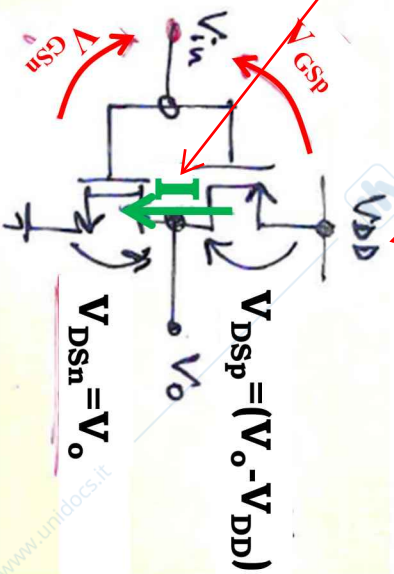
nMOS OFF

in entrambi i casi si spegne un MOS, per cui non dissipa nessuna potenza

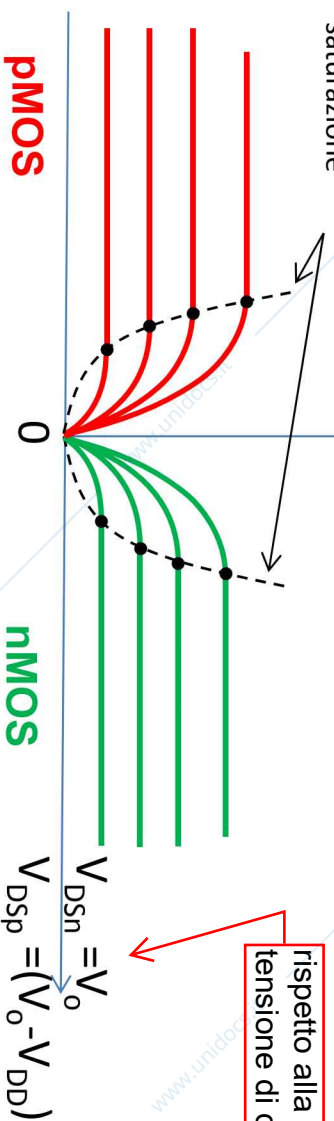
Invertitore CMOS - analisi grafica

corrente
equivera con le
freccie dei MOS

V_{DD} a source



$I = I_n = I_p$ curve caratteristiche ID-VDS
(pMOS, nMOS)

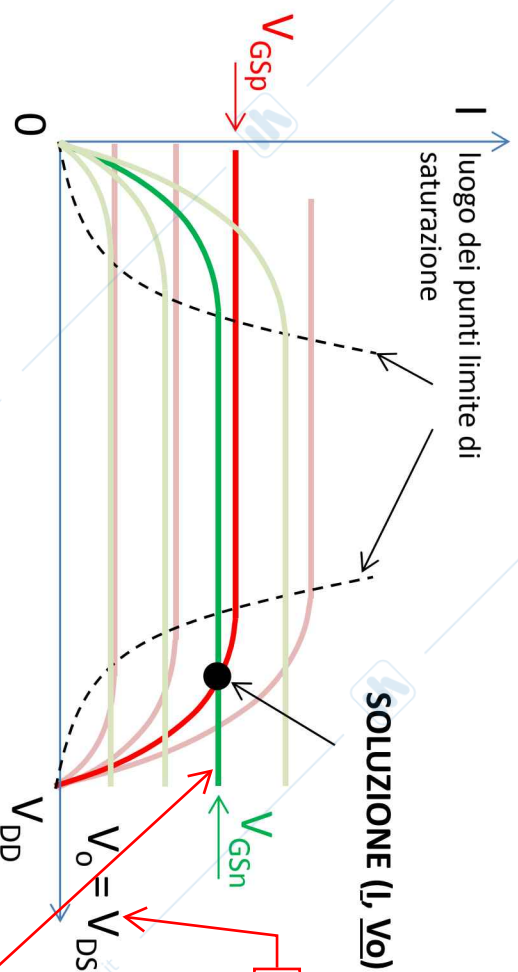


rispetto alla
tensione di drain

• Generiamo ora il grafico corrente-tensione di uscita V_o .

• Il fascio di curve del nMOS rimane invariato essendo $V_{DSn} = V_o$ (vedi sopra).

• Il fascio di curve del pMOS viene traslato di V_{DD} , dato che l'origine delle sue curve e' a $V_{DSp} = (V_o - V_{DD}) = 0 \rightarrow V_o = V_{DD}$.



SOLUZIONE (I, V_o)

rispetto alla V_o

$$V_{Gsn} = V_{in}$$

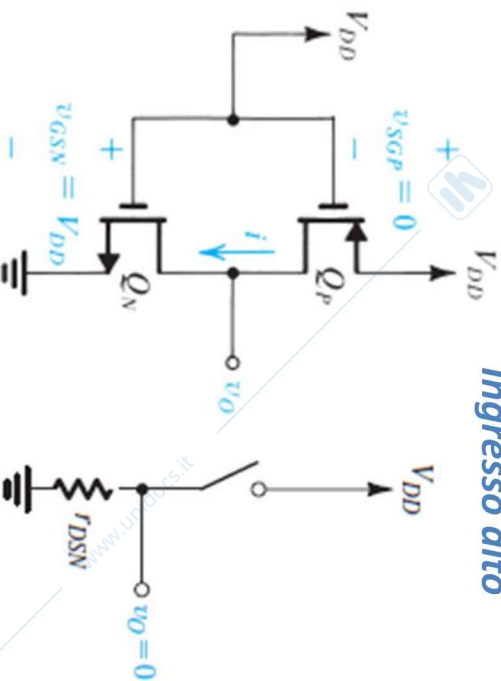
$$V_{Gsp} = (V_{in} - V_{DD})$$

Selezionando la tensione di ingresso V_{in} , vengono fissate entrambe le tensioni di comando dei MOS e quindi una curva per ciascun MOSFET. L'intersezione tra le due curve di nMOS e di pMOS da' la soluzione del circuito. E' analogo alla soluzione grafica del circuito nMOS con carico R, con l'intersezione di una curva del fascio del nMOS e la retta di carico di VDD e R.

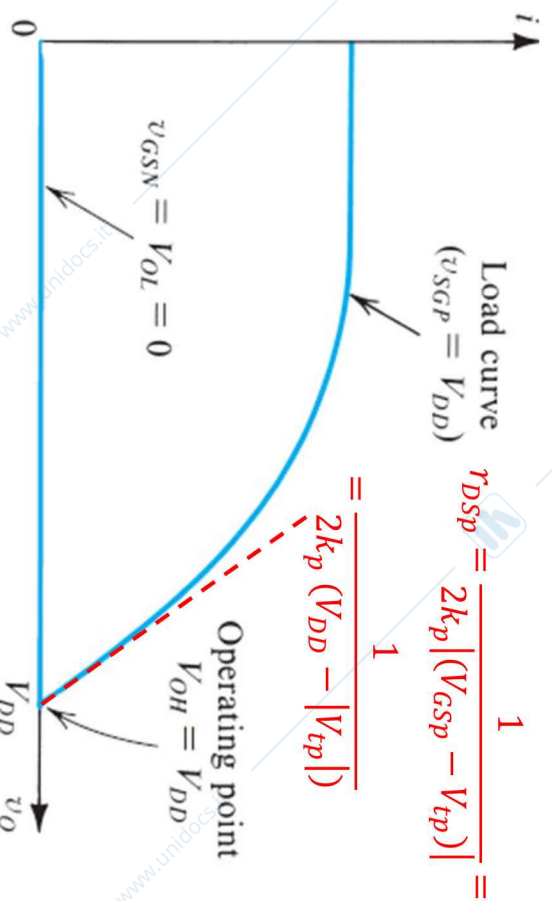
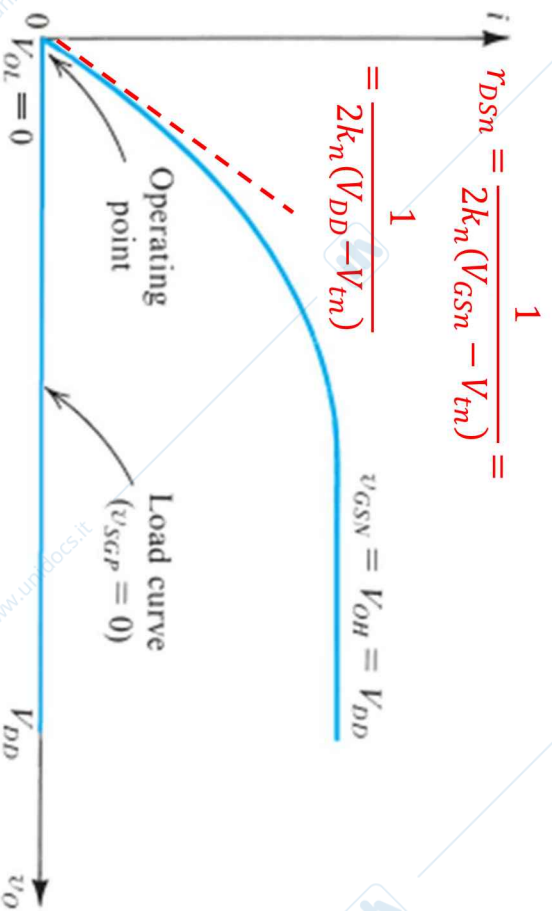
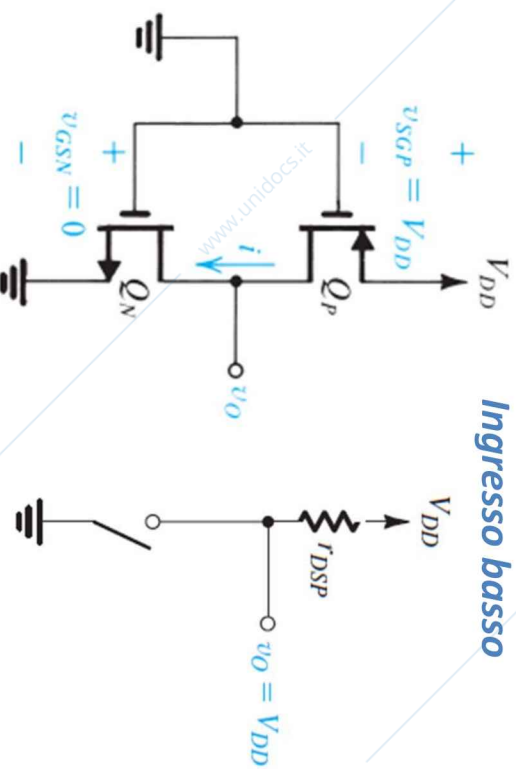
poichè
 $V_o = V_{Gsn}$
riporto le
curve verdi
dal grafico
verde, mentre
le curve rosse
le traslo di
 V_{DD}

Invertitore CMOS - livelli logici

Ingresso alto



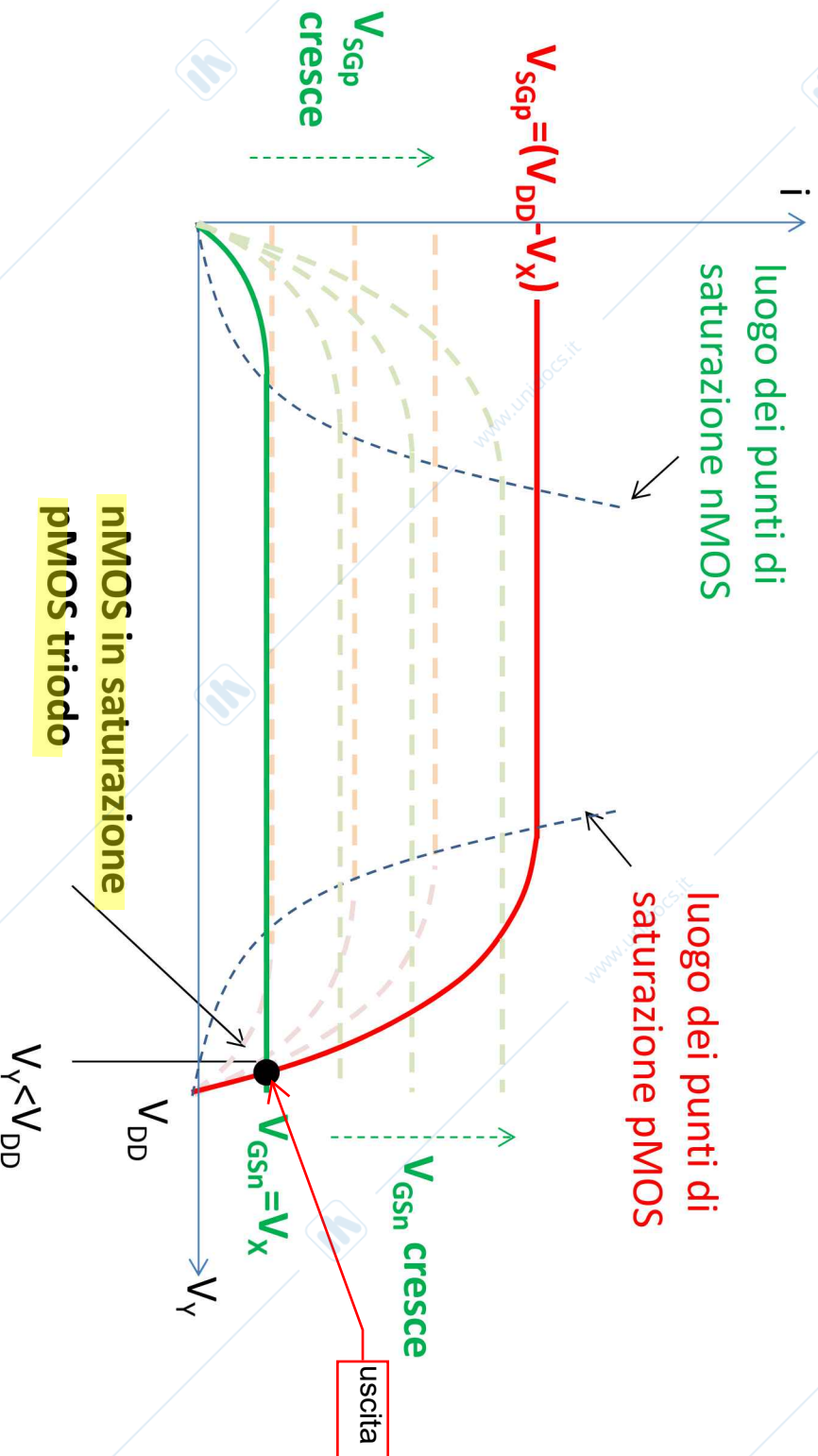
Ingresso basso



A.Castoldi, Fondamenti di Elettronica

Invertitore CMOS

In generale, per $V_x > V_{Tn}$:



Se V_x supera V_{Tn} , si accende sia l'nMOS (in SAT) sia il pMOS (triodo). All'aumentare di $V_x = V_{gsn}$, per l'nMOS si attiva una curva a piu' alta corrente mentre per il pMOS un curva a minore corrente. Il punto soluzione quindi si sposta da V_{DD} verso zero.

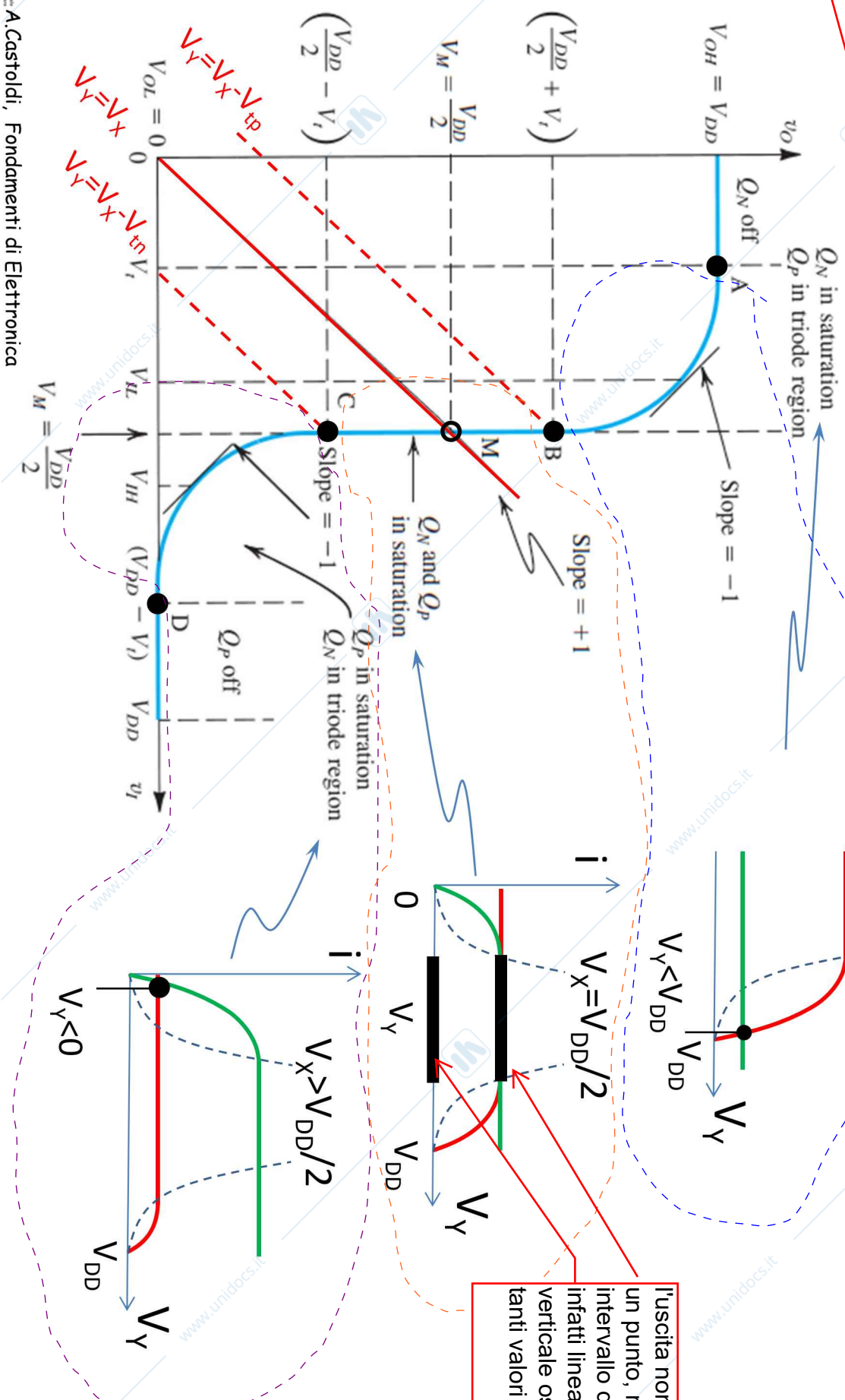


bisogna semplicemente analizzare in circuito nella regione di funzionamento più appropriata

Caratteristica (statica) di trasferimento

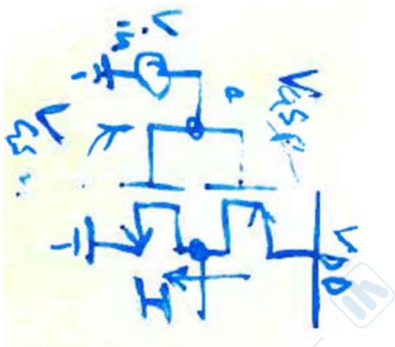
Caso Inverter **SIMMETRICO** ($k_n=k_p$, $V_{tn}=|V_{tp}|$)

il disegno è infatti simmetrico (linea verticale a metà tra 0 e V_{DD})



l'uscita non è solo un punto, ma un intervallo di sol., infatti linea verticale ossia tanti valori di V_o

Tratto BC - calcolo soglia logica V_M



tratto BC: nMOS e pMOS saturi

utilizzo per entrambi i MOS l'espressione di Id in cond. di saturazione

$$I = k_n (V_{GSn} - V_{tn})^2 = k_p (V_{GSp} - V_{tp})^2$$

(KCL al nodo di drain)

$$k_n (V_{in} - V_{tn})^2 = k_p (V_{in} - V_{DD} - V_{tp})^2$$

$$\sqrt{k_n} |V_{in} - V_{tn}| = \sqrt{k_p} |V_{in} - V_{DD} - V_{tp}|$$

$$\underbrace{(V_{in} - V_{tn}) > 0}_{(V_{in} - V_{DD} - V_{tp}) < 0}$$

Attenzione : $\text{sqr}(x^2) = |x|$
Valutare l'argomento del modulo !
Nel tratto BC vale la cond.
 $V_{tn} < V_{in} < V_{DD} - |V_{tp}|$

$$\sqrt{k_n} (V_{in} - V_{tn}) = \sqrt{k_p} (-V_{in} + V_{DD} + V_{tp})$$

$$\sqrt{k_n} (V_{in} - V_{tn}) = \sqrt{k_p} (-V_{in} + V_{DD} - |V_{tp}|)$$

equazione 1° grado in V_{in} :
di qui si ricava V_{in} , ovvero la soglia logica

Caso inverter simmetrico

$$\left\{ \begin{array}{l} k_n = k_p = k \\ V_{tn} = |V_{tp}| = V_t \end{array} \right.$$

$$\sqrt{k} (V_{in} - V_t) = \sqrt{k} (-V_{in} + V_{DD} - V_t)$$

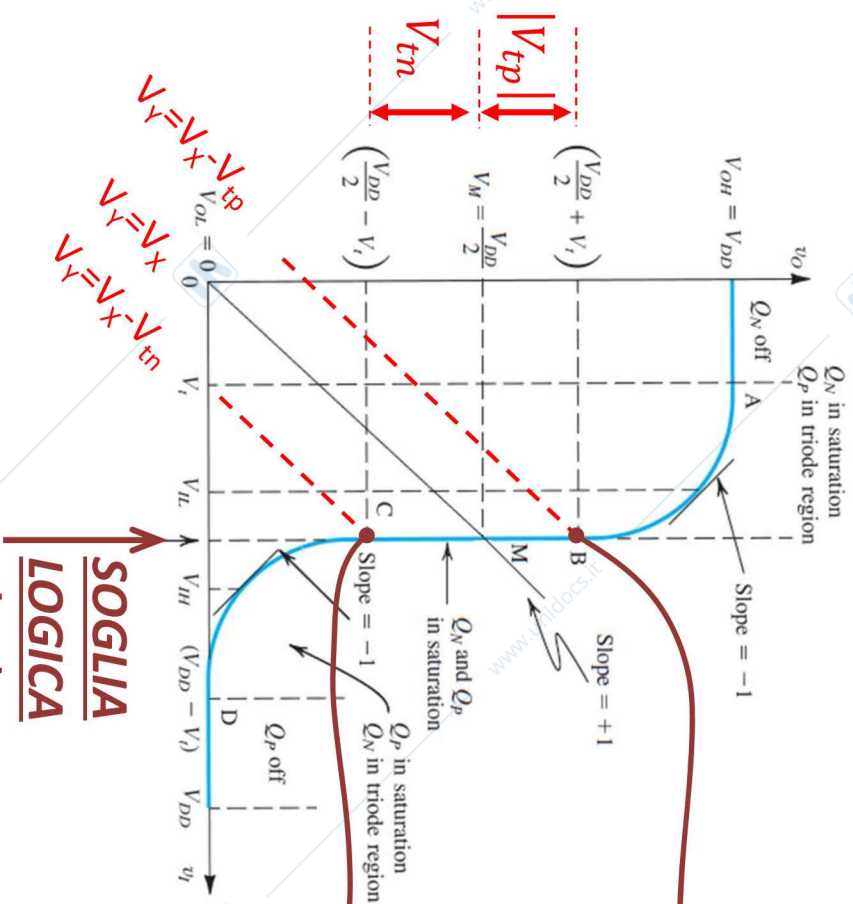
$$(V_{in} - V_t) = (-V_{in} + V_{DD} - V_t)$$

$$\rightarrow V_M = V_{DD} / 2$$

SOGLIA LOGICA (inverter simmetrico)



Tratto BC - calcolo estremi B,C



Punto B:

PMOS passa da TRIODO → SAT

$$V_{Dsp} = (V_{Gsp} - V_{tp})$$

$$(V_Y - V_{DD}) = (V_X - V_{DD} - V_{tp})$$

$$\rightarrow V_Y = (V_X - V_{tp})$$

quindi per $V_X=V_M$ (alla SOGLIA LOGICA):

$$V_{Y|punto\ B} = V_M - V_{Tp} = (V_M + |V_{Tp}|)$$

Punto C:

nMOS passa da SAT → TRIODO

$$V_{DSn} = (V_{GSn} - V_{tn})$$

$$V_Y = (V_X - V_{tn})$$

$$\rightarrow V_Y = (V_X - V_{tp})$$

quindi per $V_X=V_M$ (alla SOGLIA LOGICA):

$$V_{Y|punto\ C} = V_M - V_{Tn}$$

per l'inverter simmetrico (rappresentato in figura) i segmenti MB e MC sono lunghi uguali ($=V_t$), altrimenti dalle relazioni a fianco si trovano le lunghezze $MB=|V_{tp}|$ e $MC=V_{tn}$ nel caso generale.



A.Castoldi, Fondamenti di Elettronica

Inverter NON simmetrico

In generale ($k_n \neq |k_p|$, $V_{tn} \neq |V_{tp}|$)

Quindi per avere $k_n = |k_p|$

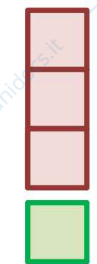
$$k_n = \frac{1}{2}(\mu_n C'_{ox})(W/L)_n$$

$$|k_p| = \frac{1}{2}(\mu_p C'_{ox})(W/L)_p$$

$$\frac{(W/L)_p}{(W/L)_n} = \frac{\mu_n}{\mu_p} \approx 2.5 - 3$$

cioè il PMOS deve avere larghezza x2.5 del NMOS !!!

INVERTER SIMMETRICO
 $\frac{(W/L)_p}{(W/L)_n} \approx 3$



$k_n = k_p$

INVERTER AREA MINIMA
 $\frac{(W/L)_p}{(W/L)_n} = 1$



$k_n \approx 3 * k_p$

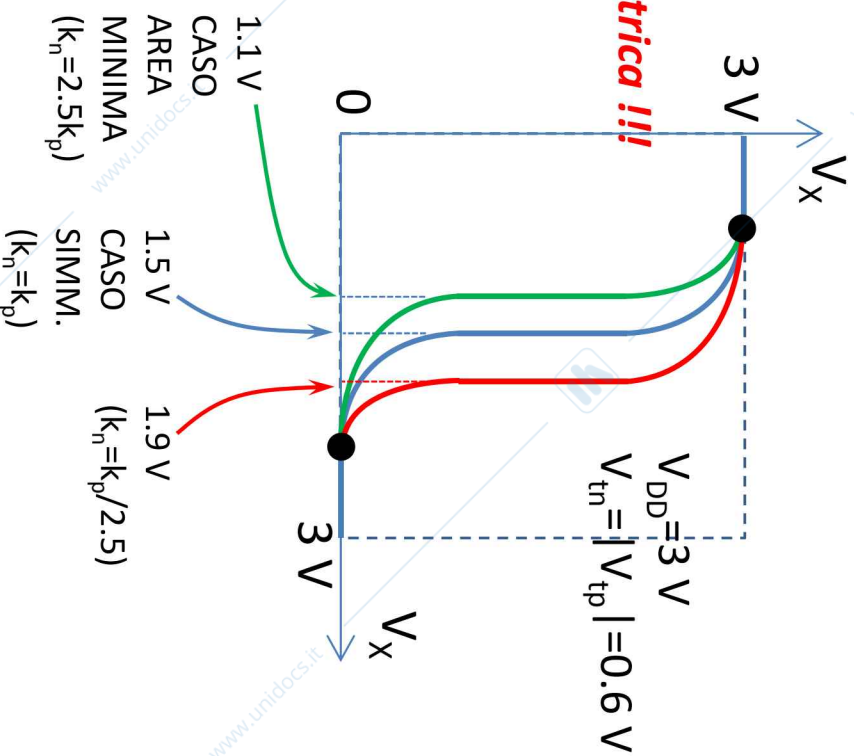
se non rispetto il rapporto di forma che mi conferisce simmetria

→ Caratt. in/out non più simmetrica !!!

Risolvendo l'equazione del tratto BC nel caso generale ($k_n \neq k_p$, $V_{tn} \neq |V_{tp}|$) --- vedi precedente slide --- si ottiene:

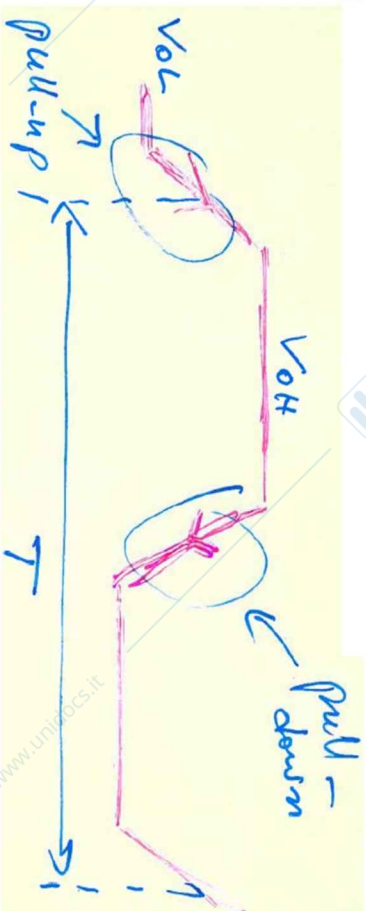
$$V_M = V_{X,soglia} = \frac{\sqrt{k_n/k_p} V_{tn} + V_{DD} - |V_{tp}|}{\sqrt{k_n/k_p} + 1}$$

NOTA: La distorsione della caratteristica in/out porta ad una asimmetria anche nei MARGINI DI RUMORE



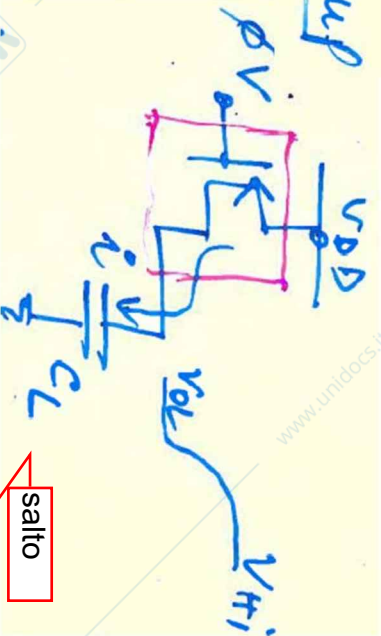
A.Castoldi, Fondamenti di Elettronica

Dynamic power dissipation: P_{CAP}



Due to the energy dissipated while charging/discharging the capacitive load on output node

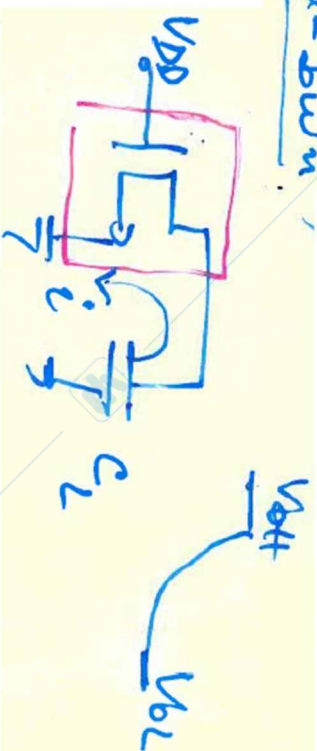
• Pull-up



$$\Delta Q = \int i dt = C (V_{OH} - V_{OL})$$

$L \rightarrow H$

• Pull-down



$$\Delta Q = \int i dt = C (V_{OH} - V_{OL})$$

$H \rightarrow L$

il delta è uguale perchè c'è lo stesso salto

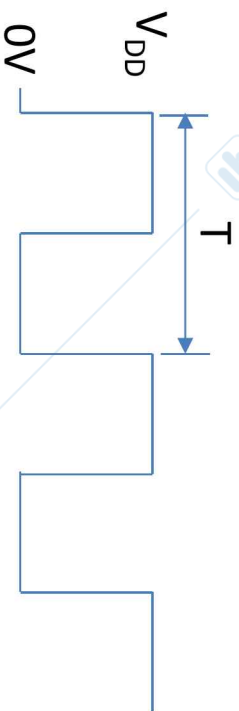
During 1 period T , ΔQ is "sourced" from V_{DD} to GND

$\rightarrow \langle i_{DD} \rangle = \frac{\Delta Q}{T} = \frac{C (V_{OH} - V_{OL})}{T}$ (av. current from V_{DD} to GND)

$\rightarrow P_{CAP} = V_{DD} \langle i_{DD} \rangle = f C (V_{OH} - V_{OL}) \cdot V_{DD}$



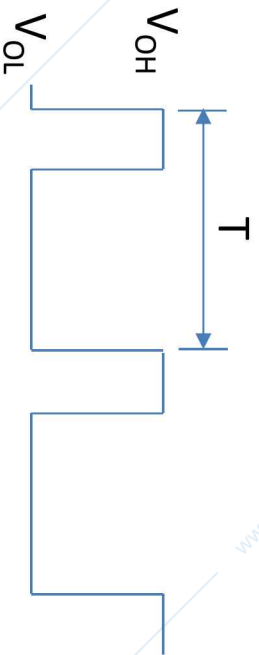
Dynamic power dissipation P_{CAP} : special cases



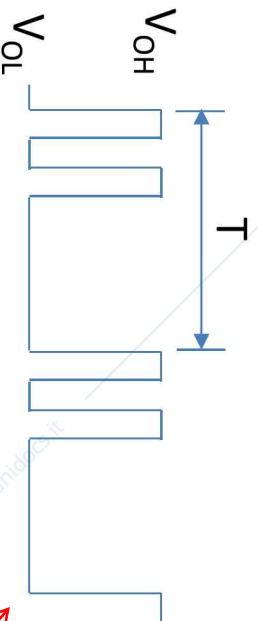
CMOS inverter
 $V_{OL}=0, V_{OH}=V_{DD}$:
 $\rightarrow P_{CAP} = f * C * V_{DD}^2$

frequenza

anche se
rendiamo l'onda
asimmetrica non
cambia niente



$\rightarrow P_{CAP} = f * C * (V_{OH} - V_{OL}) * V_{DD}$
charge is moved from V_{OL} to V_{OH} and back to V_{OL} only once.



$\rightarrow P_{CAP} = 2 * f * C * (V_{OH} - V_{OL}) * V_{DD}$
charge is moved from V_{OL} to V_{OH} and back to V_{OL} twice.

se nel periodo ho 2 "colpi" dovrò aggiungere un fattor ed i 2, poichè ho 2 transizioni tra i livelli

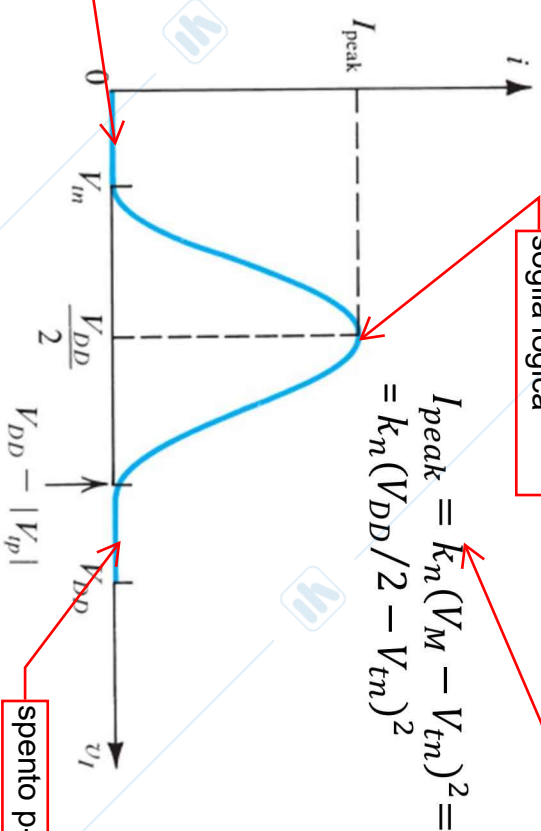
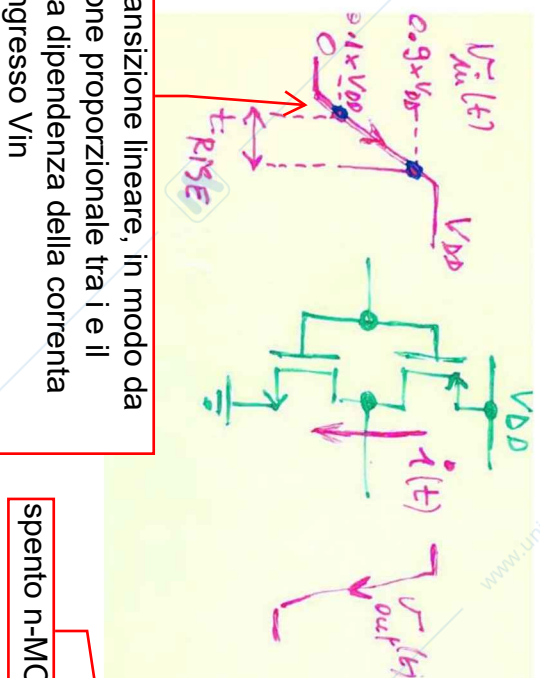


Dynamic power dissipation: P cross-conduzione

Un'altra componente della potenza dinamica dissipata dall'inverter CMOS e' dovuta alla corrente che fluisce tra VDD e GND (attraverso il pMOS e l'nMOS).

Tale corrente, detta di cross-conduzione, scorre durante la transizione della tensione di ingresso Vin e perciò si dissipa energia in ciascuna transizione.

La corrente che scorre attraverso l'inverter in funzione della tensione di ingresso $V_{in}=V_{gsn}$ e' mostrata in figura, per il caso di inverter simmetrico (tensione di soglia $V_M=V_{DD}/2$).

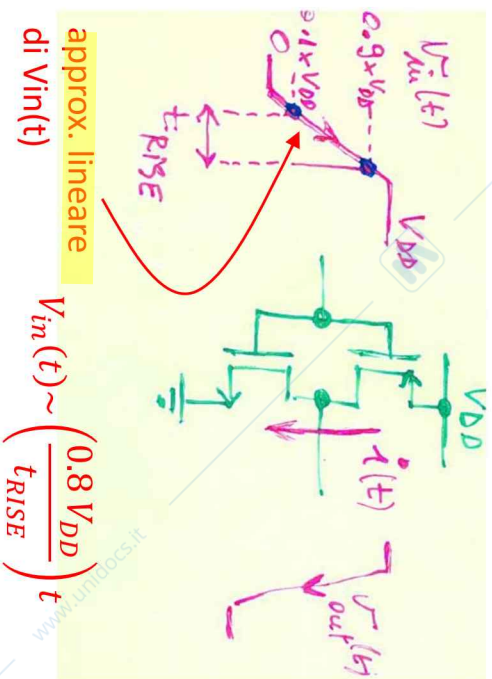


corrente di saturazione che passa poiché entrambi i MOS sono saturi

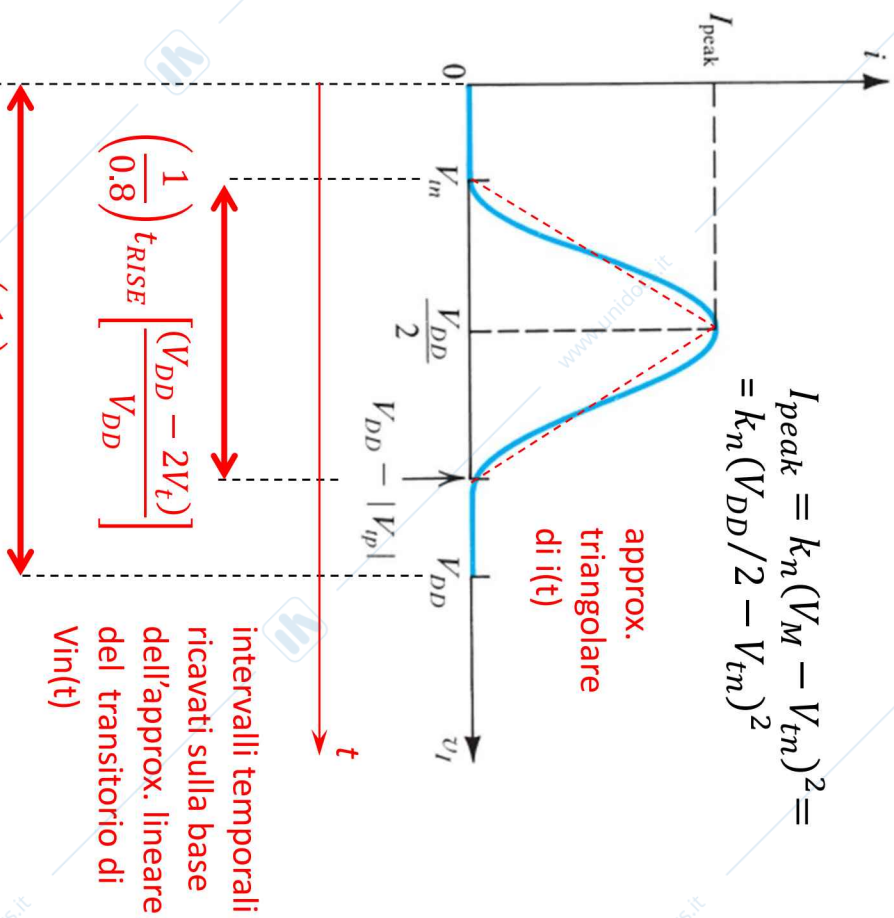
consideriamo la transizione lineare, in modo da trovare una relazione proporzionale tra i e il tempo attraverso la dipendenza della corrente dalla tensione di ingresso V_{in}

Per stimare l'andamento della corrente in funzione del tempo dobbiamo avere una relazione che legghi V_{in} al tempo. Assumendo (come in figura) che V_{in} vari linearmente con t da 0 a V_{DD} , possiamo semplificare i conti, la forma del grafico di corrente vs. il tempo rimane lo stesso (V_{in} e t sono proporzionali!).

P cross-conduzione: stima



$$I_{peak} = k_n (V_M - V_{tn})^2 = k_n (V_{DD}/2 - V_{tn})^2$$



$$E_{CROSS-COND} = \int_{t_{RISE}} p(t) dt = \int_{t_{RISE}} V_{DD} i(t) dt \cong \frac{1}{2} \cdot \left(\frac{1}{0.8}\right) t_{RISE} \left[\frac{(V_{DD} - 2V_t)}{V_{DD}}\right] \cdot I_{peak}$$

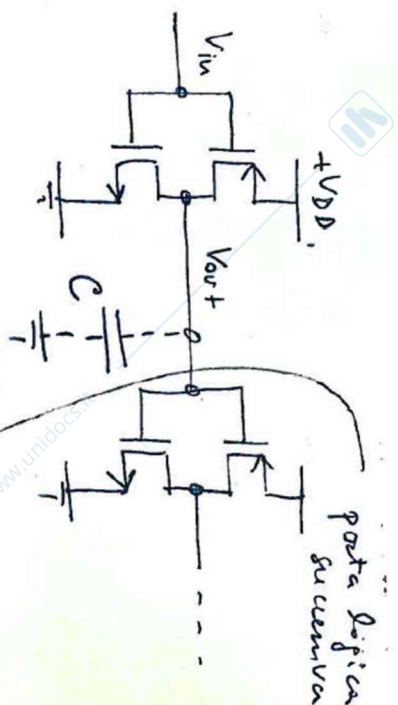
base

approx. area del triangolo di $i(t)$

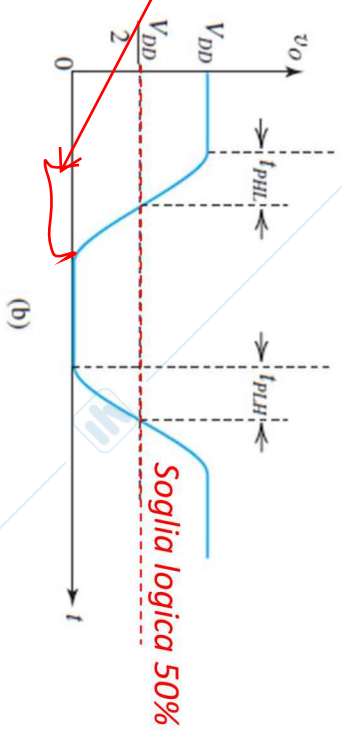
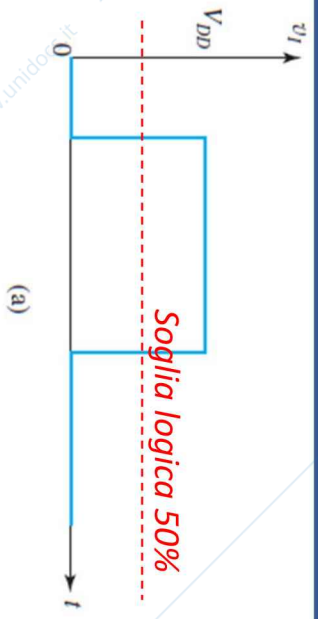
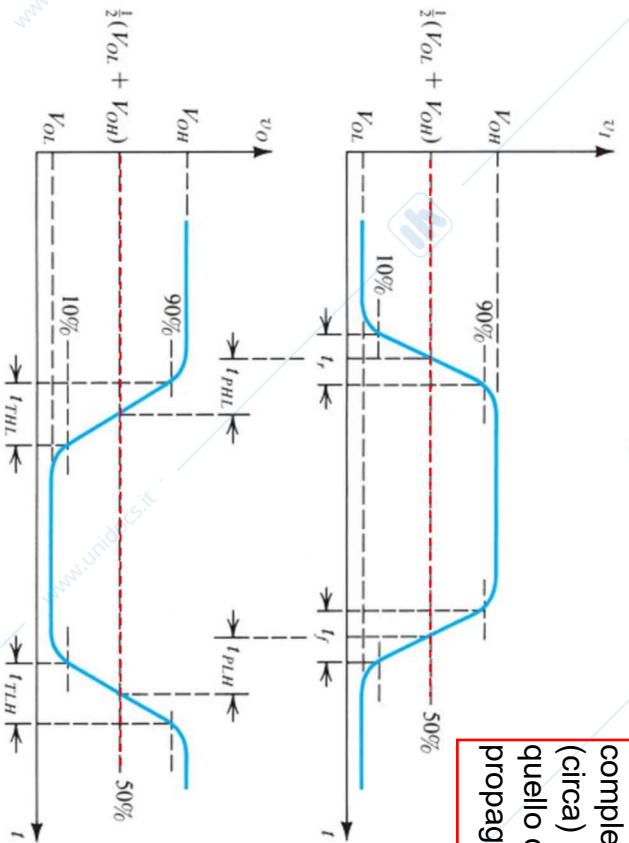
$$P_{CROSS-COND} = 2 \cdot E_{CROSS-COND} \cdot f_{ck} \cong 2 \cdot \frac{1}{2} \cdot \left(\frac{1}{0.8}\right) t_{RISE} (V_{DD} - 2V_t) \cdot I_{peak} \cdot f_{ck}$$

2 transizioni ogni periodo

Tempo di propagazione (o di ritardo)



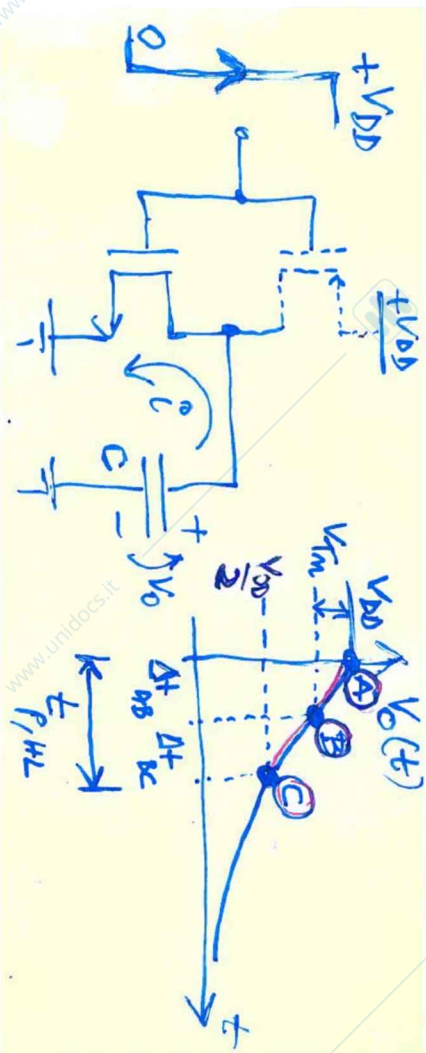
il tempo complessivo è (circa) 2 volte quello di propagazione



- a causa del carico capacitivo sul nodo di uscita, le transizioni HL e LH (dell'uscita) hanno un tempo di transizione finito.
- Nelle porte logiche si usa il concetto di tempo di propagazione, ovvero il tempo necessario a compiere il primo 50% del salto.
- La definizione dei tempi t_{PHL} e t_{PLH} e' data nelle figure, nel caso di un ingresso ideale e nel caso reale. Anche i tempi di transizione (10%-90%) sono evidenziati.



Calcolo Tprop H→L



Tratto AB

$$i(t) = I_{Dsat}$$

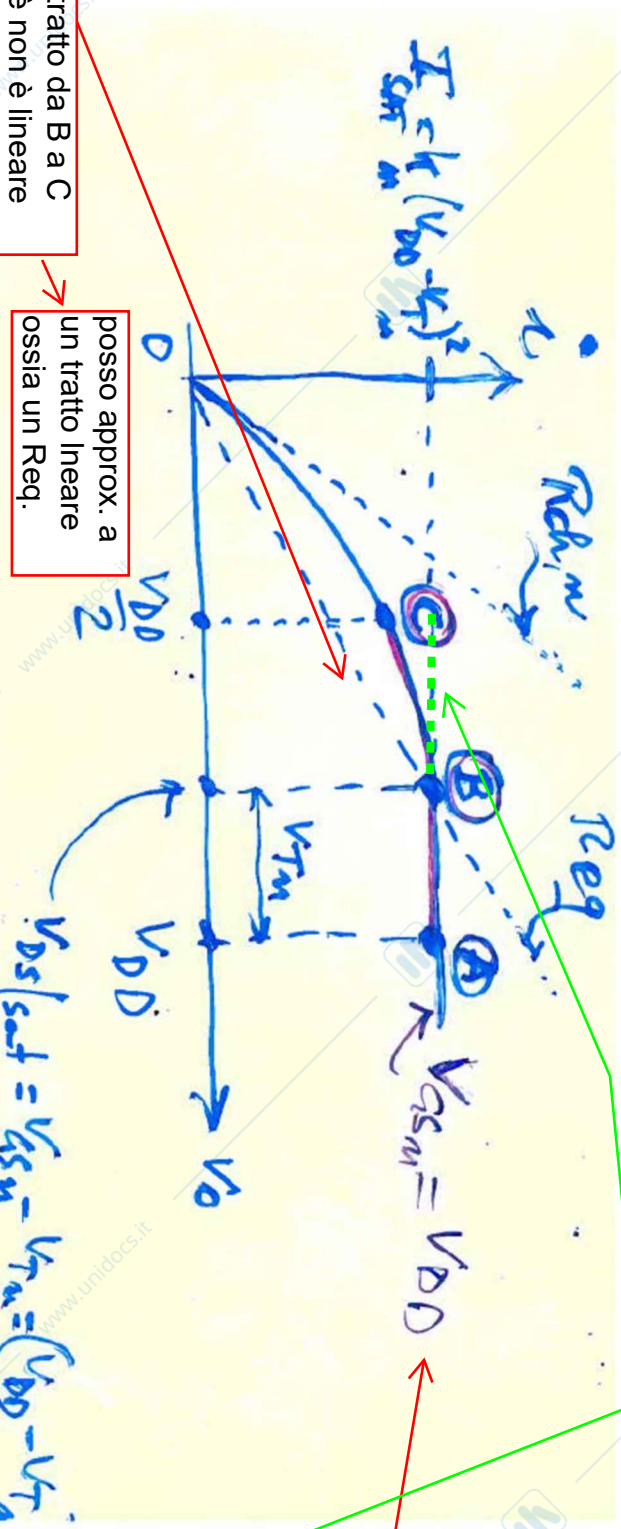
$$\Rightarrow \Delta t_{AB} = \frac{C \Delta V_O}{I_{Dsat}}$$

costante!

$$= \frac{C}{I_{Dsat}} \cdot \frac{V_{TN}}{k_n (V_{DD} - V_{TN})^2}$$

costante perchè pendenza costante

(qui si può fare il conto esatto)



da AB l'n-MOS si comporta come un generatore di tensione

posso approx. a un tratto lineare ossia un Req.

per il tratto da B a C poichè non è lineare posso fare varie

un altro tipo di approx. è dire che che il tratto lineare di AB continua anche su BC

se considero il transistoro come una resistenza, il problema con il condensatore diventa semplice la risoluzione di un circuito RC

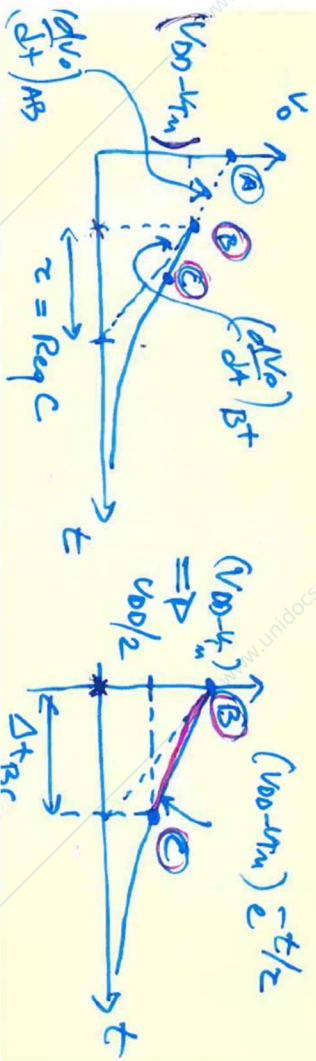
Calcolo Tprop H→L

Nel tratto BC utilizziamo l'approssimazione della corda OB, corrispondente alla resistenza equivalente R_{eq} (2 volte la resistenza in zona ohmica, R_{oh})

Tratto BC

$$R_{eq} = \frac{V_{DS|SAT}}{I_{DSAT}} = \frac{(V_{DD} - V_{TN})}{k_n (V_{DD} - V_{TN})} = \frac{1}{k_n (V_{DD} - V_{TN})} = 2R_{oh}$$

PROBLEMA EQUIV. SCARICA CIRCUITO RC.

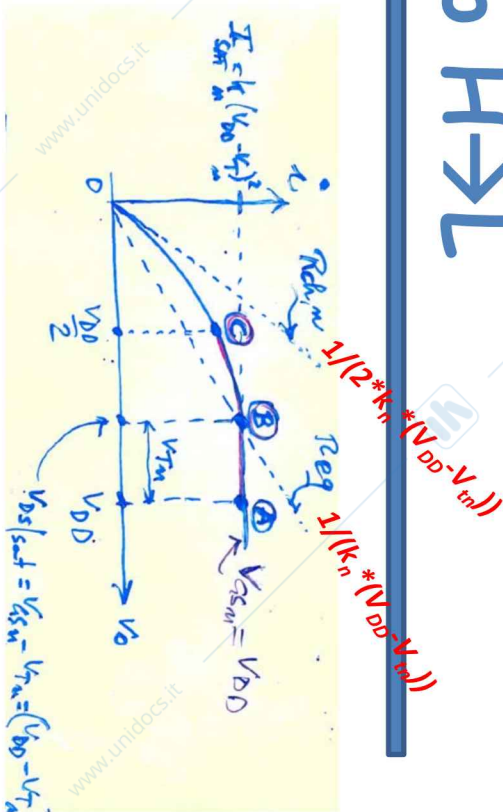


check derivata in B e B^+ :

$$\left(\frac{dV_O}{dt}\right)_B = \frac{I_{DSAT}}{C} = k \frac{(V_{DD} - V_{TN})^2}{C}$$

$$\left(\frac{dV_O}{dt}\right)_{B^+} = \frac{(V_{DD} - V_{TN})}{\tau} = \frac{(V_{DD} - V_{TN})}{\left(\frac{1}{k_n (V_{DD} - V_{TN})}\right) C} = \frac{k_n (V_{DD} - V_{TN})^2}{C}$$

$$\Rightarrow \tau_{PHL} = \tau_{AB} + \tau_{BC} = C \frac{V_{TN}}{k_n (V_{DD} - V_{TN})^2} + C \frac{R_{eq}}{k_n \left[\frac{2(V_{DD} - V_{TN})}{V_{DD}} \right]}$$



$$V_O = (V_{DD} - V_{TN}) e^{-t/\tau} = \frac{V_{DD}}{2}$$

$$\tau = \tau_{BC} = \frac{C}{k_n \left[\frac{2(V_{DD} - V_{TN})}{V_{DD}} \right]}$$



A. Castoldi, Fondament

Altre approx

Calcolo o prossimato (ultimamente):

assumo $i(t) = I_{Dsat}$ in tutto il tratto ABC:

$$\Delta t_{ABC} \approx \frac{C \cdot V_{DD}/2}{I_{Dsat}} = \frac{1}{2} \frac{C \cdot V_{DD}}{k_n (V_{DD} - V_{tn})^2}$$

ESempio
 $C = 0.1 \text{ pF}, k_n = 1 \frac{\text{mA}}{\text{V}^2}, V_{tn} = 1 \text{V}, V_{DD} = 5 \text{V} \Rightarrow t_{pHL} =$

con approx. Req

$\Delta t_{AB} + \Delta t_{BC} \sim 18 \text{ ps}$ (I_D sottostimata)

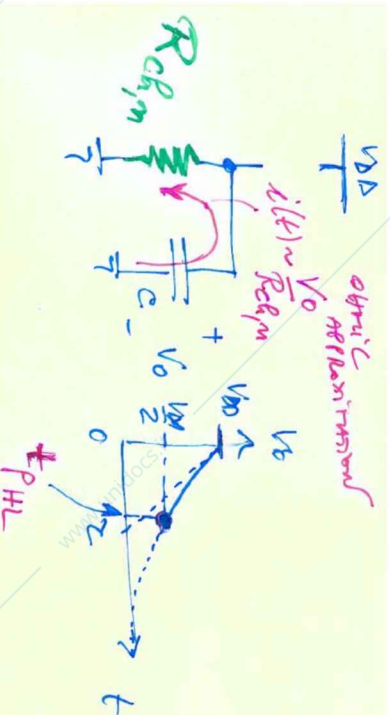
$\Delta t_{ABC} \sim 15.6 \text{ ps}$ (I_D sovrastimata)

Δt esatto $\sim 16 \text{ ps}$

con approx. tratto = AB

APPROSSIMAZIONE OTTICA (numerica come sempre valida...)

Assumo che il MOSFET sia una resistenza pari a quella in gate chiusa la tito: i_e tratto ABC:



Volendo si potrebbe approx. anche il tratto BC a un tratto lineare corrispondente alla resistenza di canale, ossia quella nel tratto ohmico, anche se non è un'approx. così valida

$$V_0(t) = V_{DD} e^{-t/\tau} = V_{DD} e^{-t/R_{eq}C}$$

$$V_0(t) = \frac{V_{DD}}{2} \Rightarrow V_{DD} e^{-t/R_{eq}C} = \frac{V_{DD}}{2}$$

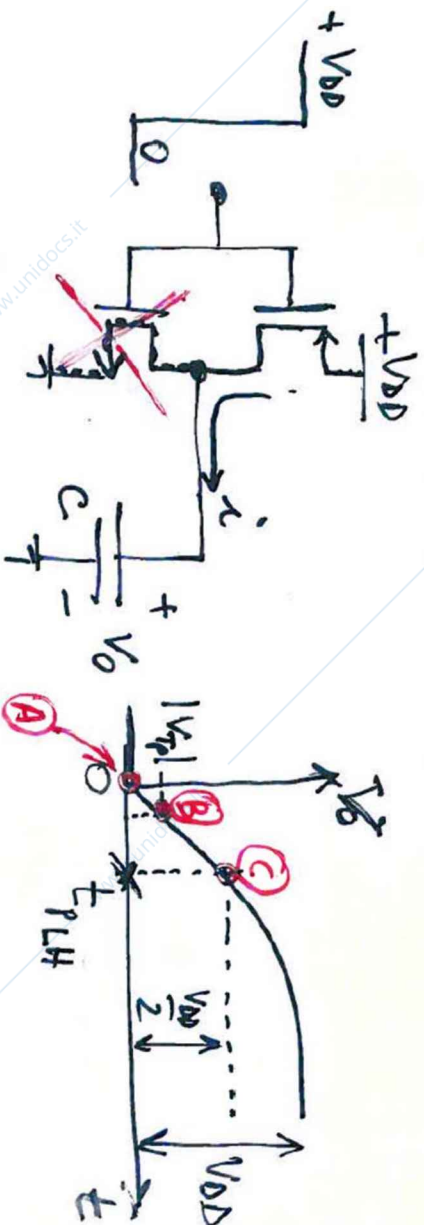
$$\Rightarrow e^{-t/\tau} = 0.5 \Rightarrow t_{pHL} = \ln 2 \cdot (R_{eq}C) \approx 0.69$$

ESempio (come prima): $C = 0.1 \text{ pF}, |k_p| = 1 \frac{\text{mA}}{\text{V}^2}, V_{tp} = 1 \text{V}, V_{DD} = 5 \text{V}.$

$\Delta t_{rch} \sim 8.6 \text{ ps}$

quest'ultima approx. e' utile comunque per valutare la dipendenza di T_{prop} dai parametri $V_t, V_{DD}, etc.$

Calcolo Tprop L→H



$$R_{eq} = \frac{V_{DD} - |V_{tp1}|}{I_{D_{sat}}}$$

$$= \frac{(V_{DD} - |V_{tp1}|)}{k_p (V_{DD} - |V_{tp1}|)^2}$$

$$= \frac{1}{k_p (V_{DD} - |V_{tp1}|)} = 2 \times R_{eA, p}$$

$$R_{eq_s} = \frac{1}{2 k_p (V_{DD} - |V_{tp1}|)}$$

$$= \frac{1}{2 k_p (V_{DD} - |V_{tp1}|)}$$

come per T_{pHL} si possono usare, con analoghe considerazioni, le diverse approssimazioni viste precedentemente



A.Castoldi, Fondamenti di Elettronica

Margini di Rumore (Noise Margins)

Definiscono la capacità di una porta logica di funzionare correttamente anche in presenza di rumore

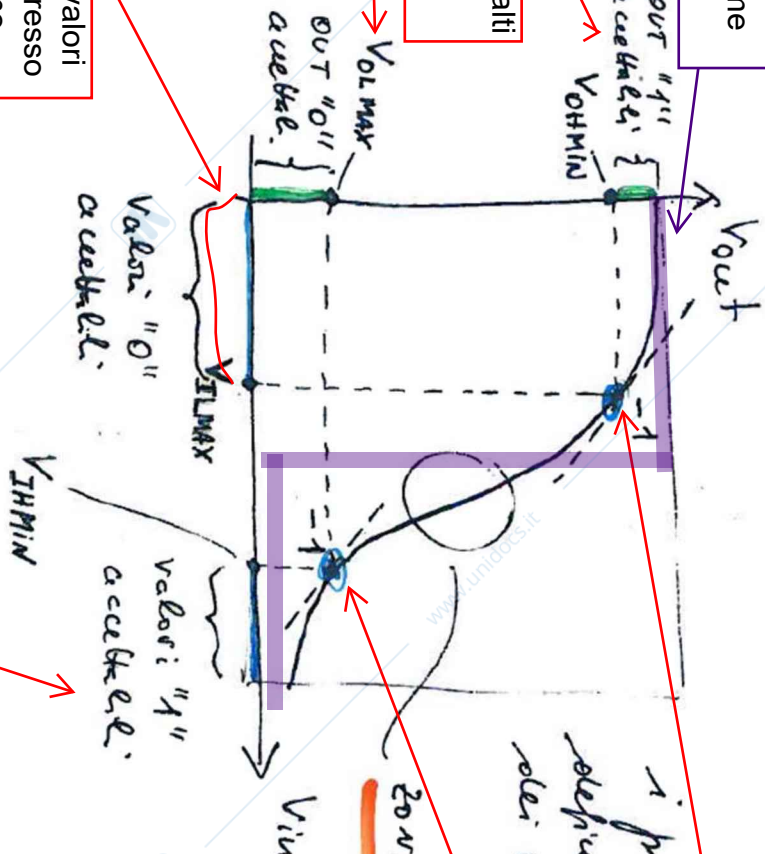
(ovvero quando V_{in} non è esattamente 0 o V_{DD})

con margine di rumore assume questa forma

valori in uscita alti e bassi ritenuti acc.

identifica i valori bassi in ingresso che riteniamo accettabili

La forma "ideale" della caratt. in/out (che massimizza i NM) risulta quindi essere a gradino con soglia a $V_{DD}/2$



i punti avuti: $G < -1$ definiscono l'intervallo dei valori accettabili

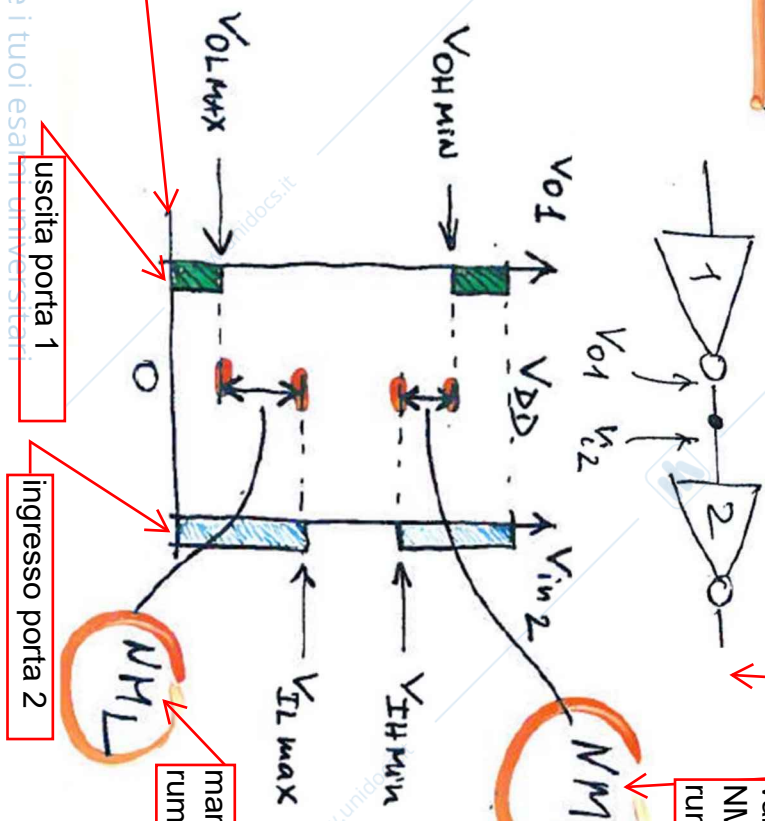
punti in cui la tangente è 45° - $G = -1$

zona proibita = zona tra le zone sicure (intervalli alti e bassi accett.) definite

invertitori 'not' collegati in serie -> uscita prima = ingresso seconda

margine tra i due intervalli relativi ai valori alti, NMh = margine di rumore alto

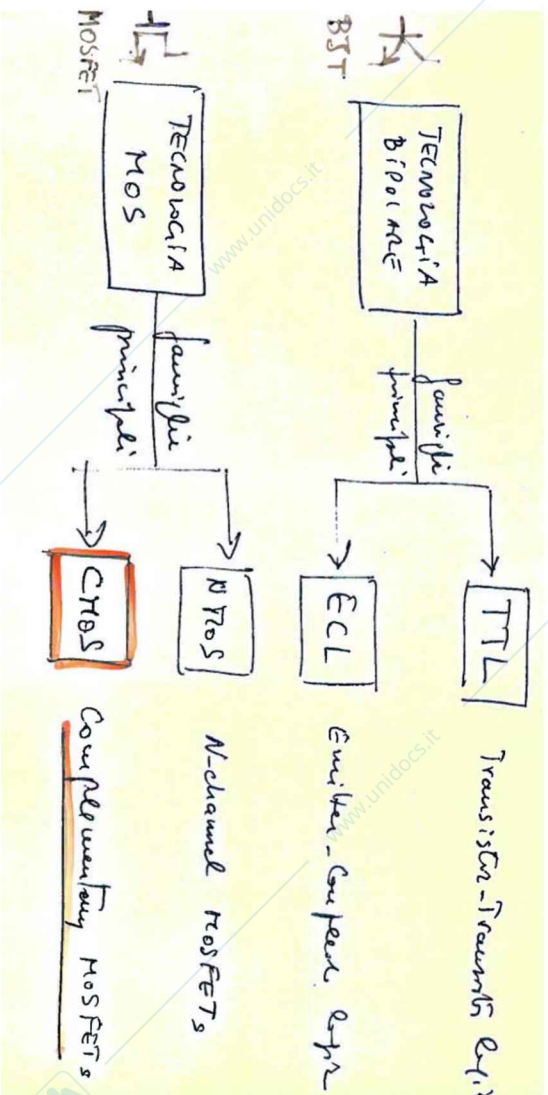
margine di rumore basso



Famiglie logiche

Un insieme di porte logiche, realizzate con la medesima tecnologia, costituiscono una famiglia logica

situazione generale di porte logiche

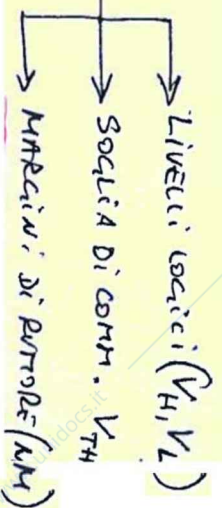


□ Analisi di una porta logica:

- Funzione logica
- Caratteristica di transf. statica in/out
- Dissipazione di potenza [W] (statica, dinamica CAP/CROSS-COND.)
- Velocita' di risposta [s] (tempo di propagazione o max freq. di commutazione)

$$Y = f(A, B, C, \dots)$$

$$V_{out} = f(V_{in})$$



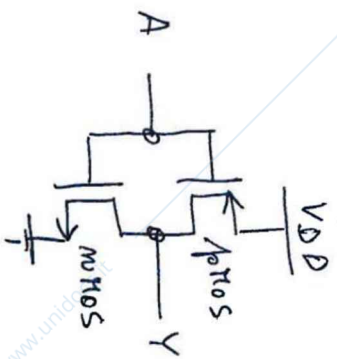
PRODOTTO RITARDO x CONSUMO [J]



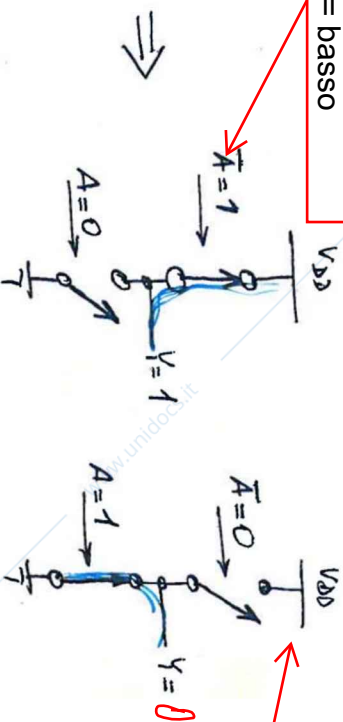
A.Castoldi, Fondamenti di Elettronica

Porte logiche CMOS: architettura

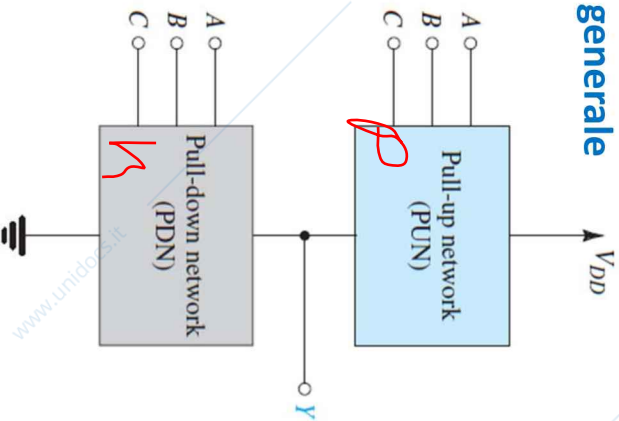
Inverter BASE



(ingresso) 1=alto
, 0=basso



Architettura generale



3 Ingressi= 3 p-MOS, 3 n-MOS

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

tabella di "verità"

Per una porta logica a N ingressi bisogna implementare 2*N interruptori (nMOS e pMOS)

A, B, C devono garantire il "pull-down" e A, B, C devono garantire il "pull-up"

passaggi logici

not(A & B)

Sintesi porta NAND a 2 ingressi

Funzione logica: $Y = \overline{A \cdot B}$

Sintesi rete di Pull-Down (PD):



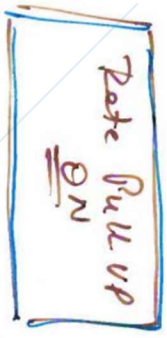
$Y = 0 \iff A = 1 \wedge B = 1$



voglio Y come funzione degli ingressi NON negati

uscita negata in funzione degli ingressi non negati

Sintesi rete di Pull-Up (PU):



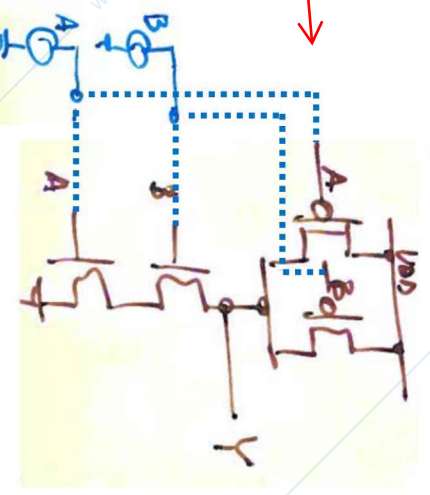
quando questo è vero, ossia $A, B = 1$, significa che Y negato è uguale a 1, quindi l'n-Mos è acceso, dunque uscita bassa ($Y=0$)

funzione di ingressi negati

modo schematico di mettere and logico (serie per n-MOS) o or logico (parallelo per p-MOS)

schematico

in questo modo posso direttamente collegare le condizioni dei p e n MOS, relativi ai vari ingressi, contemp.



$Y = \overline{A \cdot B} = \overline{A} + \overline{B}$

De Morgan

$\overline{A \cdot B} = \overline{A} + \overline{B}$

distribuisco la negazione sui due ingressi, $A+B$ significa A or B

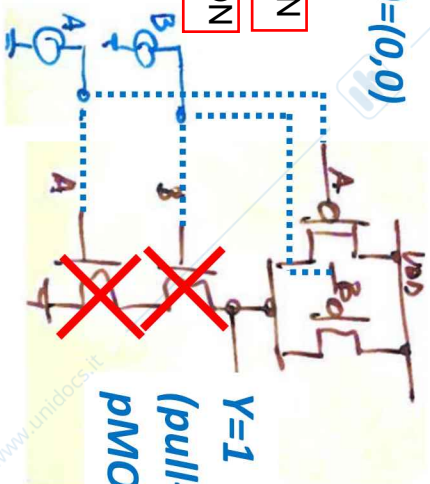
A si deve accendere in or, in alternativa logica, quindi quando A e B sono in or il p-MOS si accende, quando quindi l'ingresso negato A o B è =1 (quindi di fatto è basso, vista la negazione)

tabella di verità
vista dal punto di
vista circuitale

Sintesi porta NAND a 2 ingressi

$(A,B)=(0,0)$

$Y_a=I_A=I_0=1 \rightarrow$ p-MOSa ON
 $Y_b=I_B=I_0=1 \rightarrow$ p-MOSb ON



$Y=1$
(pull-up attrav.
pMOSA & pMOSB)

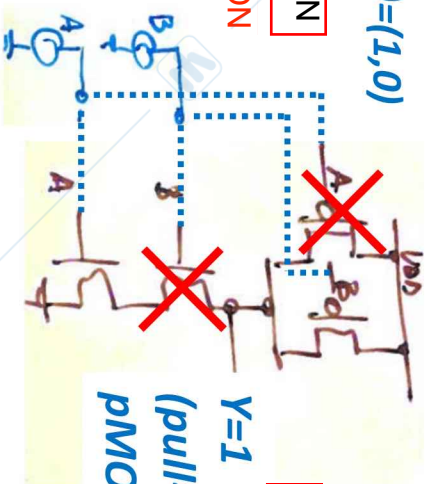
Funzione logica:

$$Y = \overline{A \cdot B}$$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

$(A,B)=(1,0)$

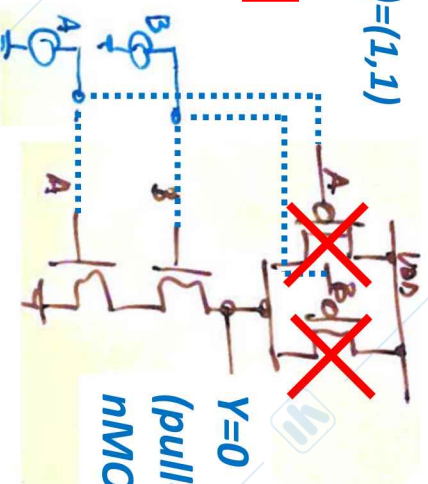
$Y_a=I_A=I_1=0 \rightarrow$ n-MOSa ON
 $Y_b=I_B=I_0=1 \rightarrow$ p-MOSb ON



$Y=1$
(pull-up attrav.
pMOSB)

$(A,B)=(1,1)$

$Y_a=I_A=I_1=0 \rightarrow$ n-MOSa ON
 $Y_b=I_B=I_1=0 \rightarrow$ n-MOSb ON



$Y=0$
(pull-down attrav.
nMOSA & nMOSB)

in una porta logica, la transizione di pull-up (o pull-down) avviene attraverso i soli transistori pMOS (o nMOS) effettivamente accesi (non tutti !!!)



A.Castoldi, Fondamenti di Elettronica

Casi particolari

□ **funzione logica non esprimibile come $f(A, B, C, \dots)$:**

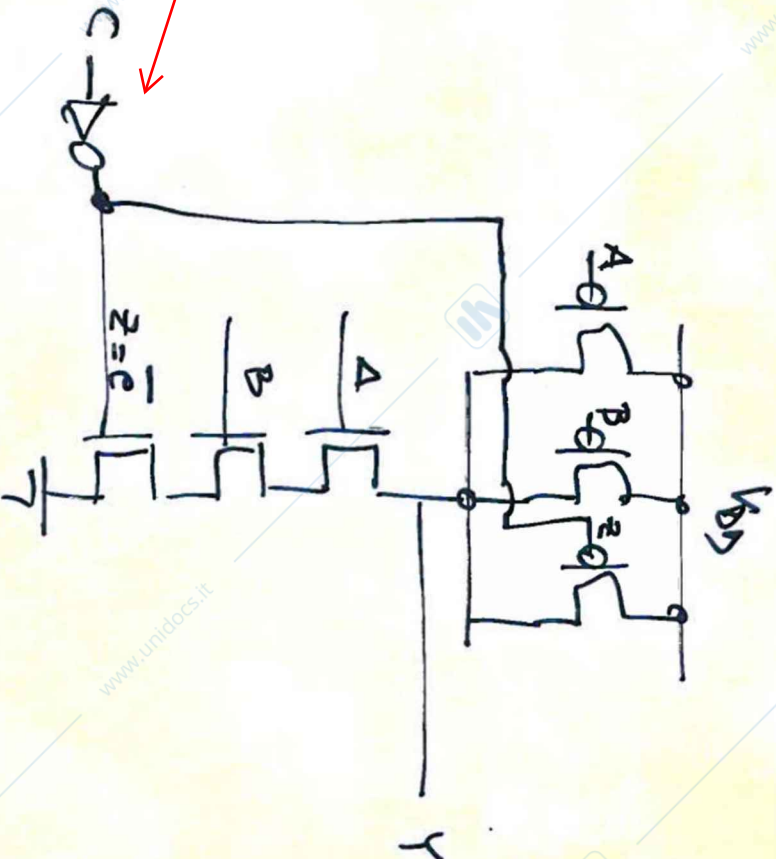
$$Y = \overline{A \cdot B \cdot C}$$

se ho un caso del genere considero l'IC come un ingresso non negato Z

□ **Si ricorre a tanti inverter quanti sono necessari per riportarsi al caso $Y=f(A, B, C, \dots)$:**

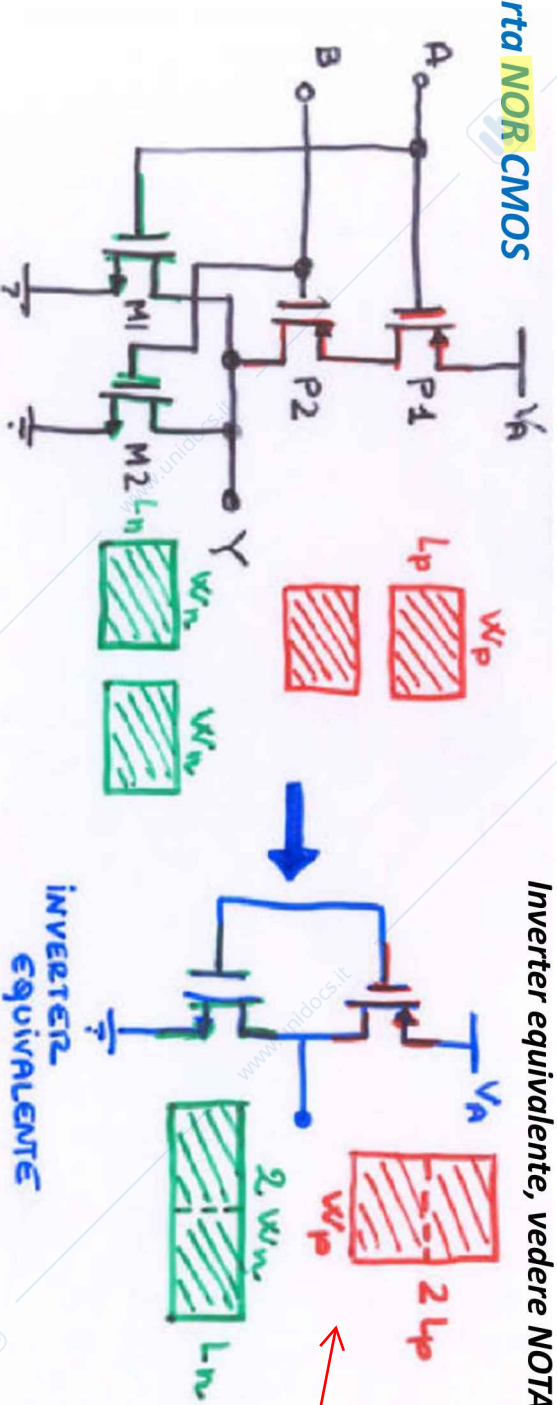
Sintesi rete pull-down: $\overline{Y} = A \cdot B \cdot \overline{C} = A \cdot B \cdot Z$

poichè non posso introdurre un ingresso diverso da C, aggiungo un inverter così posso mettere Z come se fosse un ingresso non negato, ma ricondurni al caso on il semplice ingresso C



Equivalenza porta logica - inverter (1)

Porta NOR CMOS



Inverter equivalente, vedere NOTA

INVERTER EQUIVALENTE

considero dei MOS singoli n e p MOS equivalenti

I tempi di ritardo della porta logica possono essere calcolati analogamente a quelli di un inverter CMOS. Si può sostituire la rete di pull-up (o pull-down) interessata dalla transizione con un singolo transistor equivalente alla rete ai fini del calcolo dei tempi.

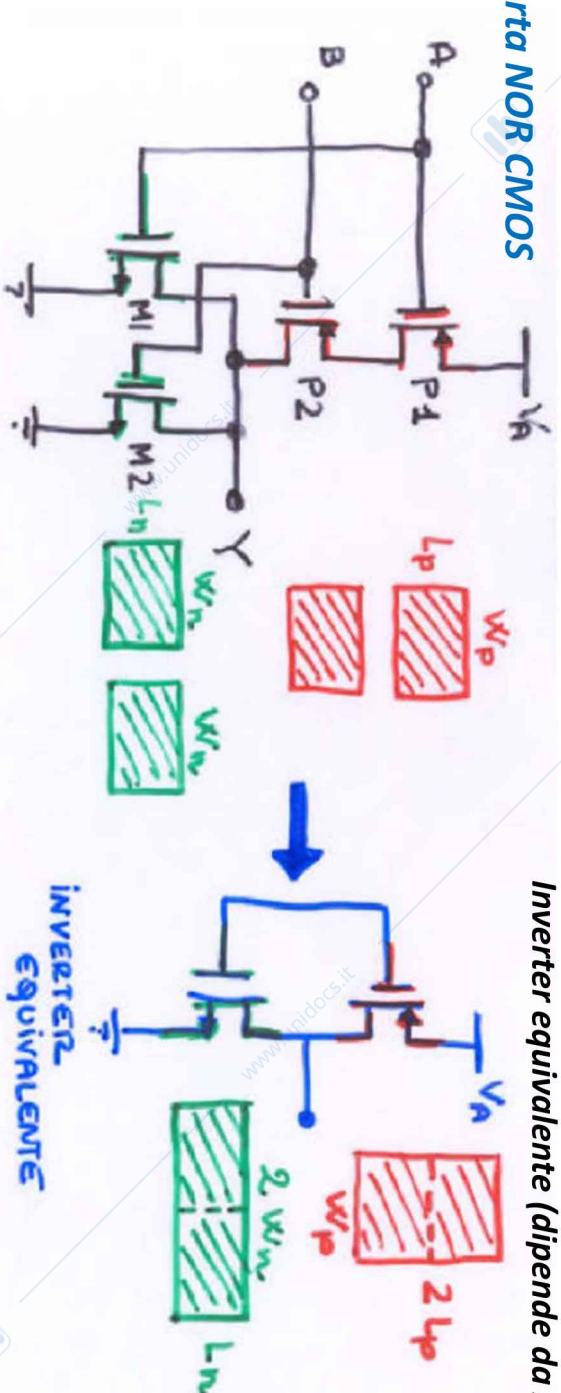
$$R_{on} \propto \frac{1}{k} \propto \frac{1}{(W/L)} \rightarrow \begin{cases} R_{series} = R_1 + R_2 + \dots \rightarrow \frac{1}{k_{eq}} = \frac{1}{k_1} + \frac{1}{k_2} \dots \\ R_{par} = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2} \dots} \rightarrow k_{eq} = k_1 + k_2 + \dots \end{cases}$$

calcolo k equivalente nel caso di MOS in serie o parallelo

NOTA IMPORTANTE: nelle porte logiche ci sono diverse transizioni possibili (ad es. 3 diverse transizioni di pull-down nel caso in figura) a cui corrisponde un nMOS con k equivalente diverso per ciascun caso.

Equivalenza porta logica - inverter (2)

Porta NOR CMOS



nMOS equivalente (in caso di pull-down):

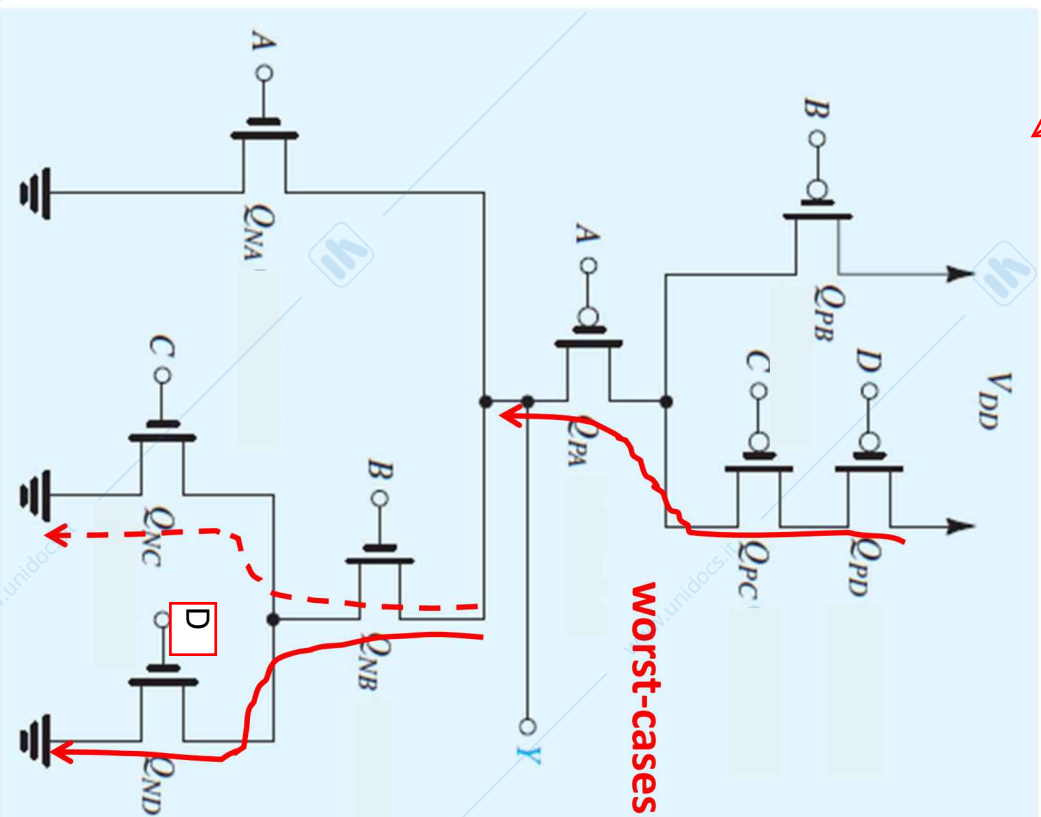
- ❖ transizione (A,B)=(0,0) → (1,1)
a t=0 si accendono i 2 nMOS, pull-down attraverso nMOS equivalente ($Kn_{eq} = Kn1+Kn2$)
- ❖ transizione (A,B)=(0,0) → (1,0)
a t=0 si accende M1, pull-down attraverso M1 ($Kn_{eq} = Kn1$)
- ❖ transizione (A,B)=(0,0) → (0,1)
a t=0 si accende M2, pull-down attraverso M2 ($Kn_{eq} = Kn2$)

pMOS equivalente (in caso di pull-up):

- ❖ transizione (A,B)=(x,y) → (0,0)
a t=0 si accendono i 2 pMOS, pull-down attraverso pMOS equivalente ($Kp_{eq} = Kp1 * Kp2 / (Kp1 + Kp2)$)

se ricavassimo Y in funzione di A, B, C, D otterremo la stessa cosa se lo calcolassimo rispetto agli n-MOS che con i p-MOS

esempio: worst/best cases



□ Pull-down

- ❖ worst case (trans. piu' lenta) attraverso QNB e QND (oppure QnC)
 - $K_{n_{eq}} = \text{serie}(Q_{nB}, Q_{nD}) = K_n/2$

- ❖ best case (piu' veloce), attraverso tutti nMOS accesi

- $K_{n_{eq}} = \text{par}(Q_{nA}, \text{serie}(Q_{nB}, \text{par}(Q_{nC}, Q_{nD})) = (2/3) * K_n + K_n = (5/3) * K_n$

□ Pull-up

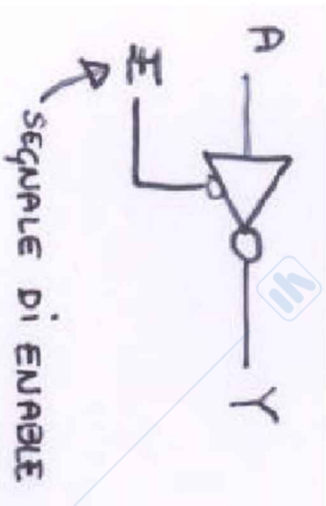
- ❖ worst case (trans. piu' lenta) attraverso QPA, QPC, QPD

- $K_{p_{eq}} = \text{serie}(Q_{pA}, Q_{pC}, Q_{pD}) = K_p/3$

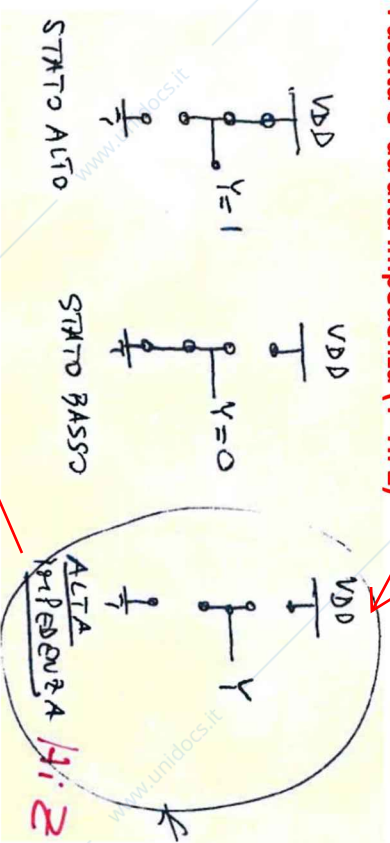
- ❖ best case (piu' veloce), attraverso QPA, QPB, QPC, QPD
 - $K_{p_{eq}} = \text{serie}(Q_{pA}, \text{par}(Q_{pB}, \text{serie}(Q_{pC}, Q_{pD}))) = (5/7) * K_p$

Porta tristate

Possibilita' di un terzo stato: se abilitato (E=1) l'uscita e' ad alta impedenza (Y=Hi Z)



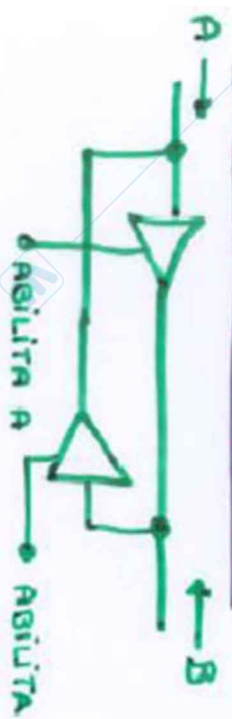
E	A	Y
0	0	1
0	1	0
1	0	High Z
1	1	High Z



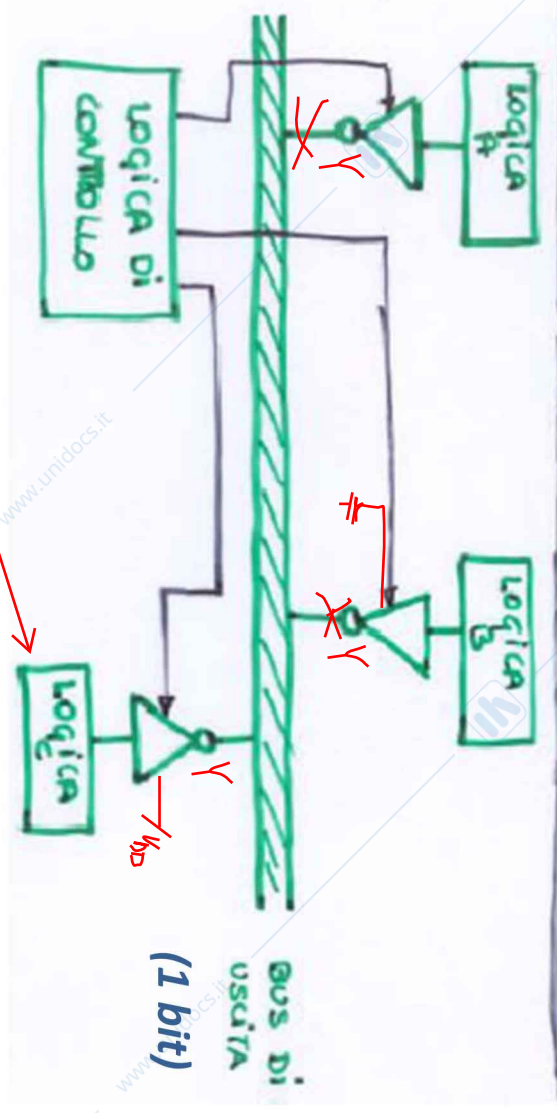
terzo stato, invece di avere una connessione complementare o verso l'alto o verso il basso, c'è la possibilità di staccare tutto, lasciando il nodo d'uscita con un'alta impedenza, ossia infinita

□ Esempi di applicazione

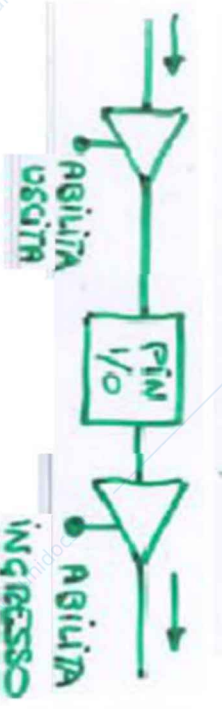
* COLLEGAMENTO BIDIREZIONALE



* CONNESSIONI MULTIPLE AD UN SINGOLO BUS DI USCITA



* TERMINARE INGRESSO/USCITA

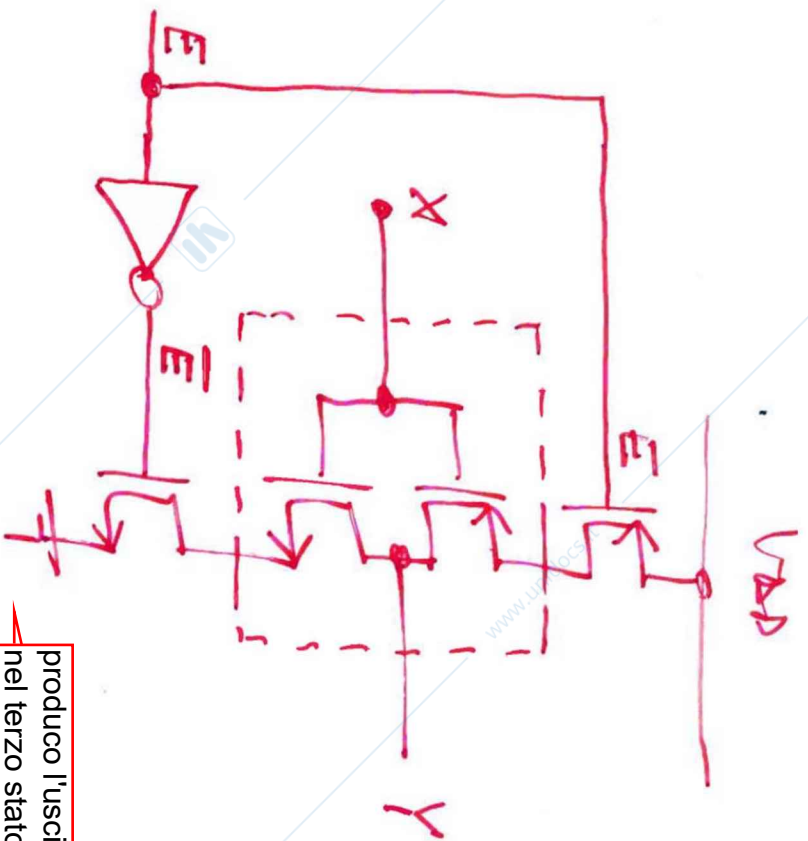


se voglio che 'pari' C devo staccare A e B (quindi che si portino in un terzo stato) dal bus



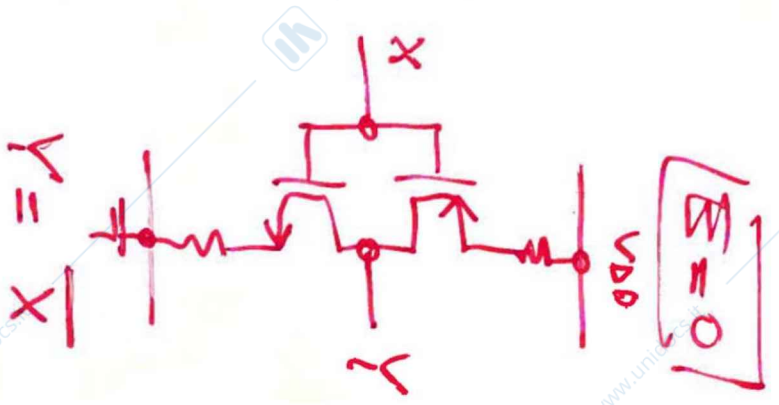
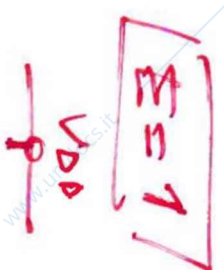
A.Castoldi, Fondamenti di Elettronica

Porta tristate: implementazione (esempio)



prodotto l'uscita nel terzo stato possibile

$Y = HiZ$
(TRISTATE)

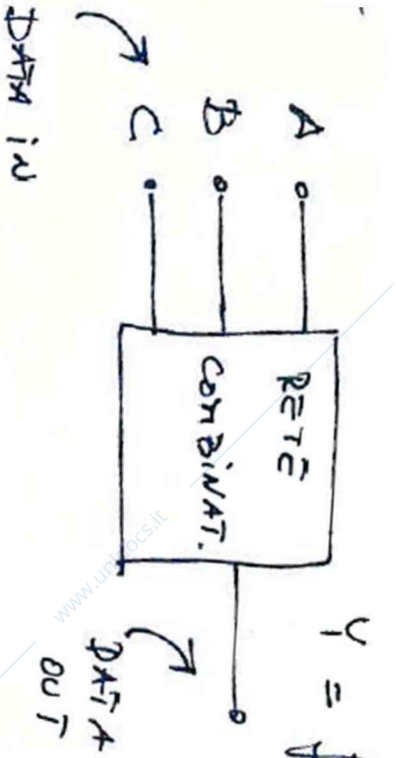


Nota1: va considerato l'effetto dei transistori di Enable sui tempi di propagazione

Nota2: Enable attivo basso

Componenti digitali: classificazione

Reti combinatorie



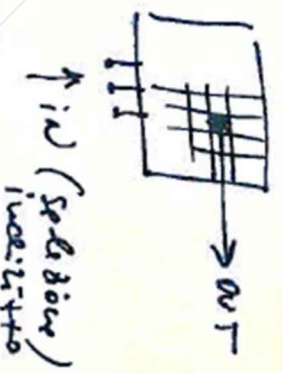
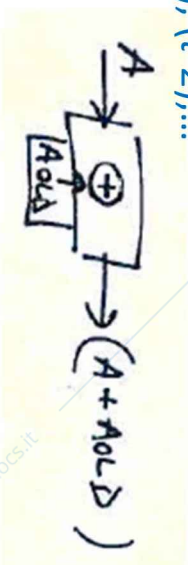
$$Y = f(A, B, C)$$

- L'uscita al tempo t dipende solo dal valore degli ingressi allo stesso istante t
- Esempi:
 - porte NAND/NOR, NOT,...
 - sommatore, multiplexer,....

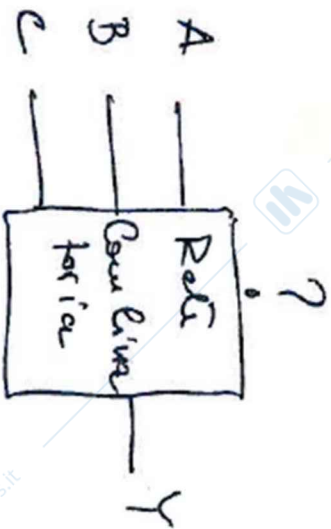
Reti sequenziali

$$Y \neq f(A, B, C)$$

- L'uscita al tempo t dipende anche dal valore degli ingressi a t e negli istanti precedenti ($t-1$), ($t-2$),...
- Esempi:
 - Circuito di accumulo
 - Memoria, latch, flip-flop,....



Sintesi di reti combinatorie



A	B	C	Y
0	0	0	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

TABELLA DELLA VERITA'
Tutte le 2^N combinazioni dei N ingressi e le rispettive uscite

Sum-of-Products (SOP):

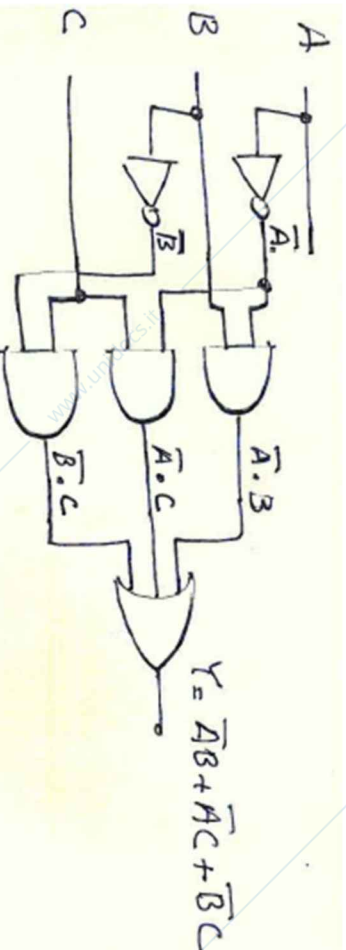
- Seleziono le combinazioni che danno $Y=1$
- Per ciascuna, costruisco il prodotto (AND) logico che e' vero solo per quella combinazione di ingressi
- Somma logica (OR) di tutti i termini

Due modalita' di sintesi:

- Sum-of-Products (SOP) →
- Product-of-Sums (Pos)

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} B \bar{C} + A \bar{B} C$$

- Realizzazione con porte logiche
- Metodi di riduzione



$$\begin{aligned}
 Y &= \bar{A}C(B+\bar{B}) + \bar{A}B\bar{C} + A\bar{B}C = \\
 &= \bar{A}(C+B\bar{C}) + A\bar{B}C = \\
 &= \bar{A}B + \bar{A}C + A\bar{B}C = \\
 &= \bar{A}B + (\bar{A}+A\bar{B})C = \\
 &= \bar{A}B + \bar{A}C + \bar{B}C
 \end{aligned}$$



Codificatore (Encoder)

approfondimenti

□ **Esegue la conversione da:**

N ingressi



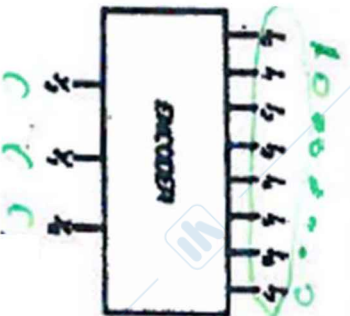
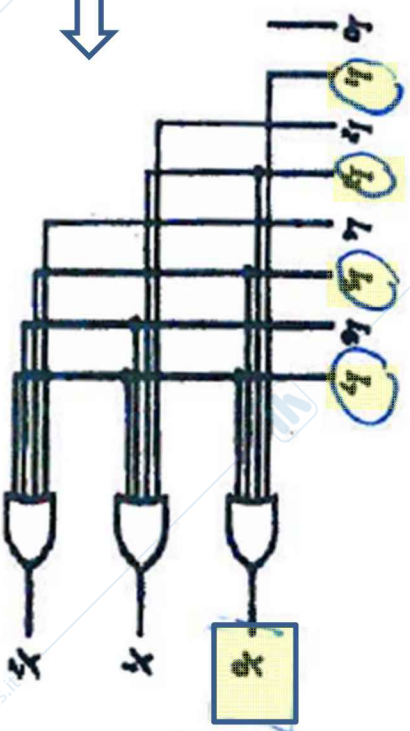
codice binario m bit

($N \leq 2^m$)

I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	1	0
0	0	0	0	1	0	0	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0

(Sum-of-Products)

$$\begin{cases} Y_0 = I_1 + I_3 + I_5 + I_7 \\ Y_1 = I_2 + I_3 + I_6 + I_7 \\ Y_2 = I_4 + I_5 + I_6 + I_7 \end{cases}$$



Problema: se 2 o piu' ingressi contemporaneamente attivi?

→ **PRIORITY ENCODER**=l'ingresso con codifica binaria piu' elevata ha prioritaa' sugli altri ingressi

→ **Esempio:** $I_1(001)=1 \ \& \ I_5(101)=1 \rightarrow$ **priorita' I5**



A.Castoldi, Fondamenti di Elettronica

Decodificatore (Decoder)

approfondimenti

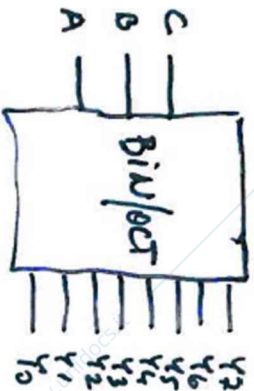
□ *Esegue la conversione da:*

codice binario n bit



M variabili uscita

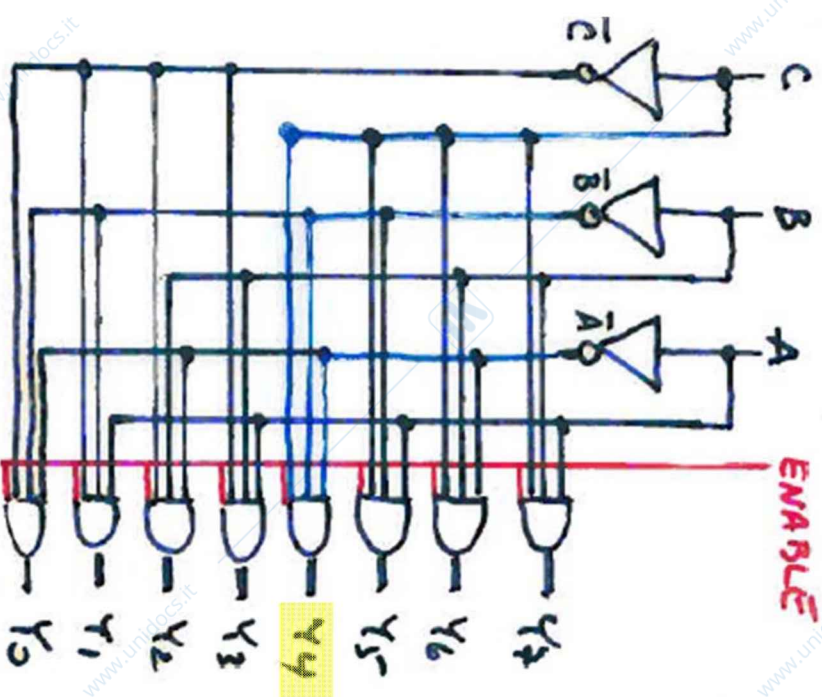
($2^n \geq M$)



C	B	A	0	1	2	3	4	5	6	7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

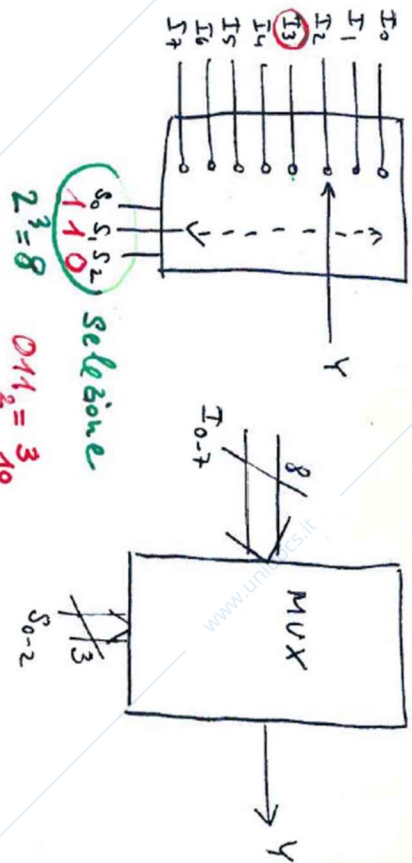
(Sum-of-Products)

$$\begin{aligned}
 Y_0 &= \bar{A} \bar{B} \bar{C} \\
 Y_1 &= A \bar{B} \bar{C} \\
 Y_2 &= \bar{A} B \bar{C} \\
 Y_3 &= A B \bar{C} \\
 Y_4 &= \bar{A} \bar{B} C \\
 Y_5 &= A \bar{B} C \\
 Y_6 &= \bar{A} B C \\
 Y_7 &= A B C
 \end{aligned}$$

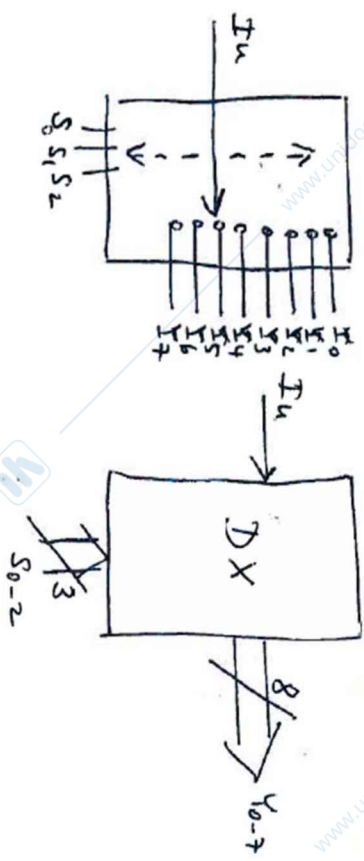


Multiplexer(MUX) / Demultiplexer(DEMUX)

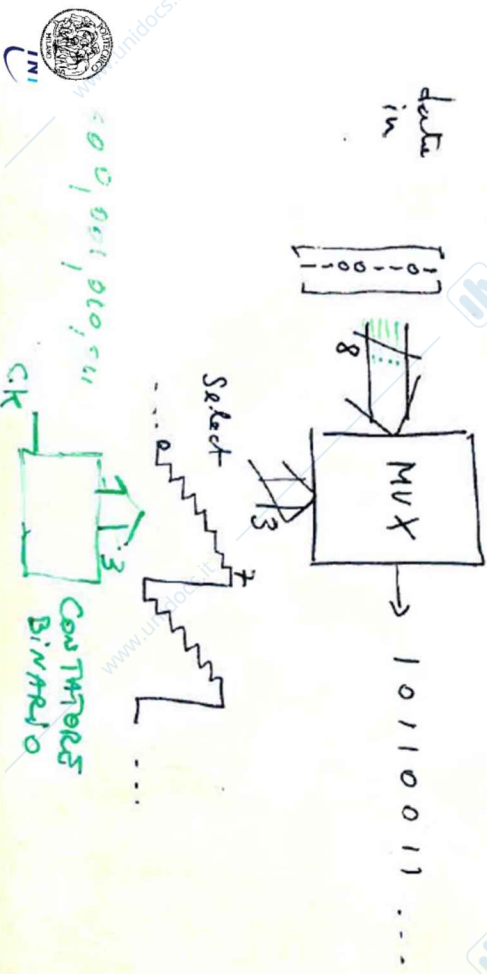
❑ **MUX:** Trasferisce all'uscita 1 solo dei dati presenti all'ingresso, in funzione del valore assunto da opportuni ingressi di selezione



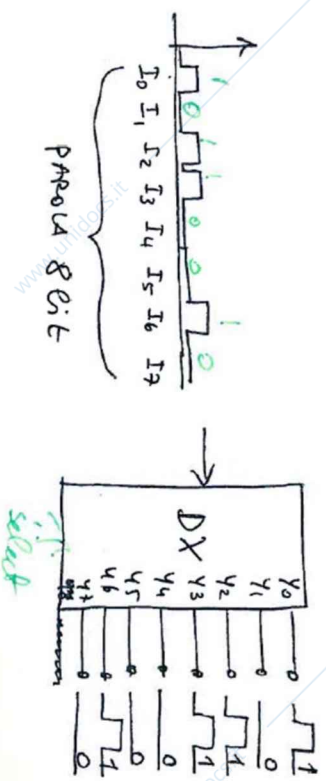
❑ **DEMUX:** invia lo stato dell'ingresso ad 1 sola tra più uscite, scelta tramite il codice binario degli ingressi di selezione



❑ **Esempio: trasformazione parallelo/serie**



❑ **Esempio: trasformazione serie/parallelo**



Comparatore binario

□ **Confronto tra due parole binarie n bit:**

A_k	B_k	Y_1 ($A > B$)	Y_2 ($A = B$)	Y_3 ($A < B$)
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

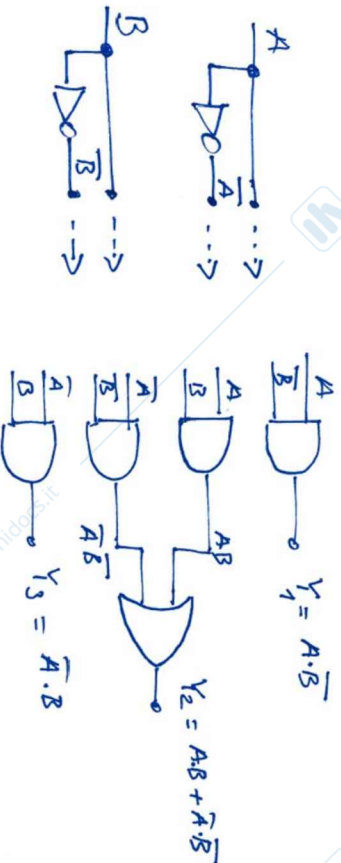
Tabella della verità' (comparatore a 1 bit)

$A = [1\ 0\ 0\ 1\ 1\ 1\ 1]$
 $B = [1\ 0\ 1\ 0\ 0\ 0\ 0]$
 $\Rightarrow B > A$

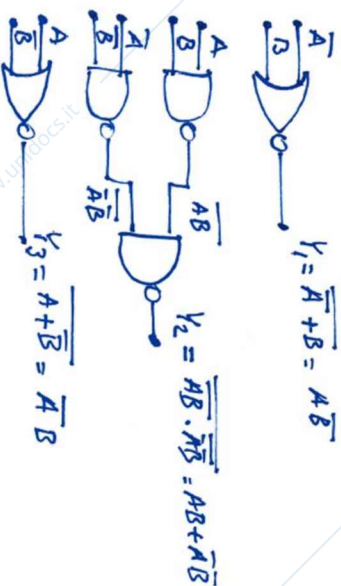
----> procedo da SX verso DX, facendo la comparazione 1 bit alla volta \rightarrow trovo $B_5 > A_5$

Esempi di implementazione comparatore a 1 bit

▪ **sum-of products (porte AND/OR)**



▪ **con porte NOR/NAND**

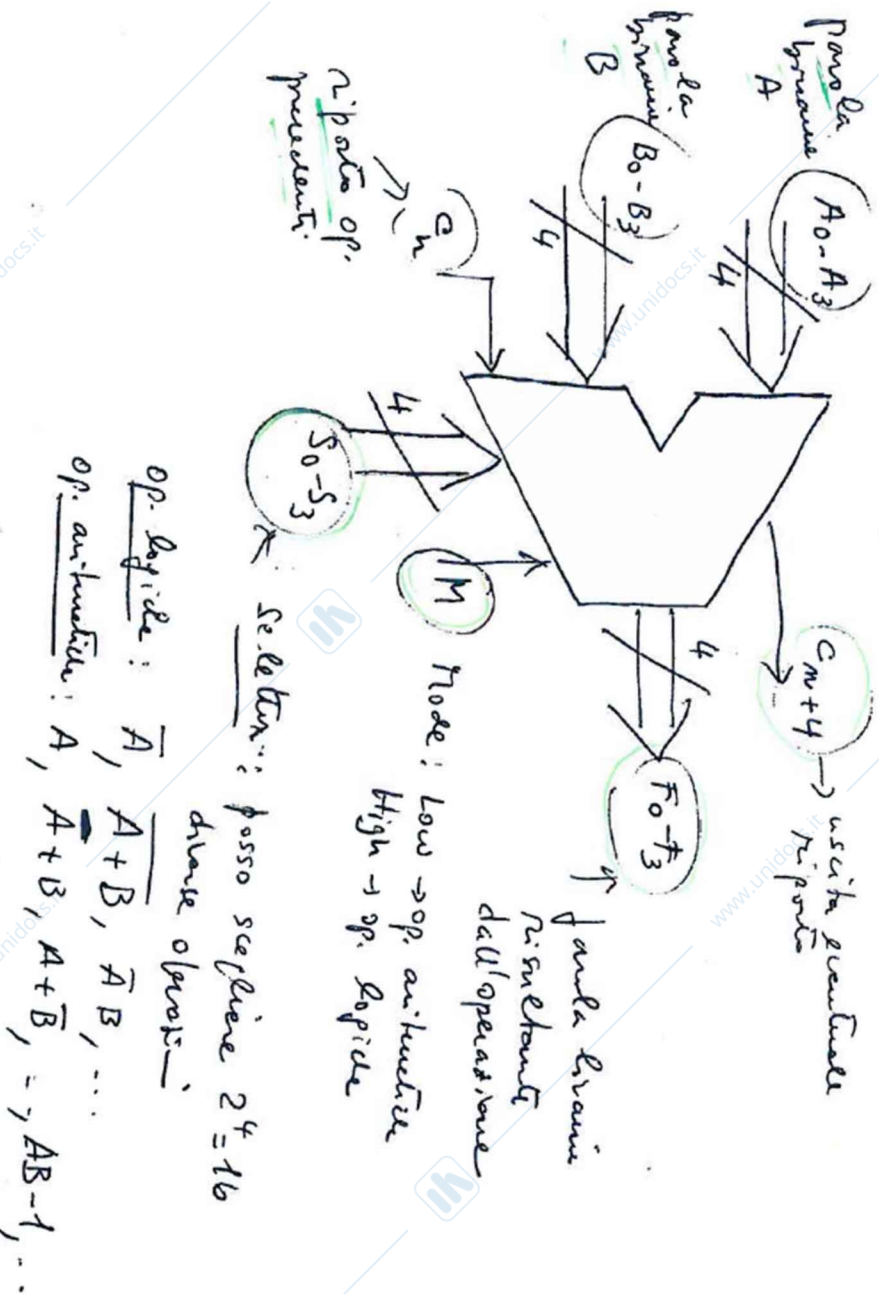


□ Applicazioni: ordinamento alfabetico di nomi mediante confronto codifiche ASCII

Unità Logico-Aritmetica (ALU)

- **Esegue le operazioni base logico-aritmetiche tra 2 parole binarie (somma, sottrazione, prodotto, comparazione, ...)**

(ALU 4 bit)



- **Per operare su parole a 8 bit → 2x ALU 4 bit in cascata (si usano i pin di riporto!)**

