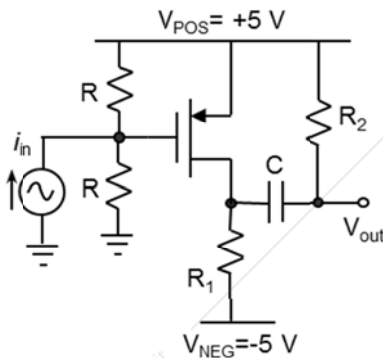


## Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2015/2016

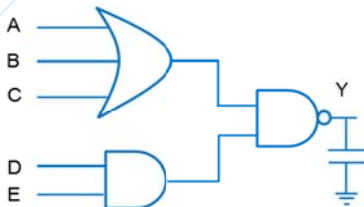
Appello del 30 Gennaio 2017

**Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...****Esercizio 1.**Si consideri l'amplificatore a MOSFET in figura. Il generatore di corrente in ingresso  $i_{in}$  è di piccolo segnale.

- Polarizzare il circuito.
- Determinare il guadagno di piccolo segnale  $v_{out}/i_{in}$  a bassa e ad alta frequenza. Disegnare il diagramma di Bode del modulo.
- Calcolare la risposta  $V_{out}(t)$  (polarizzazione+segnale) ad un gradino di corrente in ingresso 0-10 $\mu$ A e disegnarne il grafico calcolando i punti significativi.
- Determinare la massima ampiezza positiva della corrente di ingresso ( $i_{in}$ ) che può essere applicata affinché la tensione di uscita  $V_{out}$  rimanga all'interno dell'intervallo (-5V, +5V).

Dati:  $R=10\text{ k}\Omega$ ,  $R_1=1\text{ k}\Omega$ ,  $R_2=1\text{ k}\Omega$ ,  $C=1\text{ nF}$  $k_p=1\text{ mA/V}^2$ ,  $|V_{Tp}|=1\text{V}$ **Esercizio 2.**

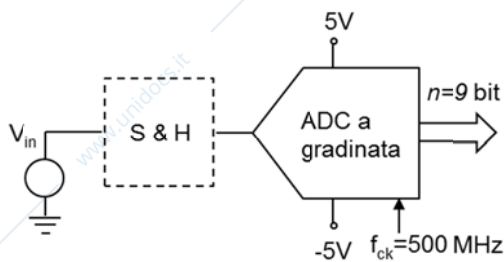
Si consideri lo schema a blocchi logici mostrato in figura.



Dati tecnologia CMOS:

 $V_{DD}=5\text{ V}$  $k_n=300\mu\text{A/V}^2$ ,  $V_{Tn}=1\text{V}$  $k_p=100\mu\text{A/V}^2$ ,  $|V_{Tp}|=1\text{V}$ 

- Si determini la funzione logica  $Y=f(A,B,C,D,E)$  e si sintetizzi la porta logica a 5 ingressi in tecnologia CMOS che implementi la funzione logica trovata.
- Si determini (approssimativamente) il tempo di propagazione piu' veloce e quello della transizione piu' lenta della porta logica CMOS sintetizzata al punto precedente (i dati della tecnologia CMOS sono in calce; si assuma una capacita' di carico all'uscita  $C_L=1\text{pF}$ ).
- Assumendo di pilotare la porta logica CMOS sintetizzata al punto a) con un clock  $V_{in}$  (0-5V) applicato a tutti gli ingressi ( $V_{in}=A=B=C=D=E$ ), si calcoli la "soglia logica"  $V_{TH}$  della porta.

**Esercizio 3.**

Si consideri il circuito di conversione A/D mostrato in figura basato su un ADC a gradinata a 9 bit con frequenza di clock 500MHz.

Il segnale di ingresso è una sinusoide di frequenza  $f_{in}$ :

$$V_{in}(t) = 5V \cdot \sin(2\pi f_{in} t)$$

- dati Sample&Hold:  $T_{\text{sample}}=50\text{ ns}$ ,  $C_{\text{HOLD}}=1\text{ nF}$
- dati interruttore nMOS:  $(\mu_n C_{ox}')=20\mu\text{A/V}^2$ ,  $V_{Tn}=1\text{V}$

- Si applichi il segnale di ingresso  $V_{in}$  direttamente all'ingresso dell'ADC, eliminando il Sample & Hold:
  - Calcolare la massima frequenza di campionamento  $f_{c|_{\max}}$  ottenibile;
  - Calcolare la massima frequenza del segnale di ingresso  $f_{in|_{\max}}$  che può essere convertita correttamente alla frequenza di campionamento  $f_{c|_{\max}}$ .

Si assuma di qui in avanti che il blocco Sample & Hold sia inserito nel circuito di conversione.

- Determinare nuovamente la massima frequenza di campionamento  $f_{c|_{\max}}$  ottenibile con il nuovo circuito e la massima frequenza del segnale di ingresso  $f_{in|_{\max}}$  che può essere convertita correttamente operando alla massima frequenza di campionamento  $f_{c|_{\max}}$ .
- Si calcoli la massima resistenza  $R_{on}$  dell'interruttore del Sample & Hold compatibile con i dati in calce. Supponendo di voler utilizzare un interruttore nMOS (vedi dati in calce) pilotato da un segnale di comando 0-10V al gate, si dimensionino il rapporto di forma (W/L) del transistore in modo da garantire la condizione sul valore massimo di  $R_{on}$ .

## Traccia di Soluzione tema d'esame 30 gennaio 2017

### Esercizio 1

1a) polarizzazione

$$V_g = 5V \cdot (1/2) = 2.5V$$

$$V_{gs} = -2.5V, \text{ Hp. Saturazione: } I_d = k_p \cdot (V_{gs} - V_{tp})^2 = 2.25 \text{ mA}$$

$$V_{ds} = -7.75V \text{ per cui e' verificata la condizione pMOS saturo: } V_{ds} < V_{gs} - V_{tp} = -1.5V$$

$$V_{out} = 5V$$

1b) segnale

$$v_o = -g_m \cdot (R/2) \cdot i_{in} \cdot (R_1 // R_2) \cdot (s \cdot \tau / (1 + s \cdot \tau)) = 7.5k\Omega \cdot (s \cdot \tau / (1 + s \cdot \tau))$$

$$\text{con } \tau = C \cdot (R_1 + R_2) = 2\mu s, \text{ per cui il polo e' a } \omega_p = 500 \text{ krad/s.}$$

$$|v_o/i_{in}|(\omega=0) = 0$$

$$|v_o/i_{in}|(\omega \rightarrow \infty) = 7.5k\Omega$$

1c) La risposta al gradino di corrente puo' essere calcolata nel dominio del tempo (circuito a singola costante di tempo) o nel dominio della frequenza:  $v_o = 7.5k\Omega \cdot (s \cdot \tau / (1 + s \cdot \tau)) \cdot i_{in}$

La  $V_{out}(t)$  e' costituita dal valore di polarizzazione (5V) piu' la parte di segnale pari ad un gradino negativo di 75mV (prodotto di 10uA con il guadagno ad alta frequenza  $v_o/i_{in}(\infty) = -7.5k\Omega$ ) e una scarica esponenziale con costante di tempo  $\tau = 2\mu s$ .

1d) Dal punto precedente si evince che per valori positivi di  $i_{in}$  la  $V_{out}$  scende. Quindi il valore limite per ampiezze positive di  $i_{in}$  corrisponde a quando  $V_{out}$  raggiunge -5V, ovvero allo spegnimento del pMOS.

Condizione pMOS acceso:

$$V_{gs} = V_{gs0} + v_{gs} = (2.5V - 5V) + i_{in} \cdot (R/2) < V_{tp} \text{ da cui } i_{in} < 0.3 \text{ mA (ampiezza massima positiva di } i_{in})$$

### Esercizio 2

2a) Dallo schema a blocchi si trova:  $Y = \text{not}((A+B+C) \cdot D \cdot E) = \text{not}(A) \cdot \text{not}(B) \cdot \text{not}(C) + \text{not}(D) + \text{not}(E)$  da cui si puo' sintetizzare la rete di pull-up della porta CMOS a 5 ingressi. La rete di pull down puo' essere dedotta per dualita' o dalla relazione  $\text{not}(Y) = (A+B+C) \cdot D \cdot E$ .

2b) dopo verifica nelle reti di pull up e pull down, la transizione piu' lenta risulta quella di pull up attraverso la serie pmosA, pmosB, pmosC.

$$\text{Si ha } k_p, eq = k_p/3 = 33.3 \text{ uA/V}^2 \text{ per cui il } t_p(\text{Lento}) = C(V_{dd}/2)/I_{dsat} = 4.7 \text{ ns (approx. corrente satura)}$$

Analogamente, la transizione piu' veloce e' quella di pull up attraverso tutti i pmos.

$$\text{Si ha } k_p, eq = (7/3) \cdot k_p = 233.3 \text{ uA/V}^2 \text{ per cui il } t_p(\text{Veloce}) = C(V_{dd}/2)/I_{dsat} = 0.7 \text{ ns (approx. corrente satura)}$$

2c) La porta e' pilotata come un inverter, il k equivalente della rete di pull up e'  $k_p, eq = (7/3) \cdot k_p$ , l'equivalente della rete di pull down e'  $k_n, eq = (3/7) \cdot k_n$ . Dalla uguaglianza delle correnti di saturazione si ottiene  $V_{TH} = 2.72V$

### Esercizio 3

3a) In assenza del S&H la frequenza di campionamento massima e' limitata dal tempo di conversione dell' ADC.

$$\text{Per ADC a gradinata } T_{conv} = 2^n \cdot T_{ck}, \text{ da cui } f_{c|max} = 1/T_{conv} = f_{ck}/2^n = 500 \text{ MHz}/512 = 977 \text{ kHz}$$

La massima frequenza del segnale di ingresso ( $f_{in|max}$ ) e' limitata dalla necessita' di mantenere la variazione del segnale di ingresso durante la conversione entro 1 LSB.

$$\text{La condizione da imporre e' } |dV_{in}/dt| < 1 \text{ LSB}/T_{conv}$$

$$\text{Essendo } |dV_{in}/dt| = 2\pi \cdot 5V \cdot f_{in}, \text{ si ottiene } f_{in} < (\text{LSB}/10V) f_{ck}/(\pi \cdot 2^n) = f_{ck}/(512 \cdot \pi \cdot 512) = 607 \text{ Hz}$$

3b) Con S&H il temp di campionamento e' dato da  $T_c = T_{sample} + T_{hold}$ . Per massimizzare la frequenza di campionamento prendiamo  $T_{hold} = T_{conv}$  e si ha  $f_{c|max} = 1/(T_{sample} + T_{conv}) = 1/(50 \text{ ns} + 1024 \text{ ns}) = 931 \text{ kHz}$ .

In questo caso la capacita' di hold tiene costante il segnale di ingresso all'ADC e la massima frequenza del segnale di ingresso e' limitata soltanto dal th. di Shannon, ovvero deve essere  $f_{in|max} < (1/2) \cdot f_c = 931/2 \text{ kHz} = 431.5 \text{ kHz}$ .

3c) Nel caso peggiore la transizione di sample ha la massima escursione (ad es. valore iniziale -5V e valore a regime 5V).

Con  $T_{sample} = 50 \text{ ns}$  e  $C_{hold} = 1 \text{ nF}$  la richiesta di avere errore inferiore a 1 LSB a fine  $T_{sample}$  porta al valore  $R_{on|max} = 8\Omega$ .

Nel caso di interruttore nMOS, si ha che la  $V_{gs|min} = V_{g,on} - V_{in|max} = 10V - 5V = 5V$ . Dalla relazione  $R_{on} = 1/(k \cdot (V_{gs} - V_t))$  si ottiene il valore minimo  $k = 31.3 \text{ mA/V}^2$  e di qui il valore minimo cercato di  $(W/L) = 3.12$ .