

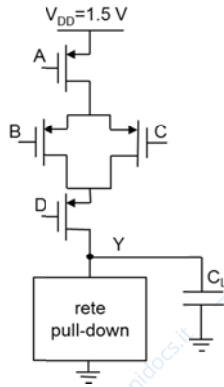
Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2018/2019

Appello del 6 Settembre 2019

**Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...
Motivare con chiarezza i punti salienti dello svolgimento, il semplice risultato (grafico o numerico) non basta
Durata prova: 2h 30min**

Esercizio 1.

Si consideri la porta logica CMOS in figura.

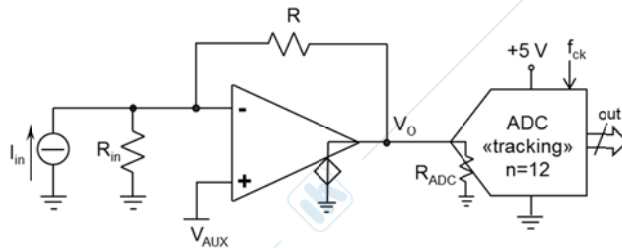


- Determinare la funzione logica $Y=f(A,B,C,D)$ della porta CMOS e sintetizzare la rete di pull-down.
- Si supponga di pilotare i 4 ingressi con il medesimo segnale X ($A=B=C=D=X$). Assumendo per semplicità un modello resistivo per i transistori MOS, si calcolino i tempi di propagazione di pull-up e di pull down ($C_L=1$ pF).

Dati: $k_n = 0.5 \text{ mA/V}^2$, $V_{Tn} = 0.5 \text{ V}$
 $k_p = 0.25 \text{ mA/V}^2$, $|V_{Tp}| = 0.5 \text{ V}$

Esercizio 2

Si consideri il circuito di conversione A/D in figura. L'A.O. e' ideale ove non diversamente specificato.

L'ADC e' del tipo ad inseguimento ("tracking") e presenta una resistenza di ingresso R_{ADC} finita.

I_{in} = da $(-50 \mu\text{A})$ a $(+50 \mu\text{A})$
 $R_{in} = 12.5 \text{ k}\Omega$

$R = 50 \text{ k}\Omega$
 $R_{ADC} = 1 \text{ k}\Omega$
 $f_{ck} = 10 \text{ MHz}$

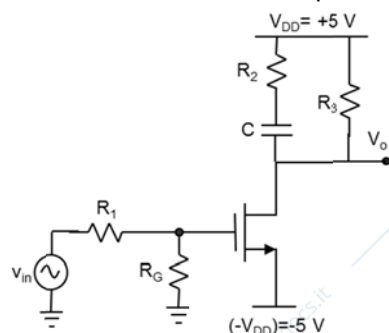
- Si determini il trasferimento ideale V_o/I_{in} e si calcoli la risoluzione della conversione referita alla corrente di ingresso.
- Si calcoli il valore della tensione V_{AUX} tale da consentire il pieno sfruttamento della dinamica dell'ADC quando I_{in} varia nell'intervallo dato.

Mantenere il valore di V_{AUX} trovato al punto precedente.

- Si assuma I_{in} al valore $0 \mu\text{A}$ da tempo sufficiente per garantire "l'aggancio" del convertitore. Al tempo $t=0$, I_{in} scatta al valore di $50 \mu\text{A}$ e, dopo un tempo $\Delta t=500$ ns, scatta al valore di partenza $0 \mu\text{A}$. Disegnare l'andamento temporale di V_o e dell'uscita dell'ADC per $t < 0$, per $0 < t < \Delta t$ e per $t > \Delta t$ (al posto del codice binario di uscita dell'ADC usare il valore della tensione analogica corrispondente).

Esercizio 3

Si consideri lo stadio di amplificazione a MOSFET in figura.



- Si calcolino tutte le tensioni e le correnti di polarizzazione del circuito, verificando le ipotesi fatte.
- Calcolare il guadagno di piccolo segnale v_o/v_{in} a bassa frequenza e ad alta frequenza.
- Tracciare i diagrammi di Bode (modulo e fase) del guadagno di piccolo segnale v_o/v_{in} . Calcolare espressamente le frequenze di tutte le singolarità ed i valori significativi del guadagno.

$k = 0.2 \text{ mA/V}^2$, $V_T = 2 \text{ V}$
 $R_1 = 1 \text{ k}\Omega$, $R_G = 9 \text{ k}\Omega$, $R_2 = 0.5 \text{ k}\Omega$, $R_3 = 2 \text{ k}\Omega$
 $C = 1 \text{ nF}$

Traccia di soluzione T.E. 06/set/2019**Es. 1****1a)**

La funzione logica della porta e' ricavabile dalla rete di pull-up esprimendo l'uscita in funzione della disposizione dei pMOS (ricordando che i pMOS si accendono con ingresso basso).

$$Y = \overline{A} * \overline{D} * (\overline{B} + \overline{C})$$

Da cui si ottiene con le leggi di DeMorgan:

$$\overline{Y} = A + B * C + D$$

La rete di pull-down si deduce facilmente da quest'ultima relazione.

1b)

Assumiamo per questo punto il modello resistivo piu' semplice (resistenza del transistor in zona ohmica) ai fini del calcolo dei tempi di propagazione dell'inverter (un modello numericamente piu' accurato si poteva ottenere con una resistenza equivalente pari al rapporto tra la tensione di overdrive e la corrente di saturazione, che risulta pari al doppio della resistenza in zona ohmica).

Calcoliamo i k equivalenti delle reti di pull-up e pull-down, quando sono pilotate dal medesimo segnale X:

$$k_{p,eq} = (1/2) * k_p \text{ serie } 2 * k_p = (5/2) k_p = 0.1 \text{ mA/V}^2 \text{ (tutti pMOS on)}$$

$$k_{n,eq} = 2 * k_n + 0.5 * k_n = 2.5 * k_n = 1.25 \text{ mA/V}^2 \text{ (tutti nMOS on)}$$

Le resistenze equivalenti della rete di pull-up e pull-down sono le seguenti:

$$R_{p,eq} = 1 / (2 * k_{p,eq} * |V_{od,p}|) = 5 \text{ kohm, con } |V_{od,p}| = 1 \text{ V}$$

$$R_{n,eq} = 1 / (2 * k_{n,eq} * V_{od,n}) = 0.4 \text{ kohm, con } V_{od,n} = 1 \text{ V.}$$

Di qui:

$$T_{pull-up} = \ln(2) * R_{p,eq} * C = 3.47 \text{ ns}$$

$$T_{pull-down} = \ln(2) * R_{n,eq} * C = 0.28 \text{ ns}$$

(si puo' notare che $T_{pull-up} / T_{pull-down} = R_{p,eq} / R_{n,eq} = 12.5$, indipendentemente dal modello resistivo usato).

Es. 2**2a)**

Il guadagno ideale dello stadio a operazionale per la corrente di ingresso e' di tipo invertente:

$$V_o = (-R) * I_{in} \quad (R_{in} \text{ e } R_{adc} \text{ non influiscono})$$

La risoluzione all'ingresso dell'ADC e' pari a

$$\Delta V_o = \text{LSB} = 5 \text{ V} / (2^{12}) = 5 \text{ V} / 4096 = 1.22 \text{ mV}$$

Quindi la risoluzione riferita all'ingresso (ΔI_{in}) sara' (trascurando il segno):

$$\Delta I_{in} * R = \text{LSB} \text{ e quindi } \Delta I_{in} = \text{LSB} / R = 0.244 * 10^{-7} \text{ A} = 24.4 \text{ nA}$$

2b)

La tensione V_{aux} si sovrappone al generatore di corrente I_{in} e produce un offset (traslazione) della tensione di uscita:

$$V_o | V_{aux} = V_{aux} * (1 + R / R_{in}) = V_{aux} * 5$$

Per determinare l'offset necessario (e quindi il valore da dare a V_{aux}), verifichiamo l'intervallo di valori entro cui varia V_o per effetto della sola corrente di ingresso:

$$V_o (I_{in} = -50 \mu\text{A}) = -(-50 \mu\text{A}) * R = +2.5 \text{ V}$$

$$V_o (I_{in} = +50 \mu\text{A}) = -(+50 \mu\text{A}) * R = -2.5 \text{ V}$$

E' necessario quindi sovrapporre un offset di +2.5 V per portare V_o nell'intervallo 0-5 V.

Imponendo:

$$V_o | V_{aux} = V_{aux} * (1 + R / R_{in}) = V_{aux} * 5 = 2.5 \text{ V}$$

si ottiene $V_{aux} = 0.5 \text{ V}$.

2c)

Per $t < 0$. La tensione $V_o(t)$ è pari a 2.5 V. L'uscita dell'ADC oscilla attorno al valore analogico 2.5 V, corrispondente al valore di corrente nulla in ingresso (oscillazione tipica dell'ADC tracking "agganciato" al segnale).

A $t=0^+$. La tensione $V_o(t)$ è scattata a 0 V. L'uscita dell'ADC non può seguire istantaneamente V_o e inizia a scendere di 1 LSB per ogni colpo di clock. L'intervallo di tempo $\Delta t=500\text{ns}$ corrisponde a 5 colpi di clock, per cui l'uscita dell'ADC fa 5 gradini, corrispondenti ad una variazione di tensione analogica di $5 \cdot \text{LSB} = 5 \cdot 1.22 \text{ mV} = 6.1 \text{ mV}$.

Per $t > \Delta t$ la tensione $V_o(t)$ è scattata al valore di partenza 2.5 V. L'uscita dell'ADC interrompe la discesa e risale di 1 LSB per ogni colpo di clock analogamente a prima, e raggiunge quindi il livello di partenza (2.5 V) dopo 5 gradini (ovvero in un tempo $\Delta t=500\text{ns}$). Di lì in avanti continua ad oscillare "agganciata" a quel valore.

Es. 3**3a)**

Per il calcolo della polarizzazione C è aperta. La tensione di gate $V_g=0$ e quindi $V_{gs}=5 \text{ V}$.

Assumendo il MOS saturo, possiamo calcolare la corrente di drain:

$$I_d = k \cdot (V_{gs} - V_t)^2 = 0.2 \text{ mA/V}^2 \cdot (5 - 2)^2 = 1.8 \text{ mA}$$

$$V_d = 5 \text{ V} - R_3 \cdot I_d = 5 \text{ V} - 3.6 \text{ V} = 1.4 \text{ V}$$

Essendo $V_{ds} = V_d - (-5 \text{ V}) = 6.4 \text{ V} > V_t = 2 \text{ V}$, l'ipotesi di saturazione è verificata.

3b)

Il partitore in ingresso determina la v_g :

$$v_g = v_{in} \cdot R_G / (R_G + R_1) = 0.9 \cdot v_g$$

Poi abbiamo il guadagno dello stadio source a massa.

A bassa frequenza C è aperta e la resistenza sul drain è pari a $R_3 = 2 \text{ kohm}$:

$$v_o / v_g = (-g_m \cdot R_3) = (-2.4) \text{ e quindi } v_o / v_{in} = 0.9 \cdot (-2.4) = (-2.16)$$

Ad alta frequenza C è chiusa e la resistenza sul drain è pari a $R_2 // R_3 = 0.476 \text{ kohm}$:

$$v_o / v_g = (-g_m \cdot R_2 // R_3) = (-0.48) \text{ e quindi } v_o / v_{in} = 0.9 \cdot (-0.48) = (-0.432)$$

3c)

Per avere la F_dT in funzione della frequenza si può ricalcolare il guadagno dello stadio source a massa:

$$v_o = v_g \cdot (-g_m \cdot Z_d), \text{ dove } Z_d \text{ è l'impedenza sul drain, pari a } Z_d = R_3 \cdot (1 + s \cdot C_2 \cdot R_2) / (1 + s \cdot C_2 \cdot (R_2 + R_3))$$

La F_dT complessiva ha 1 polo e 1 zero dovuti a C:

$$v_o / v_{in}(s) = -R_G / (R_G + R_1) \cdot g_m \cdot R_3 \cdot [(1 + s \cdot C_2 \cdot R_2) / (1 + s \cdot C_2 \cdot (R_2 + R_3))]$$

$$f_p = 1 / (2\pi \cdot C_2 \cdot (R_2 + R_3)) = 63.7 \text{ kHz}$$

$$f_z = 1 / (2\pi \cdot C_2 \cdot R_2) = 318 \text{ kHz}$$

$$(\text{modulo}) \text{ guadagno bassa frequenza } R_G / (R_G + R_1) \cdot g_m \cdot R_3 = 0.9 \cdot 2.4 = 2.16$$

$$(\text{modulo}) \text{ guadagno alta frequenza } R_G / (R_G + R_1) \cdot g_m \cdot (R_2 // R_3) = 0.9 \cdot 0.48 = 0.432$$

Che corrispondono naturalmente ai valori trovati direttamente sul circuito al punto 3b.

Il diagramma della fase parte da 180 gradi, in corrispondenza del polo a f_p scende verso 90 gradi (ma lo zero interagisce già con il polo in quanto $f_z / f_p = 5$ e ne compensa in parte la variazione) e in corrispondenza dello zero risale asintoticamente a 180 gradi.