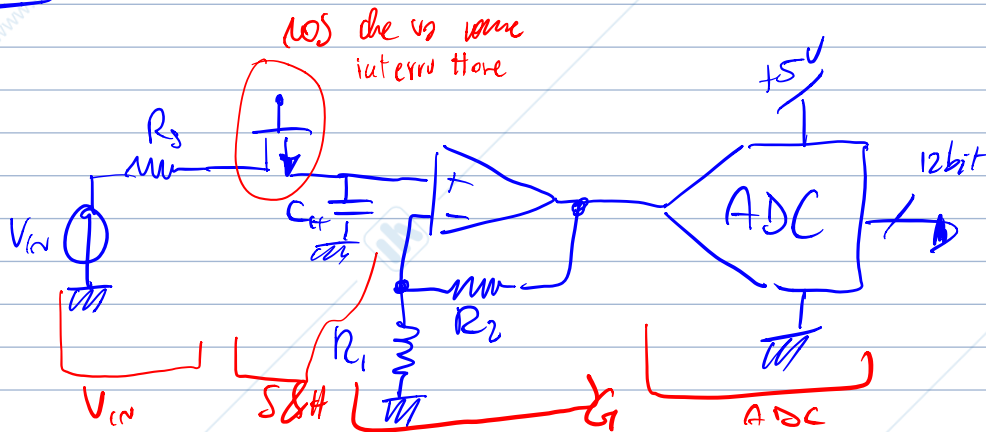


ESERCITAZIONE 10

ADC.

ED. 4



a) Calcolare valore di R_2 che permette al V_{IN} di utilizzare tutta la dinamica di V_{IN} :

La DINAMICA DELL'INGRESSO dell'ADC è data dalla differenza tra tensione massima e minima che possono essere convertite:

$$DINAMICA_{ADC} = 5V - 0V = 5V = V_{ADCmax}$$

Tra V_{IN} e ingresso ADC (V_{ADC}) c'è rapporto di Guadagno dato dall'OP.AMP. $\Rightarrow V_{ADC} = G \cdot V_{IN}$

Calcolo GUADAGNO MASSIMO DELLO STADIO AMPLIFICAZIONE sapendo i valori che assume l'ingresso $0 < V_{IN} < 200mV$ e V_{ADCmax}

$$G_{max} = \frac{V_{ADCmax}}{V_{INmax}} = \frac{5V}{200mV} = 25$$

\Rightarrow Determino R_2 :

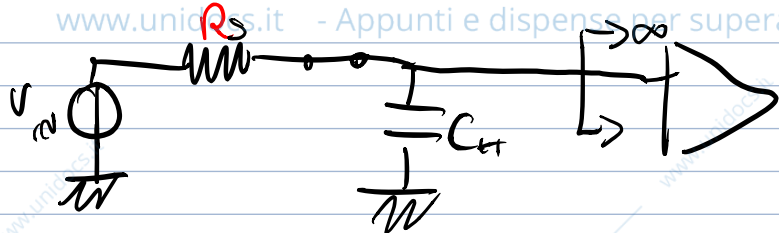
NB: è App. OP. IN CONFIG. NON INVERTENTE

$$G = 1 + \frac{R_2}{R_1} = 25 \Rightarrow R_2 = 24R_1 = 24k\Omega$$

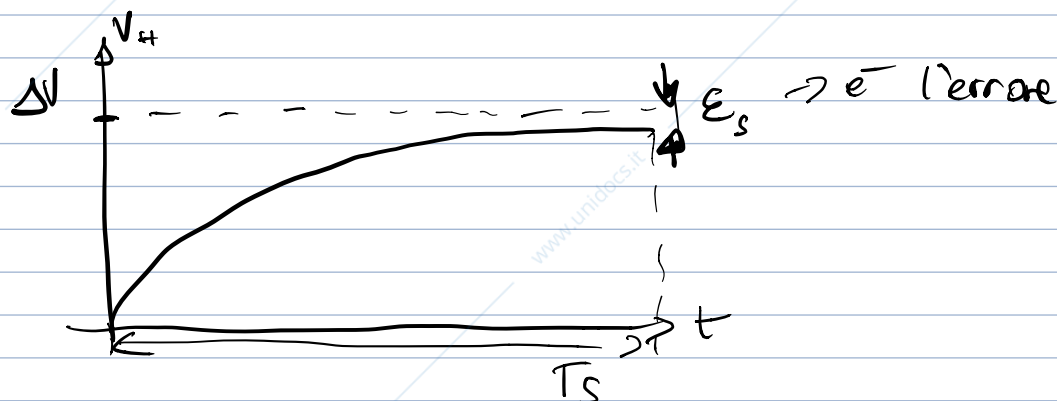
NB: vedere guadagni OP.AMP. INVERTENTE, NON INV., INSEGUITE

b) Assumo MOS ideale ($R_{on} = 0\Omega$) e Tempo Sampling $T_S = 1/\mu s$ del max valore R_S che permette di convertire il segnale di ingresso con errore inferiore a 0,5 LSB:

Considero $R_{on} = 0\Omega$ e $T_S = 1/\mu s$
 QUESTA È la parte di SAMPLE, il circuito è:



↳ dato un segnale $V_{in} = \Delta V$, avremo la tensione V_H che si carica attraverso R_s e $C_H \Rightarrow$ carica esponenziale della $C_H \Rightarrow V_H = \Delta V (1 - e^{-t/\tau})$



Dopo un tempo T_s avremo l'errore: $E_s = \Delta V e^{-\frac{T_s}{R_s C_H}}$

⇒ Errore \bar{c} MASSIMO quando la tensione di ingresso \bar{c} MASSIMA, \Rightarrow quando \bar{c} $\Delta V = 200mV$

$$E_{S\text{MAX}} = 0,2 \cdot e^{-\frac{1\mu s}{R_s C_H}}$$

Voglio Errore MINORE di 0,5 LSB

$$\hookrightarrow \text{LSB}_{\text{ADC}} = \frac{5V}{2^{12}} \Rightarrow \text{LSB}_{\text{IN}} = \frac{5V}{2^{12}} \cdot \frac{1}{G} = \frac{1}{5 \cdot 2^{12}}$$

$$\Rightarrow E_{S\text{MAX}} < 0,5 \text{ LSB} \Rightarrow 0,2 e^{-\frac{1\mu s}{R_s C_H}} < \frac{1}{2} \cdot \frac{1}{5 \cdot 2^{12}}$$

$$\rightarrow e^{-\frac{1\mu s}{R_s C_H}} < \frac{1}{8192} \Rightarrow R_s C_H < \frac{1\mu s}{\ln(8192)} = 111 \text{ ns}$$

$$\Rightarrow R_s < \frac{111 \text{ ns}}{C_H} \rightarrow R_s < 118 \Omega$$

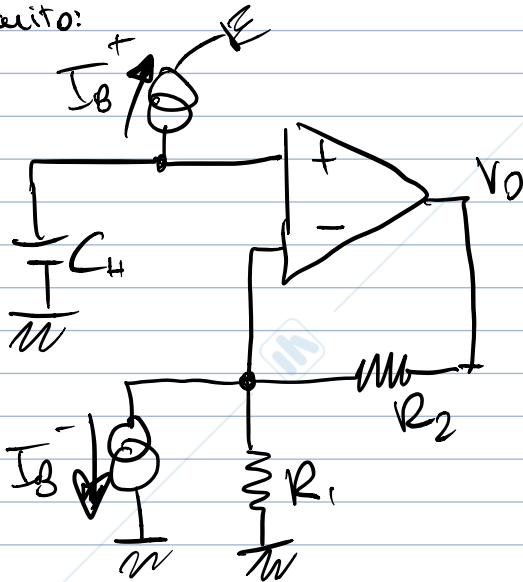
c) Considero correnti BIAS: $I_{\text{BIAS}} = 1\mu A$ e tempo HOLD $T_H = 10$

Det. errore al termine della fase di HOLD dovuto alle correnti di BIAS ed esprimerlo in LSB:

|

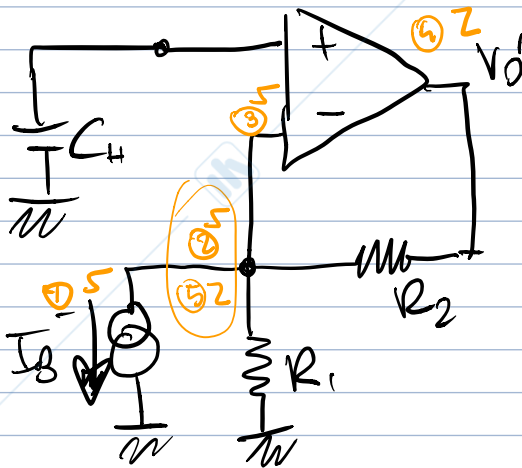
↳ QUESTA È LA PARTE DI HOLD: IL MOSFET SI APRE IN HOLD E DIVENTA UN INTERRUOTTORE APERTO.

Circuito:



Uso P.S.E. e calcolo degli effetti delle correnti di Bias sulla tensione d'uscita:

↳ I_B^- ACCESO:

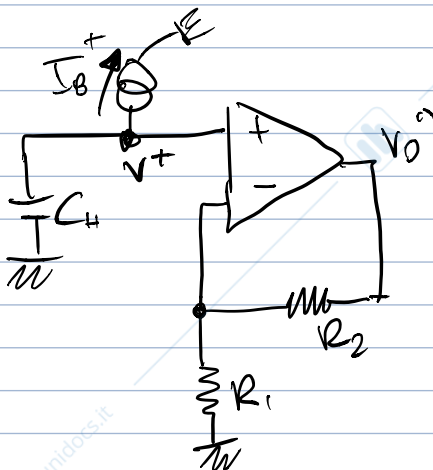


retroaz. negativo

$$V^+ = V^- = 0 \Rightarrow I_{R1} = 0$$

$$V_0' = I_B^- R_2 = 2 \text{ mV}$$

↳ I_B^+ ACCESO:



La I_B^+ scarica lentamente la carica accumulata da C_H

⇒ diminuisce valore della tensione di HOLD

durante il tempo di HOLD:

$$V^+ = - \frac{I_B^+ T_H}{C_H}$$

$$\Rightarrow V_0'' = V^+ \left(1 + \frac{R_2}{R_1} \right) = -250 \text{ mV}$$

ricorda È AMP.OP. NON INV.

⇒ Le correnti di BIAS danno errore alla fine della fase

$$\text{di HOLD pari a: } V_0 = V_0' + V_0'' = 24\text{mV} - 250\text{mV} = -226\text{mV}$$

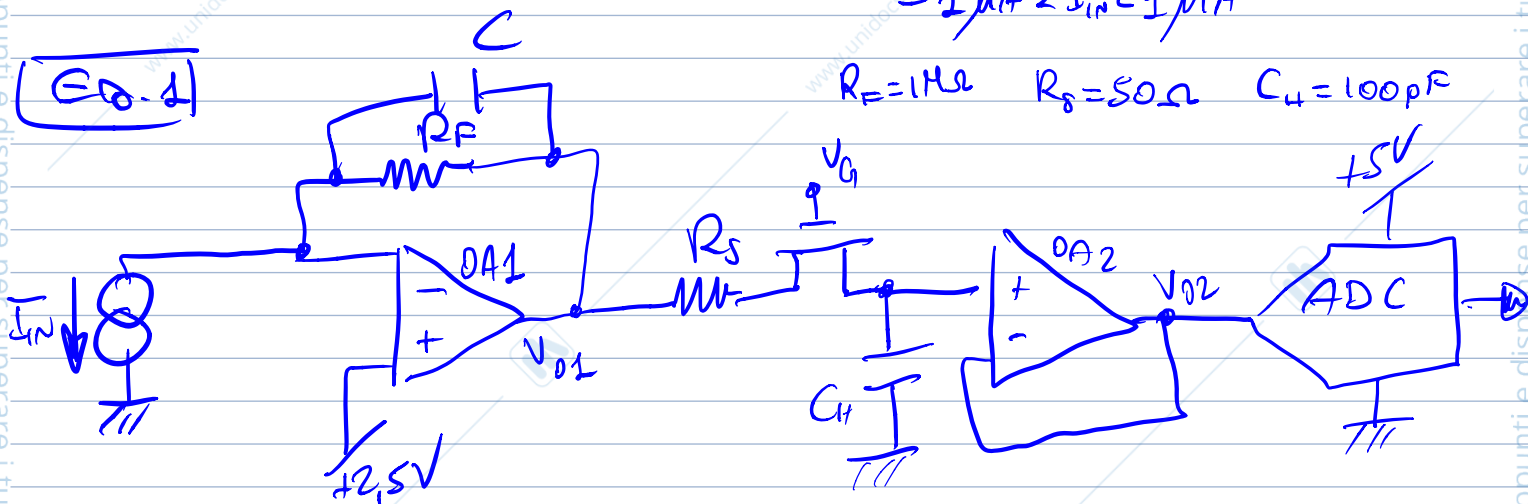
$$\text{so che } \text{LSB}_{\text{ADC}} = \frac{5\text{V}}{2^{12}} = 1,2\text{mV}$$

↳ Errore in uscita espresso in LSB è:

$$\frac{|V_0|}{\text{LSB}_{\text{ADC}}} = \frac{226\text{mV}}{1,2\text{mV}} = 188 \text{ LSB}$$

ESERCITAZIONE 11

Es. 1



a) Det. num. min. bit richiesti da ADC per convertire I_{IN} con una risoluzione migliore di 1nA (in DC) e calcolare quale variazione di corrente di ingresso corrisponde a un LSB del convertitore

→ IN DC le capacità C_F e C_H sono circ. aperti

→ uso P.S.E. per calcolare la V_{bit} dell'OP.AMP.1:

$$\hookrightarrow V_{out1} = R_F I_{IN} + 2,5\text{V}$$

→ L'op. AMP.2 è in configurazione buffer ⇒ $V_{out2} = V_{out1}$

A una variaz. di 1nA nella I_{IN} ho una variaz. di output:

$$\Delta V_{out2} = \Delta V_{out1} = \Delta I_{IN} R_F = 1\text{nA} \cdot 1\text{M}\Omega = 1\text{mV} \quad \text{Volt sopra ADC.}$$

↳ Voglio ADC con sensibilità di almeno 1mV ⇒ $N \geq \frac{5\text{V}}{1\text{mV}} = 5000$

$$\Rightarrow M_{bit} \geq \log_2 5000 = 12,3\text{bit} \Rightarrow M_{bit} = 13\text{bit}$$

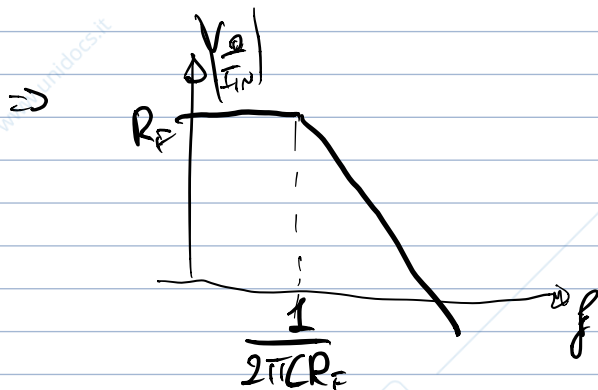
Trovo risoluzione in ADC: $LSB_{ADC} = \frac{5}{2^3} = \frac{5V}{8192} = 0,6mV$

$$LSB_{IN} = \frac{LSB_{ADC}}{R_F} = \frac{0,6mV}{1k\Omega} = 0,6\mu A \text{ che \u00e9 la pi\u00f9 piccola variazione apprezzabile.}$$

b) Ingresso di disturbo $I_d = 10nA_{eff}$ (200kHz) sovrapposto al segnale di ingresso. Assumo AOP e il S/H ideali; Det. valore

minimo di C per garantire un errore dovuto al disturbo inferiore a 1LSB.

F.d.T. del circ. in funzione di I_{in} \u00e9 data da: $V_{OUT2} = V_{OUT1} = I_{IN} \left(R_F // \frac{1}{sC} \right)$
 (ho calcolato cos\u00ec la V_{OUT2} dicono l'OP.AMP. \u00e9 ideale e la C diventa $Z_C = \frac{1}{sC}$) $= \frac{R_F}{1 + sR_F C} \cdot I_{IN}$



Voglio che disturbo a 100kHz sia $< 1LSB$

suppongo che polo introdotto dalla capacit\u00e0 sia inferiore a 100kHz.

$$\frac{1}{2\pi R_F C} < 100kHz \text{ con:}$$

$$V_{OUT} \approx I_d \cdot \frac{R_F}{2\pi f R_F C} = I_d \cdot \frac{1}{2\pi f C} < 1LSB_{ADC}$$

$$\Rightarrow C > \frac{I_d}{2\pi f LSB_{ADC}} = 26,5 pF$$

c) Det. tensione gate massima e minima da applicare al PMS durante le fasi di S/H, considerando una $V_T = -1,2V$ del PMS.

Determino tensioni MAX e MIN in ingresso all'ADC sulla capacit\u00e0 C_H :

$$V_H = V_{OUT2} = 2,5V + R_F I_{IN}$$

$$V_{HMAX} = 2,5V + R_F I_{INMAX} = 2,5V + 1k\Omega \cdot 1\mu A = 3,5V$$

$$V_{HMIN} = 2,5V - R_F I_{INMIN} = 2,5V - 1k\Omega \cdot 1\mu A = 1,5V$$

La V_H \u00e9 la tensione del SOURCE del PMS di S/H.

⇒ Calcolo tensioni gate per accensione e spegnimento pmos:

↳ IN HOLD: pmos spento: $V_{GS} \geq V_{tp}$

$$V_{G_{HOLD}} > V_{S_{MAX}} + V_t = 3,5 - 1,2V = 2,3V$$

↳ IN SAMPLE: pmos acceso: $V_{GS} < V_{tp}$:

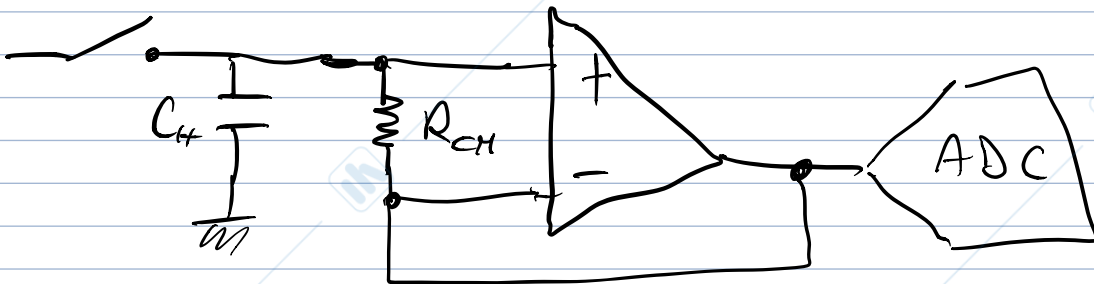
$$V_{G_{SAMPLE}} < V_{S_{MIN}} + V_{tp} = 1,5 - 1,2V = 0,3V$$

⇒ pmos acceso IN SAMPLE se $V_{G_{MIN}} < 0,3V$

⇒ pmos spento IN HOLD se $V_{G_{MAX}} > 2,3V$

di considerare una resistenza di regresso di modo comune per OAZ pari a $R_{CM} = 1G\Omega$.

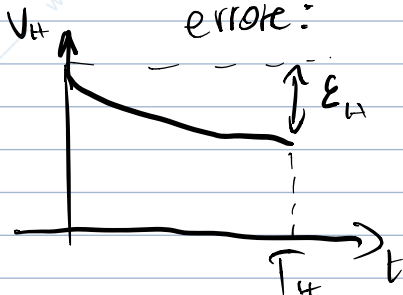
Det. la Max durata della fase di Hold:



C'è $R_{CM} \Rightarrow$ la carica accumulata in C_H si scarica:

$$V_H = \Delta V e^{-t/\tau} \Rightarrow \text{la tensione sulla capacità}$$

si smentola dalla tensione che voglio campionare e c'è un errore:



$$E_H = \Delta V (1 - e^{-\frac{T_H}{\tau}})$$

$$E_{H_{MAX}} = \Delta V_{MAX} (1 - e^{-\frac{T_H}{\tau}}) < 1 \text{ LSB}$$

$$3,5V (1 - e^{-\frac{T_H}{R_{CM} C_H}}) < 0,6mV$$

$$\Rightarrow T_H < 17\mu s$$

e) $f_{CLK} = 50kHz$ e freq. campionamento di 1Msample/s.

Quale ADC è meglio usare tra: FLASH, GRADINATA o AD APPROSSIMAZIONI SUCCESSIVE?

↳ freq. campionamento: $1'000'000$ sample/s \Rightarrow tempo di conversione: $\frac{1}{1'000'000} = 1 \mu s$

\Rightarrow ADC FLASH: $T_{CONV_FLASH} = T_{CLK} = \frac{1}{f_{CLK}} = \frac{1}{50MHz} = 20ns$

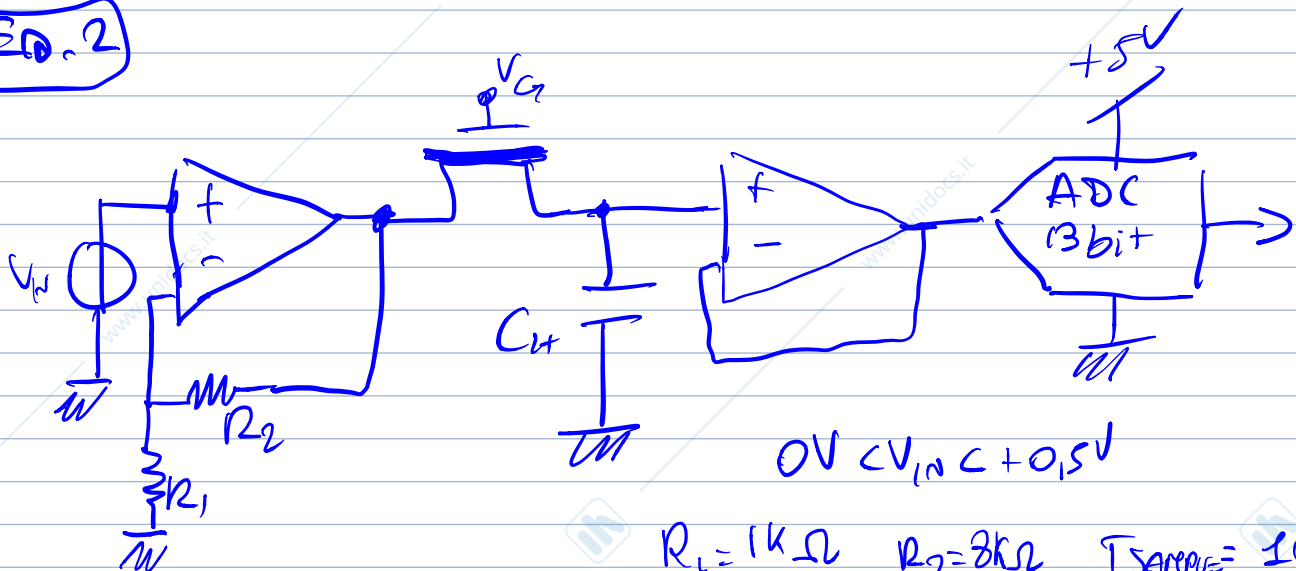
↳ NON va bene perché abbiamo ADC con più di 10bit ed è difficile da costruire.

ADC A GRADINATA: $T_{CONV_GRAD} = 2^{n_{bit}} \cdot T_{CLK} = 2^{n_{bit}} \cdot \frac{1}{f_{CLK}} = 163 \mu s \Rightarrow$ NON È ABBASTANZA VELOCE.

ADC SAR: $T_{CONV_SAR} = n_{bit} \cdot T_{CLK} = n_{bit} \cdot \frac{1}{f_{CLK}} = (3 \cdot 20ns) = 260ns$

↳ ADC SAR va bene! Solo con i più giusti ADC SAR fino a 16 bit.

Ed. 2



$0V < V_{in} < +0,5V$

$R_1 = 1k\Omega$ $R_2 = 3k\Omega$ $T_{SAMPLE} = 100ns$

freq. campionamento $f_c = 1MHz$.

a) Det. la Risoluzione della tensione in ingresso V_{in} :

Risoluzione ADC: $LSB_{ADC} = \frac{5V}{2^{13}} = 0,6mV$

Guadagno tra l'input ingresso e ADC: $G = 1 + \frac{R_2}{R_1} = 3$ (A.O. in CONF. NON INV.)

\Rightarrow Risoluzione in ingresso: $LSB_{in} = \frac{LSB_{ADC}}{G} = \frac{0,6mV}{3} = 66,7 \mu V$

b) Se ADC è tipo SAR, det. f_{clk} compatibili con i tempi di S&H previsti:

$T_{camp} = \frac{1}{f_{camp}} = 1\mu s$, Tempo di campionamento è dato da somma di tempo di Sample e di HOLD $\Rightarrow T_{camp} = T_S + T_H$

$\Rightarrow T_H = T_{camp} - T_S = 1\mu s - 100ns = 900ns$

\Rightarrow Tempo conversione ^{di ADC} T deve essere $<$ di T_H

$\hookrightarrow T_{conv} < 900ns$

\hookrightarrow nel SAR: $T_{convSAR} = nbit \cdot T_{clk} = 13 \cdot \frac{1}{f_{clk}}$

$\Rightarrow T_{convSAR} < 900ns \Rightarrow nbit \cdot T_{clk} < 900ns$

$T_{clk} < \frac{900ns}{13} \Rightarrow f_{clk} > \frac{1}{\frac{900ns}{13}} = \frac{13}{900ns} = 14,4MHz$

c) Assumere che le correnti di Bias dell'A.D.2 siano $I_B = 100nA$ e che l'interruttore MOS sia equivalente a $R_{mos} = 50\Omega$.

Calcolare l'intervallo di valori di C_H compatibili con i tempi di S&H.

FASE DI HOLD: La corrente di polarizzazione (BIAS) scarica la capacità, e questo errore deve essere $<$ a un LSB

$\Rightarrow \Delta V = \frac{I_B T_H}{C_H} < LSB_{ADC} \rightarrow C_H > \frac{I_B T_H}{LSB_{ADC}} = \frac{100nA \cdot 900ns}{0,6mV} = 150pF$

FASE DI SAMPLE:

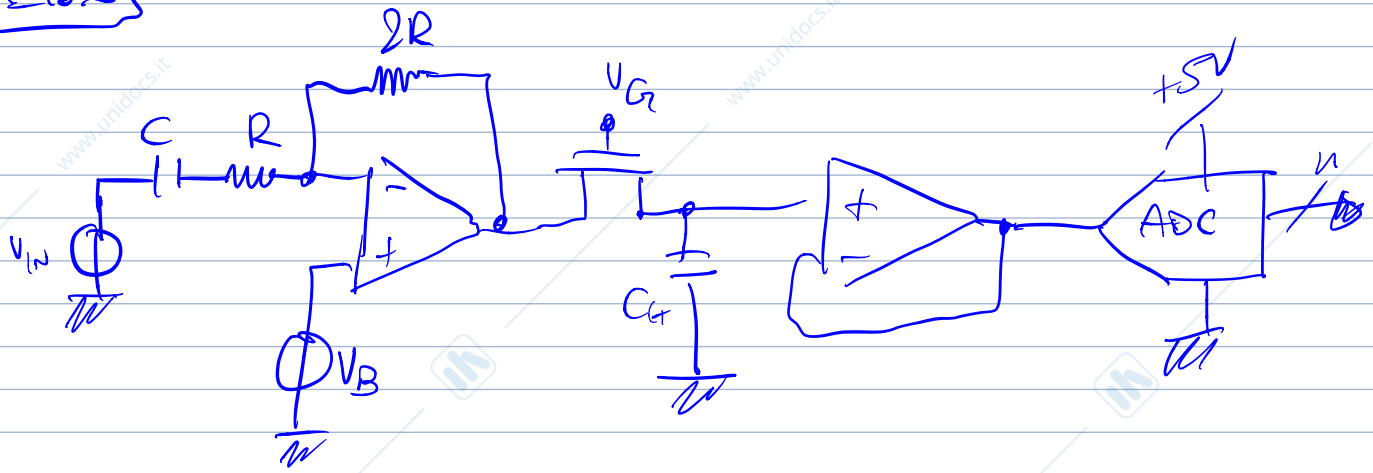


$\epsilon_D = \Delta V e^{-t/\tau}$
 $\Delta V_{max} e^{-\frac{T_S}{R_{mos} C_H}} < LSB_{ADC}$
 $\frac{0,5V \cdot 9}{V_{in,max} \cdot G} e^{-\frac{100ns}{50\Omega C_H}} < 0,6mV$

$\Rightarrow C_H < 224pF$

\Rightarrow La Capacità di Hold deve essere scelta tra: $150pF < C_H < 225pF$

ES.3



$$V_{in} = 1V \sin(2\pi f_{in} t) \quad R_F = 1M\Omega \quad R_S = 50\Omega \quad C_T = 1nF \quad V_{TA} = 1V$$

$$k_n = 1mA$$

Capacitor C e da considerarsi chiuso alla frequenza di segnale di ingresso.

e) Det. intervallo di valori accettabili per la tensione di polarizzazione

V_B e il numero di Bit dell'ADC in modo da avere una risoluzione in ingresso migliore di 1mV.

Uso P.S.E. per calcolare l'espressione di V_{OUT} dell'O.A.

$$V_{OUT} = V_B - \frac{2R}{R} V_{IN} = V_B - 2V_{IN}$$

Tensioni MAX e MIN sono: qui sfruttato che è un Amp. OP. invertente.

$$\hookrightarrow V_{OUT MAX} = V_B - 2V_{IN MIN} = V_B + 2V$$

$$V_{OUT MIN} = V_B - 2V_{IN MAX} = V_B - 2V$$

lungo $0 < V_{OUT} < 5V$ per adattare la dinamica a quella dell'ADC, la tensione V_B :

$$\underbrace{2V}_{0+2V} < V_B < \underbrace{3V}_{5-2V}$$

Guadagno tra V_{OUT} e V_{IN} di $\times 2$ (A.O. invertente)

\hookrightarrow la risoluzione deve essere almeno $2 \cdot 1mV = 2mV$

$$\Rightarrow LSB_{ADC} < 2mV \rightarrow \frac{5V}{2^{nbit}} < 2m \Rightarrow 2^{nbit} > \frac{5V}{2mV}$$

$$2^{nbit} > 2500 \Rightarrow nbit = 12bit.$$

b) Det minima freq. clock dell'ADC SAR che consente la corretta digitalizzazione del segnale di ingresso V_m quando $f_{in} = 1 \text{ MHz}$

$T_{conv, SAR} = n \cdot \text{bit} \cdot f_{CLK}$; la digitalizzazione deve essere più veloce del tempo di HOLD

$$T_{conv} < T_H$$

$$T_{AMP} = T_H + T_S$$

↳ Per il teorema di SHANNON per poter campionare la sinusoide in ingresso è necessario che la freq. di CAMPIONAMENTO sia almeno il doppio della freq. del segnale di ingresso $\Rightarrow f_{CAMP} > 2f_{in}$

$$\rightarrow f_{CAMP} = 2 \text{ MHz}, \quad T_{AMP} = \frac{1}{f_{CAMP}} = 500 \text{ ns}$$

\Rightarrow Tempo conv. del SAR deve essere minore del tempo di campionamento $\Rightarrow n \cdot T_{CLK} < T_{AMP} = 500 \text{ ns}$

$$\Rightarrow f_{CLK} = \frac{1}{T_{CLK}} = \frac{12}{500 \text{ ns}} = 24 \text{ MHz}$$

c) Calcolare le tensioni V_H e V_L dell'interruttore NMOS in caso

da avere una resistenza di ON $< 50 \Omega$ ed un margine di 1V nella tensione di spegnimento.

V_L è la tensione da applicare all'NMOS affinché sia spento

\rightarrow MOS OFF: $V_{GS} < V_t$ ma ho margine di 1V per $V_{in} \Rightarrow V_{GS} < V_t - 1V$

$$\Rightarrow V_L = V_G \leq V_{SMIN} + V_t - 1V = 1V + 2,5V - 1V = 0,5V$$

V_H è quando NMOS acceso: \rightarrow MOS ON: $V_{GS} > V_t$ e viene chiesto

di avere resistenza $R_{ds(on)} < 50 \Omega$ per qualunque V_{in}

$$\Rightarrow R_{ds(on)} = \frac{1}{2k_n(V_{GS} - V_t)} < 50 \Omega \rightarrow V_{GS} - V_t > \frac{1}{50 \Omega \cdot 2k_n} \rightarrow V_{GS} - V_t > 10V$$

$$\Rightarrow V_H = V_G > V_{SMAX} + V_t + V_B + 10V = 2V + 1V + 2,5V + 10V = 15,5V$$