

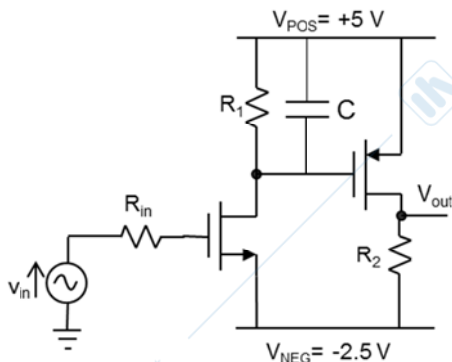
Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2015/2016

Appello del 30 Settembre 2016

**Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...
L'esatta risoluzione delle domande in grassetto e' obbligatoria per la correzione completa della prova**

Esercizio 1.

Si consideri l'amplificatore a MOSFET in figura.

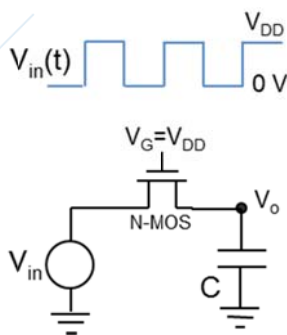


- Polarizzare il circuito.**
- Calcolare il guadagno di piccolo segnale v_{out}/v_{in} e tracciare il diagramma di Bode del modulo.**
- Assumendo un ingresso sinusoidale $v_{in}=A*\sin(2\pi ft)$ con $f=1$ MHz, si determini la condizione che deve soddisfare A affinché v_{in} possa essere considerato un "piccolo" segnale.
- Calcolare la massima ampiezza di un gradino negativo di tensione all'ingresso che mantenga entrambi i transistori in zona di saturazione.

Dati: $R_{in} = 20$ k Ω , $R_1 = 2$ k Ω , $R_2 = 2.5$ k Ω , $C = 1$ nF,
 $k_n = |k_p| = 0.25$ mA/V², $V_{Tn} = |V_{Tp}| = 0.5$ V

Esercizio 2.

Si consideri il circuito in figura.

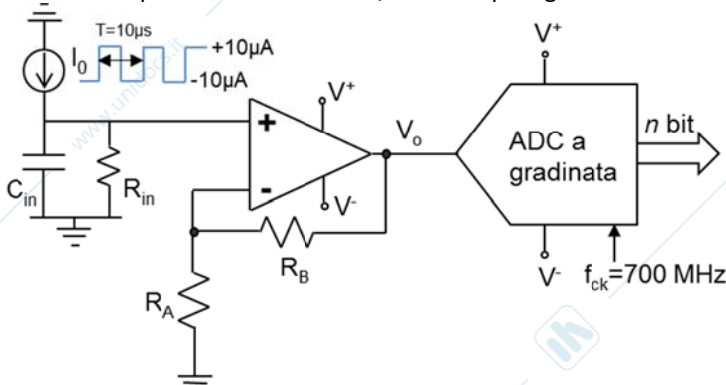


- Si calcoli la tensione sul condensatore V_o a regime, ovvero molto tempo dopo l'applicazione della tensione di ingresso, nei seguenti casi: i) $V_{in}=0$ V, ii) $V_{in}=V_{DD}$.**
- Di qui in avanti la tensione di ingresso V_{in} sia un'onda quadra con $f=10$ MHz (vedi figura). Determinare la zona di funzionamento del transistor nMOS all'istante appena successivo al fronte negativo di V_{in} e indicare quale terminale sia quello di source.
- Assumendo ragionevoli approssimazioni per il transistor, si determinino le costanti di tempo relative alle transizioni LH e HL e si disegni il grafico temporale di $V_o(t)$ in almeno due periodi quotando tutti i dettagli significativi.

Dati: $V_{DD} = 5$ V, $C=10$ pF, $k=1$ mA/V², $V_T=1$ V

Esercizio 3.

Si consideri la catena di acquisizione mostrata in figura. Il generatore di corrente I_0 eroga un segnale ad onda quadra con periodo $T=10$ μ s ed il convertitore A/D e' del tipo a gradinata.



Dati:

$R_{in} = 100$ M Ω
 $C_{in} = 500$ pF
 $R_A = 1$ k Ω , $R_B = 9$ k Ω
 $V^+ = 5$ V
 $V^- = -5$ V

- Motivando la risposta, disegnare l'andamento nel tempo della tensione di uscita $V_o(t)$ quando in ingresso e' applicato il segnale di corrente I_0 , quotando tutti i punti significativi (si consideri l'amplificatore operazionale ideale).
- Si assuma che l'amplificatore operazionale abbia una resistenza di ingresso differenziale $R_{id}=1$ M Ω e $A_0=100$ dB. Si calcoli l'effetto di R_{id} sulla risposta calcolata al punto precedente.
- Determinare il margine di fase del circuito se l'amplificatore operazionale e' caratterizzato da $A_0=100$ dB, costante di tempo $\tau_0=100$ ms e da una resistenza di ingresso differenziale $R_{id}=1$ M Ω .
- Si assuma ora che $V_o(t)$ sia un'onda triangolare con periodo $T=10$ μ s avente valori estremi -1 V e 1 V. Determinare il numero massimo di bit del convertitore analogico-digitale affinché l'errore massimo nella conversione, dovuto alla mancanza di un circuito di Sample&Hold, sia inferiore ad 1 LSB.

Traccia di Soluzione tema d'esame 30 settembre 2016

Esercizio 1

1a) polarizzazione

$$V_{gs1}=2.5V$$

$$I_{p. \text{ Saturazione}}: I_{d1}=k_n \cdot (V_{gs1}-V_{tn})^2=1 \text{ mA}$$

$$V_{d1}=3V$$

Controllo Hp.: $V_{ds1}=5.5V > V_{gs1}-V_{tn}=2V$, nMOS saturo.

$$V_{gs2}=-2V$$

$$I_{d2}=k_p \cdot (V_{gs2}-V_{tp})^2=0.5625 \text{ mA}$$

$$V_{d2}=-1.09V$$

Controllo Hp.: $V_{ds2}=-6.09V < V_{gs2}-V_{tp}=-1.5V$, pMOS saturo.

1b) guadagno piccolo segnale, diagramma Bode

$$g_{m1}=1 \text{ mA/V}$$

$$g_{m2}=0.75 \text{ mA/V}$$

$$v_{out1}=-g_{m1} \cdot Z_1 \cdot v_{in}=-g_{m1} \cdot R_1 \cdot v_{in}/(1+s \cdot C \cdot R_1)$$

$$v_{out}/v_{in}=v_{out1} \cdot (-g_{m2} \cdot R_2)/v_{in}=g_{m1} \cdot R_1 \cdot g_{m2} \cdot R_2/(1+s \cdot C \cdot R_1)$$

$$v_{out}/v_{in}(0)=g_{m1} \cdot R_1 \cdot g_{m2} \cdot R_2=3.75$$

$$f_p=1/(2 \cdot \pi \cdot R_1 \cdot C)=1/(2 \cdot \pi \cdot 2 \mu s)=79.6 \text{ kHz}$$

1c) condizione piccolo segnale

$$\text{Transistore nMOS: } |v_{gs1}| \ll 2 \cdot (V_{gs1}-V_{tn})=4V$$

$$\rightarrow |v_{in}|=|v_{gs1}| \ll 4V$$

$$\text{Transistore pMOS: } |v_{gs2}| \ll 2 \cdot |V_{gs2}-V_{tp}|=3V$$

$$\text{In questo caso } |v_{gs2}|=|v_{in}| \cdot g_{m1} \cdot |Z_1|=|v_{in}| \cdot g_{m1} \cdot R_1/|1+j \cdot \omega \cdot R_1 \cdot C|$$

Essendo $f=1 \text{ MHz} \gg f_p=79.6 \text{ kHz}$, possiamo approssimare:

$$|v_{gs2}|=|v_{in}| \cdot g_{m1} \cdot R_1/(\omega \cdot R_1 \cdot C)=|v_{in}| \cdot g_{m1} \cdot R_1/(f/f_p)=|v_{in}| \cdot 2/12.56 \ll 3V$$

$\rightarrow |v_{in}| \ll 18.8V$ condizione meno stringente rispetto a quella dovuta al nMOS, che limita l'ampiezza del segnale $\ll 4V$.

1d) Con uno step negativo in ingresso entrambi i transistori tendono a spegnersi.

$$\text{Condizione limite per avere nMOS OFF: } V_{gs1}=V_{tn} \geq 0.5V \rightarrow (v_{in}-V_{neg}) \geq 0.5V$$

$$\text{Essendo } v_{in}=(-A), \text{ la condizione diventa } (-A+2.5V) \geq 0.5V, \text{ da cui } \underline{A_{max}=2V}$$

$$\text{Condizione limite per avere pMOS OFF: } V_{gs2} \leq V_{tp} = -0.5V \rightarrow V_{g2}|_{max}=V_{pos}-0.5V=4.5V$$

$$\text{Essendo } V_{g2}=V_{g20}+v_{in} \cdot (v_{out1}/v_{in}(0))=3V+(-A) \cdot (-2)=3V+2 \cdot A \text{ (°°°)}$$

La condizione $V_{g2}|_{max}=4.5V$ porta a $A_{max}=0.75V$ che risulta la condizione piu' stringente per A.

(°°°n.b. si usa il valore del trasferimento in DC per il calcolo del valore a regime della risposta al gradino)

Esercizio 2

2a)

Caso $V_{in}=0$:

Essendo V_o compresa tra 0-5V, il source e' il terminale dal lato di V_{in} .

$V_{gs}=5V$, nMOS sempre ON, per cui il condensatore si scarica tramite l'nMOS e tende al valore $V_o=0V$.

Caso $V_{in}=V_{dd}=5V$:

Essendo V_o compresa tra 0-5V, il source questa volta e' il terminale dal lato di V_o .

La $V_{gs}=V_{dd}-V_o$ quindi cambia con V_o . Il nMOS e' ON e carica il condensatore verso $V_{in}=5V$ fino a che $V_{gs} \geq V_t=1V$, quindi fino al valore $V_o=V_{dd}-V_t=4V$. In quell'istante il nMOS si spegne e V_o mantiene il valore di finale 4V.

2b) onda quadra 10 MHz, l'istante di commutazione di un fronte di discesa di V_{in} sia a $t=0$.

Prima del fronte negativo ($t=0^-$), $V_{in}=V_{dd}$ e V_o e' assunta essere a regime cioe' pari a 4V (regime da verificare ***)

Appena dopo il fronte negativo ($t=0^+$), $V_{in}=0V$ e V_o mantiene il valore 4V.

Quindi il source e' la $V_{in}=0V$, il drain e' la $V_o=4V$ (il gate $V_g=5V$). In queste condizioni il MOS e' al bordo di saturazione essendo $V_{ds}=4V=(V_{gs}-V_t)$.

*** verifica regime:

assumiamo un modello resistivo per il nMOS, pari alla corda nel piano I_d-V_{ds} che unisce il punto di lavoro (all'istante $t=0^+$) e l'origine:

$$R_{onHL}=V_{ds}/I_{dsat}=4V/(k \cdot (V_{gs}-V_t)^2)=4V/16 \text{ mA}=250 \text{ Ohm}$$

$$\text{Costante di tempo}=R_{onHL} \cdot C=2.5 \text{ ns} \ll \text{semiperiodo}=50 \text{ ns}$$

2c) Assumendo (per uniformità) la medesima approssimazione resistiva usata al punto precedente, calcoliamo la resistenza per la transizione LH a partire dal punto di lavoro del MOS all'istante successivo al fronte positivo dell'ingresso: il source e' la $V_0=0$ V, il drain e' la $V_{in}=5$ V, il gate $V_g=5$ V.
In queste condizioni il MOS e' saturo con $V_{ds}=5$ V $>$ $V_{gs}-V_t=4$ V. Stimiamo la resistenza $R_{onLH}=V_{ds}/I_{dsat}=5$ V/($k*(V_{gs}-V_t)^2$)=5 V/16 mA=312.5 Ohm, leggermente superiore al quella del fronte negativo.

Le corrispondenti costanti di tempo sono quindi:

$$\tau_{LH}=R_{onLH}*C=3.125$$
 ns

$$\tau_{HL}=R_{onLH}*C=2.5$$
 ns

Con i dati ottenuti si puo' disegnare il grafico complessivo di $V_0(t)$.

Esercizio 3

3a) calcolo di $V_0(t)$

Il guadagno ideale dell'amplificatore e' pari a $V_0/V_+=(1+R_B/R_A)=10$ per cui basta calcolare la $V_+(t)$.

Il circuito Rin-Cin e' un semplice passa basso con costante di tempo $R_{in}*C_{in}=50$ ms \gg semiperiodo dell'onda quadra =5 μ s. Quindi la V_+ non va a regime durante il semiperiodo e, per tempi cosi' brevi rispetto alla costante di tempo ($5\mu s/50ms=10^{-4}$), l'arco esponenziale e' ben approssimabile con la tangente. In queste condizioni la corrente I_0 e' sostanzialmente integrata sulla capacita' C_{in} e $V_+(t)$ risulta un'onda triangolare con variazione di V_+ in un semiperiodo ($T/2$) pari a $(I_0/C_{in})*(T/2)=0.1$ V. Il valore medio del segnale di corrente (pari a zero) ha trasferimento unitario per cui $V_+(t)$ ha anch'essa valore medio nullo, il che ci consente di determinare i valori estremi $V_+|_{min}=-0.05$ V e $V_+|_{max}=+0.05$ V.

La $V_0(t)$ e' la V_+ amplificata del fattore 10, ovvero e' un onda triangolare con $V_0|_{min}=-0.5$ V e $V_0|_{max}=0.5$ V.

3b) Effetto resistenza ingresso differenziale AO

Se $R_{id}=1$ Mohm, la resistenza equivalente dello stadio di amplificazione carica il circuito di ingresso.

La R_{eq} vista dal morsetto positivo (+) del AO si calcola considerando la sola porzione di circuito vista dal morsetto +, insieme al generatore ausiliario per il test della R_{eq} .

Essendo uno stadio reazionato, la R_{eq} e' pari a $R_{eq}=R_{openloop}*(1-G_{loop})$, con $R_{openloop}=R_{id}+R_A/R_B \approx R_{id}=1$ Mohm.

Mettendo a massa il morsetto + (l'unica scelta che consente di avere G_{loop} diverso da 0), si ha:

$$G_{loop}(0)=A_0*(R_A/R_{id})/((R_A/R_{id})+R_B) \approx A_0/10.$$

$$\text{Assumendo } A_0=100 \text{ dB}=10^5 \rightarrow G_{loop}(0) \approx 10^4 \rightarrow R_{eq} \approx 1 \text{ Mohm} * 10^4 = 10^4 \text{ Mohm}$$

Essendo in parallelo alla $R_{in}=100$ Mohm, si avra' una resistenza complessiva $R_{in}/R_{eq}=99$ Mohm che non cambia sostanzialmente la $V_0(t)$ trovata al punto precedente.

3c) margine di fase

$$G_{loop}(s) \approx -A(s) * R_A / (R_A + R_B) * R_{id} / (R_{id} + R_{in}) * (1 + s * C_{in} * R_{in}) / (1 + s * C_{in} * R_{in} / R_{id})$$

$$G_{loop}(0) = A_0 * R_A / (R_A + R_B) * R_{id} / (R_{id} + R_{in}) \approx 100$$

$$\text{Polo}_1 = 1/\tau_{01} = 1/100ms = 10 \text{ rad/s}$$

$$\text{Polo}_2 = 1/(C_{in} * R_{in} / R_{id}) = 1/0.5ms = 2000 \text{ rad/s}$$

$$\text{Zero} = 1/(C_{in} * R_{in}) = 1/50ms = 20 \text{ rad/s}$$

Si nota che vi e' una quasi-cancellazione polo1-zero e il diagramma di Bode del modulo taglia l'asse a 0 dB lontano dal polo2 con pendenza -20 dB/decade, per cui il margine di fase e' vicino a 90 gradi.

3d)

La condizione da imporre e' che la tensione $V_0(t)$ non vari piu' di 1 LSB durante la conversione.

La tensione V_0 varia con pendenza $|dV_0/dt|=2V/(T/2)=2$ V/5 μ s=0.4 V/ μ s.

Essendo $T_{conv}=2^n/n/f_{ck}$ per un ADC a gradinata ed essendo $LSB=(V_+ - V_-)/2^n=10V/2^n$, si ha:

$$|dV_0/dt| < LSB/T_{conv}, \text{ da cui si ottiene } n < 7.05 \text{ quindi } n|_{max}=7 \text{ bit.}$$