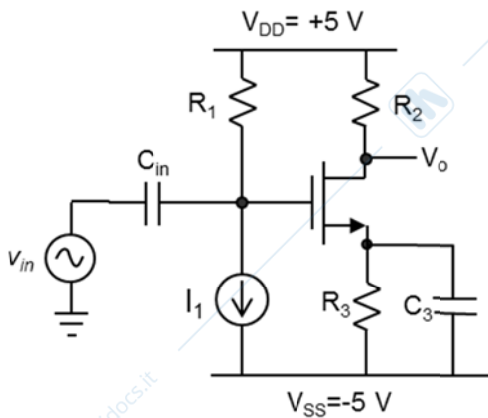


## Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2017/2018

Appello del 21 Gennaio 2019

**Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...****Esercizio 1.**

Si consideri l'amplificatore a MOSFET in figura.



- Dimensionare il valore della resistenza  $R_3$  in modo tale che il transistor sia saturo con corrente di polarizzazione  $I_d=1$  mA. Calcolare inoltre le tensioni di polarizzazione dei tre nodi del transistor nMOS ( $V_g, V_s, V_d$ ).
- Assumendo  $C_{in}$  di valore molto grande (tale da risultare chiusa a tutte le frequenze di interesse), determinare il guadagno di piccolo segnale  $v_{out}/v_{in}$  nei due casi:  $C_3$  aperta e  $C_3$  chiusa.
- Determinare la costante di tempo associata alla capacità  $C_3$ . Tracciare successivamente il diagramma di Bode del modulo di  $v_{out}/v_{in}$  ricavando la frequenza delle singolarità e il guadagno nei tratti salienti.

Dati:

$$k = 1 \text{ mA/V}^2, V_T = 1 \text{ V}$$

$$I_1 = 1 \text{ mA}$$

$$R_1 = 4 \text{ k}\Omega, R_2 = 4 \text{ k}\Omega$$

$$C_{in} = \text{molto grande}, C_3 = 100 \text{ pF}$$

**Esercizio 2.**

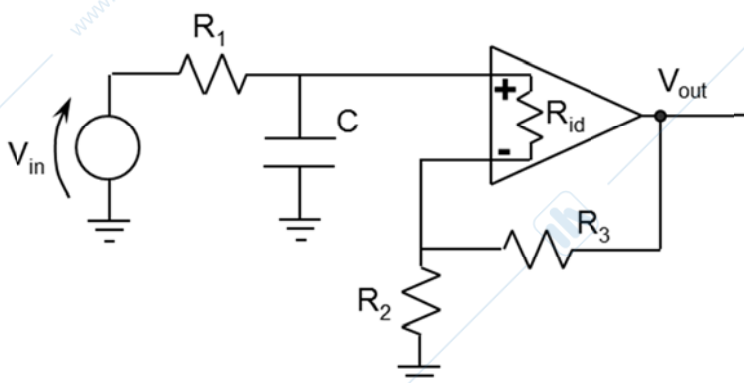
Si consideri un inverter CMOS caratterizzato dai seguenti dati:

$$V_{dd} = 5 \text{ V}$$

$$\mu_n C'_{ox} = 100 \text{ }\mu\text{A/V}^2, \mu_p C'_{ox} = 40 \text{ }\mu\text{A/V}^2, V_{Tn} = |V_{Tp}| = 1 \text{ V}$$

$$L = 1 \text{ }\mu\text{m}, W_n = 10 \text{ }\mu\text{m}, W_p = 5 \text{ }\mu\text{m}$$

- Determinare gli intervalli di valori della tensione di ingresso  $V_{in}$  per cui il transistor nMOS si trovi nelle seguenti zone di funzionamento: i) spento, ii) saturo, iii) triodo.
- Determinare approssimativamente i tempi di propagazione H-L e L-H dell'invertitore (tempo al 50% del salto) quando debba pilotare un carico capacitivo  $C=10$  pF.
- Si consideri ora un inverter CMOS generico, caratterizzato da tempi di propagazione ( $T_{HL}=0.5$  ns,  $T_{LH}=2$  ns) quando il carico capacitivo  $e'$  di 10 pF. Stimare il massimo carico capacitivo che tale invertitore puo' pilotare - in modo da consentire il completamento di ciascuna transizione - quando il segnale di ingresso  $e'$  un'onda quadra 0-5V di 125 MHz con duty cycle del 50%. Si disegni il grafico di  $V_{in}(t)$  e  $V_{out}(t)$  in questa situazione limite.

**Esercizio 3.**Si consideri il circuito mostrato in figura. L'A.O.  $e'$  ideale ove non diversamente specificato.

Dati:

$$C = 10 \text{ nF}$$

$$R_1 = 50 \text{ k}\Omega, R_2 = 5 \text{ k}\Omega, R_3 = 20 \text{ k}\Omega$$

$$R_{id} = 50 \text{ k}\Omega$$

- Determinare l'espressione del guadagno ideale  $V_{out}/V_{in}$  del circuito trascurando la resistenza di ingresso differenziale. Tracciare i diagrammi di Bode (modulo e fase) calcolando i punti significativi del grafico.
- Si assuma che l'A.O. abbia un guadagno in continua  $A_0=10^3$ . Calcolare la resistenza equivalente in continua vista dal morsetto positivo quando  $e'$  presente la resistenza di ingresso differenziale data.
- Si modifichi il circuito eliminando  $R_1$  e  $C$  ed applicando il generatore di tensione  $V_{in}$  direttamente al morsetto positivo dell'A.O.. Noti il prodotto guadagno-banda dell'A.O. pari a  $GBWP=100$  KHz e la resistenza di ingresso differenziale, determinare l'intervallo di frequenze per cui il modulo del guadagno ( $V_{out}/V_{in}$ )  $e'$  costante (approssimazione asintotica).

**Traccia soluzione T.E. 21 gennaio 2019****Es.1**

a) Polarizzazione

Si considera  $v_{in}=0$  e  $C_{in}$  aperta.

$$V_g = V_{DD} - I_1 * R_1 = 5V - 4V = +1V$$

Assumendo il transistoro nMOS saturo, vale la relazione  $I_d = k * V_{od}^2$ , da cui  $V_{od} = \sqrt{I_d/k} = 1V$ .Quindi  $V_{gs} - V_T = 1V$ , da cui  $V_{gs} = 2V$  e  $V_s = V_g - V_{gs} = -1V$ .Calcolando la  $V_d = V_{DD} - R_2 * I_d = 5V - 4V = +1V$  posso verificare l'ipotesi di saturazione:

$$V_{ds} = V_d - V_s = 2V > V_{od} = 1V \text{ (ok), oppure } V_{gd} = V_g - V_d = 0V < V_T = 1V \text{ (ok)}$$

b) Guadagno di piccolo segnale

Se  $C_{in}$  grande, la considero 'chiusa' (i.e. considero frequenze maggiori della frequenza del polo introdotto da  $C_{in}$ ).

$$\text{Calcolo } g_m = 2 * I_d / V_{od} = 2 \text{ mA/V}$$

Per  $C_3$  aperta (bassa frequenza) ho uno stadio con carico  $R_2$  sul drain e  $R_3$  sul source:

$$v_{out}/v_{in} = -g_m * R_2 / (1 + g_m * R_3) = -8/9 = -0.88$$

Per  $C_3$  chiusa (alta frequenza) ho uno stadio con carico  $R_2$  sul drain e source a massa:

$$v_{out}/v_{in} = -g_m * R_2 = -8.$$

Si puo' gia' tracciare il diagramma di Bode (qualitativo, senza il valore delle frequenze delle singolarita'. Si puo' anche introdurre l'effetto della capacita' di ingresso, che introduce uno zero nell'origine e un polo a bassissima frequenza, ovvero molto inferiore a quella delle altre singolarita') Il fatto che si siano trovati 2 guadagni di valore finito nei due casi ( $C_3$  aperta/chiusa), indica che  $C_3$  introduce sia un polo che uno zero (a frequenza minore).

c) costante di tempo di  $C_3$ La Req 'vista' da  $C_3$  e' il parallelo di  $1/g_m$  (res. eq. vista dal source) e di  $R_3$ , per cui:

$$R_{eq} = 0.5 \text{ kOhm} // 4 \text{ kOhm} = 4/9 \text{ kOhm} = 0.444 \text{ kOhm}$$

Per cui la costante di tempo associate a  $C_3$  e'  $\tau_{aup} = R_{eq} * C_3 = 44.4 \text{ ns}$ .La frequenza  $f_p = 1/(2\pi * \tau_{aup}) = 3.58 \text{ MHz}$  corrisponde alla frequenza del polo introdotto da  $C_3$ .

La frequenza dello zero e' inferiore a quella del polo e puo' essere trovata facilmente dal rapporto dei guadagni trovati al punto precedente:  $f_z = f_p * (8/9) = 398 \text{ kHz}$ . In alternativa si poteva verificare che la frequenza del polo e' data dalla costante di tempo  $\tau_{aup} = R_3 * C_3$ , che corrisponde all'apertura dell'impedenza di source.

Il grafico del modulo presenta, nell'ordine: uno zero nell'origine ( $C_{in}$ ) un polo a bassissima frequenza ( $C_{in}$ ), lo zero a  $f_z$  e il polo a  $f_p$  (entrambi dovuti a  $C_3$ ).

**Es. 2**a) le zone di funzionamento dei transistori nMOS e pMOS in funzione di  $V_{in}$  sono analizzate in dettaglio quando si calcolano i punti caratteristici della caratteristica statica  $V_{in}-V_{out}$ .Per  $V_{in} = [0, V_{Tn}]$  il transistoro nMOS e' spento.Per  $V_{in} = [V_{Tn}, V_{Thresh}]$  il transistoro nMOS e' saturo.Per  $V_{in} = [V_{Thresh}, V_{dd}]$  il transistoro nMOS e' triodo.

Il calcolo della tensione della soglia logica dell'inverter ( $V_{Thresh}$ ) si fa ponendo entrambi i MOS in zona di saturazione e ricavando la  $V_{in}$  dall'equazione di bilancio delle correnti al nodo comune di drain. Si ottiene  $V_{in} = V_{thresh} = 1.93V$ .

b) tempi di propagazione H-L e L-H

Per la stima dei tempi assumo il transistoro MOS (quello coinvolto nella transizione) saturo il tutto il primo 50% della transizione.

Calcolo THL:

$$\text{la corrente di saturazione nel nMOS vale } I_{dn} = k_n * (V_{dd} - V_{Tn})^2 = 8 \text{ mA}$$

$$\text{quindi } THL = C * (V_{dd}/2) / I_{dn} = (10 \text{ pF}) * (2.5 \text{ V}) / (8 \text{ mA}) = 3.125 \text{ ns}$$

Calcolo TLH:

$$\text{la corrente di saturazione nel pMOS vale } I_{dp} = k_p * (V_{dd} - |V_{Tp}|)^2 = 1.6 \text{ mA}$$

$$\text{quindi } TLH = C * (V_{dd}/2) / I_{dp} = (10 \text{ pF}) * (2.5 \text{ V}) / (1.6 \text{ mA}) = 15.625 \text{ ns}$$

c) massimo carico capacitivo

Per  $C = 10 \text{ pF}$  sono dati i tempi di propagazione  $THL = 0.5 \text{ ns}$  e  $TLH = 2 \text{ ns}$ , che sono asimmetrici.Per una generica capacita'  $C_x$ , i tempi di propagazione scalano proporzionalmente:

$$THL_x = 0.5 \text{ ns} * (C_x / C) \text{ e } TLH_x = (2 \text{ ns}) * (C_x / C)$$

L'onda quadra in ingresso ha un duty cycle del 50% per cui ho un semiperiodo per completare la transizione piu' lenta.

Si puo' approssimare il tempo complessivo della transizione LH (la piu' lenta) prendendo il doppio del tempo di propagazione al 50% ( $TLH_x$ ), altre scelte sono ugualmente possibili:

$$TLH_{x\_complessivo} = 2 * TLH_x = 2 * (2 \text{ ns}) * (C_x / C)$$

Uguagliando  $TLH_{x\_complessivo}$  al semiperiodo dell'onda quadra  $T_{in}/2 = 1/(2 * f_{in}) = 4 \text{ ns}$ , si ottiene:

$$2 * (2 \text{ ns}) * (C_x / C) = 4 \text{ ns}, \text{ da cui } C_x = C = 10 \text{ pF} \text{ ovvero } 10 \text{ pF} \text{ rappresentano gia' il massimo carico capacitivo possibile per l'inverter considerato.}$$

**Es.3**

## a) guadagno ideale

Essendo infinita la resistenza vista dal morsetto positivo ( $R_{id}$  e' infinito), la  $F_dT$  e' il prodotto del guadagno della cella R1-C e del blocco con A.O.:

$$G_{id} = (V_+/V_{in}) * (V_{out}/V_+) = (1 + R_3/R_2) / (1 + s * C * R_1)$$

Il guadagno in continua  $V_{out}/V_{in}$  e'  $(1 + R_3/R_2) = 5$  e il polo e' alla frequenza  $f_p = 1 / (2\pi * R_1 * C) = 318$  Hz  
I diagrammi di Bode si tracciano facilmente.

## b) Resistenza equivalente vista dal morsetto positivo.

Si verifica che – nel caso ideale Gloop infinito – la corrente in  $R_{id}$  tende a zero per cui la  $R_{eq}$  tende a infinito.

Quindi si deduce che l'espressione di  $R_{eq}$  sara'  $R_{eq} = R_{openloop0} * (1 - G_{loop0})$

$$R_{openloop0} = R_3 + R_2 // R_{id} = 54 \text{ k}\Omega$$

$$G_{loop0} = -A_0 * (R_2 // R_{id}) / (R_2 // R_{id} + R_3) = -1000 * 4.54 / 24.54 = -185.2$$

Concludendo  $R_{eq} = 54 \text{ k}\Omega * 186.2 \approx 10 \text{ M}\Omega$ .

c) calcolo  $f_{max}$  t.c.  $V_{out}/V_{in}$  costante

Posso utilizzare il metodo grafico (grafici di Bode di  $|G_{id}|$  e di  $|G_{id} * G_{loop}|$ ) per determinare l'andamento in frequenza del modulo di  $V_{out}/V_{in}$  e quindi il polo ad anello chiuso. Oppure posso calcolare Gloop e determinare la frequenza di attraversamento di  $|G_{loop}|$  dell'asse 0 dB, che e' pari a quella del polo ad anello chiuso.

Seguendo quest'ultima via, trovo che il Gloop a bassa frequenza e' pari  $G_{loop0} = -A_0 * R_2 // R_{id} / (R_2 // R_{id} + R_3) = -185.2$  (vedi punto precedente) e il polo e'  $f_0 = GBWP / A_0 = 100$  Hz.

Quindi la frequenza cercata e'  $f_p = |G_{loop0}| * f_0 = (A_0 * f_0) * R_2 // R_{id} / (R_2 // R_{id} + R_3) = GBWP * 4.54 / 24.54 = 18.5$  kHz.

Fino a tale frequenza il guadagno (asintotico)  $V_{out}/V_{in}$  rimane costante in modulo.