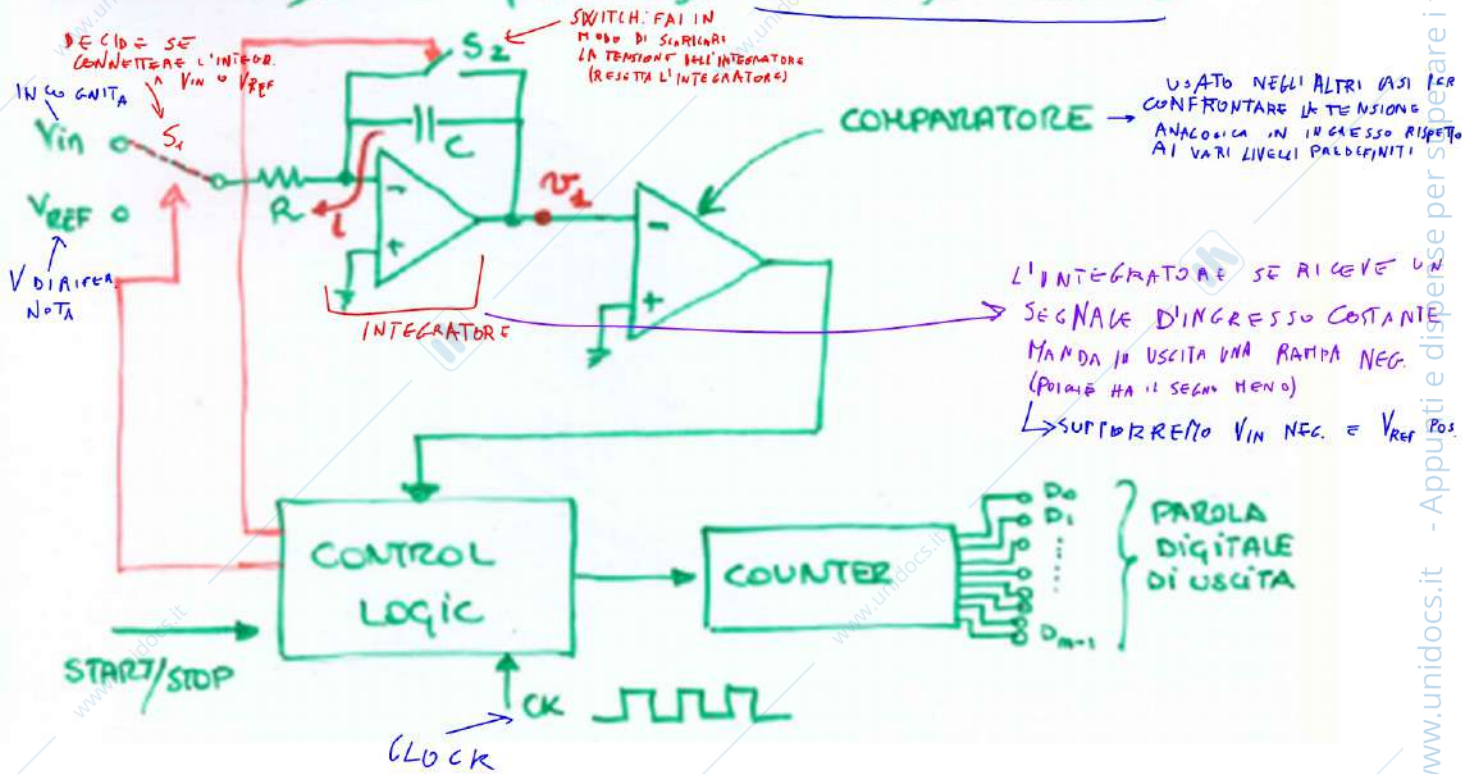
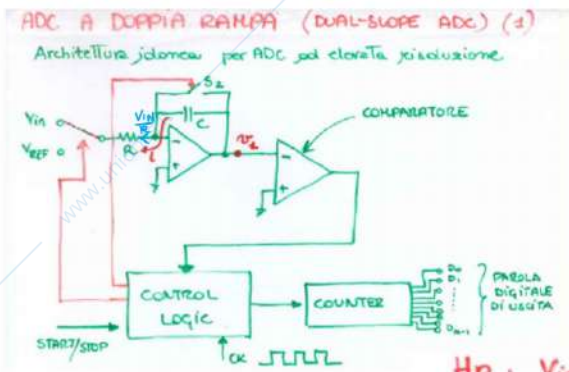


ADC A DOPPIA RAMPA (DUAL-SLOPE ADC) (1)

Architettura idonea per ADC ad elevata risoluzione





ASSUNTA NEG.

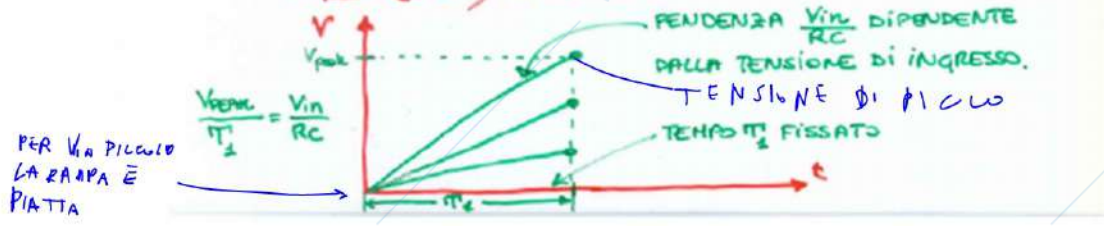
$H_p: V_{in} < 0$

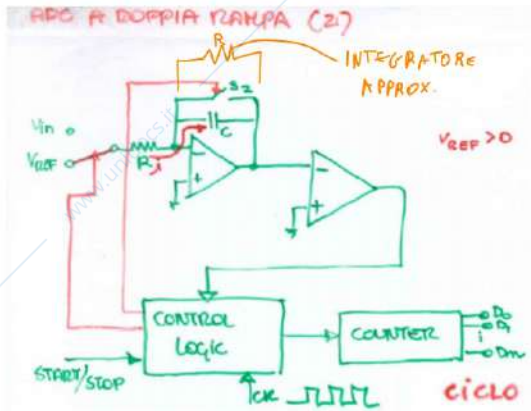
➔ PRIMA DELL'INIZIO DELLA CONVERSIONE: S_2 CHIUSO $\Rightarrow U_2 = 0$

➔ INIZIO DEL CICLO DI CONVERSIONE: FASE 1

- S_2 SI APRE
- S_1 CONNETTE L'INGRESSO DELL'INTEGRATORE A V_{in}
 $\hookrightarrow i = \frac{U_{in}}{R} \Rightarrow U_2$ CRESCE LINEARMENTE (PENDENZA $\frac{i}{C} = \frac{U_{in}}{RC}$)

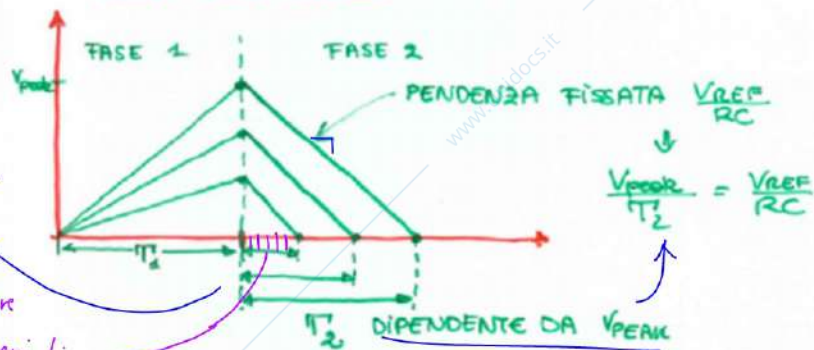
• CONTATORE È ABILITATO E CONTA PER UN TEMPO τ_1
 \hookrightarrow la prima fase termina quando il contatore ha contato $m_{REF} (= 2^m)$ e viene resettato





CICLO DI CONVERSIONE: FASE 2

- S_3 CONNETTE LA TENSIONE V_{REF} ALL'INGRESSO DELL'INTEGRATORE
 $\hookrightarrow i = \frac{V_{REF}}{R} \Rightarrow V_d$ OCCRESCE LINEARMENTE (PENDENZA $\frac{V_{REF}}{RC}$)
- IL CONTATORE È ABILITATO E CONTA
- QUANDO $V_d = 0 \Rightarrow$ IL COMPARATORE COMUTA E LA LOGICA FERMA IL CONTATORE



In base a V_{PEAK}
 cambia proporz.
 il tempo T_2 per
 ritornare al valore 0
 misurati con il contatore

la risoluzione
 è pari al
 tempo di clock

numero di
 colpi di clock

mi dà la misura dell'ampiezza della tens. in ingresso V_{in}

ADC A DOPPIA FASE (3)

• FASE 1: $\frac{V_{peak}}{T_1} = \frac{V_{in}}{RC}$
 TEMP₆ → PER RACLIWEEFA IL PICCO
 • FASE 2: $\frac{V_{peak}}{T_2} = \frac{V_{REF}}{RC}$

$\left. \begin{array}{l} \text{FASE 1} \\ \text{FASE 2} \end{array} \right\} \Rightarrow \frac{V_{in}}{RC} T_1 = \frac{V_{REF}}{RC} T_2$
 \downarrow
 $T_1 V_{in} = T_2 V_{REF}$

$\hookrightarrow T_2 = \frac{V_{in}}{V_{REF}} T_1$

MA: m_{REF} È PROPORZIONALE A T_2
 k (CONTEGGIO DEL COUNTER @ T_2) È PROPORZIONALE A T_2

NUMERO DI COLPI DI CLOCK ↓
 $k = m_{REF} \left(\frac{V_{in}}{V_{REF}} \right) = \frac{m_{REF}}{V_{REF}} \cdot V_{in} = \frac{2^n}{V_{REF}} \cdot V_{in}$

$\xrightarrow{\text{RISOLUZIONE DELL'ADC}}$

$\frac{V_{IN}}{LSB}$

K misura il numero di intervallini che ci sta in V_{in}

\hookrightarrow la parola digitale k in uscita al contatore al tempo T_2 è la parola digitale equivalente a V_{in}

😊 elevata accuratezza, poiché le prestazioni non dipendono dalle tolleranze sui valori di R e C

😊 ridotto numero di componenti e blocchi circuitali

😞 tempi di conversione piuttosto lunghi $\rightarrow 2$ fasi $\rightarrow 2 \times 2^n$

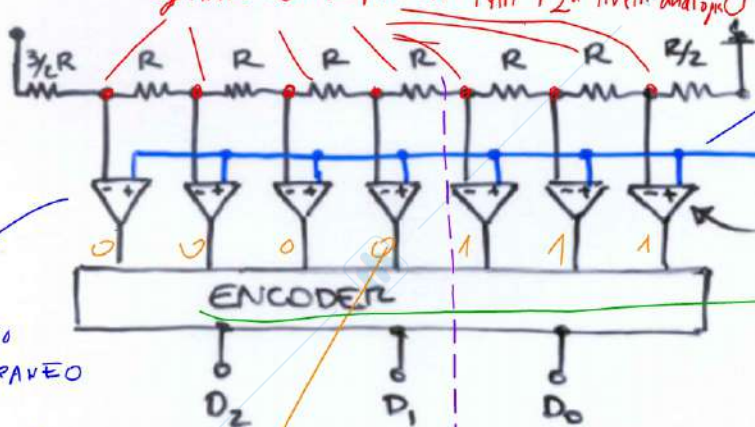
Colpi di clock ↓

FLASH ADC → CONVERTITORE + VELOCE

Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di tipo parallelo.

Genero con 4n partitore tutti i 2n livelli analogici

VALORE DI FONDI SCALA

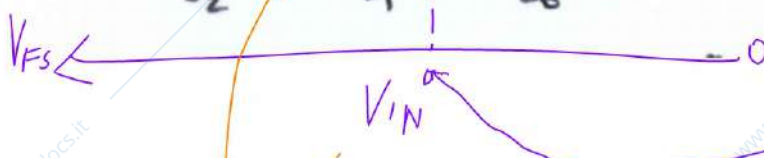


Metto 2ⁿ Comparatori

FLASH ADC 2 3 bit

COMPARATORI

CONFRONTO CONTEMPORANEO



In base alla posizione di Vin i comparatori mettono 1 o 0

blocco digitale

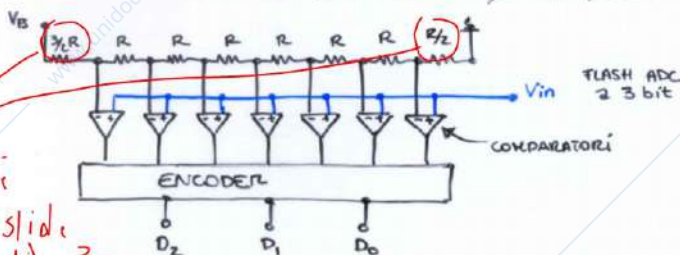
converte la pos. dell'unico ingresso analogico nella sua codifica digitale

SUPPONIAMO DI AVERE VIN A QUESTO LIVELLO

Se ci sono + imp. alti da priorità a quello con codifica digitale maggiore

FLASH ADC

Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di tipo parallelo.



* Il segnale analogico è confrontato con $2^m - 1$ diverse tensioni di riferimento ottenute con un partitore di resistenze ad elevata precisione.

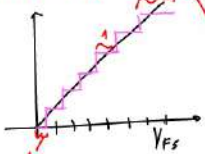
* Le uscite dei comparatori sono codificate dall'encoder per fornire la parola digitale di uscita

☹ Servono $2^m - 1$ comparatori e 2^m resistenze ad elevata precisione
↳ architettura flash adatta per ADC a basso numero di bit

☹ L'offset dei comparatori degrada la linearità dell'ADC

😊 Tempi di conversione molto brevi, limitati solo dai tempi di ritardo dei comparatori e della rete logica

↳ $T_{conv} \approx$ decine di ns.



in modo che gli scalari intermedi siano unitari

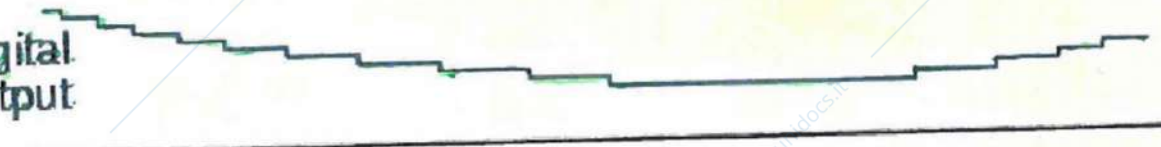
FLASH ADC

Analog Input



Time →

Digital output



Time →

L'uscita dell'ADC (anche se ideale) può perdere risoluzione in tutti i casi in cui il segnale analogico in ingresso presenta un'ampiezza minore della massima ampiezza consentita

↳ il segnale di ingresso non sfrutta l'intera dinamica

↓
Quando il segnale di ingresso non ha ampiezza sufficiente per sfruttare l'intera dinamica dell'ADC è conveniente amplificare preliminarmente il segnale di ingresso per "portarlo in dinamica".