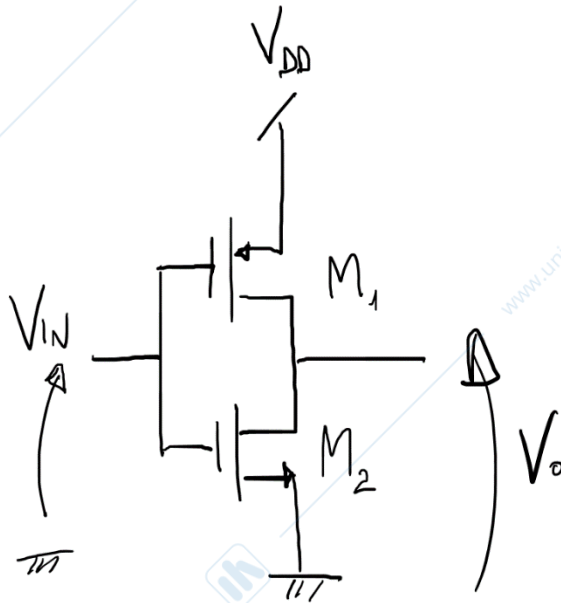


Fondamenti di Elettronica per Ingegneria dell'Automazione

Esercitazione 4

Ing. Pietro King

1)



$$V_{DD} = 5 \text{ V}$$

$$V_{tn} = |V_{tp}| = 0.8 \text{ V}$$

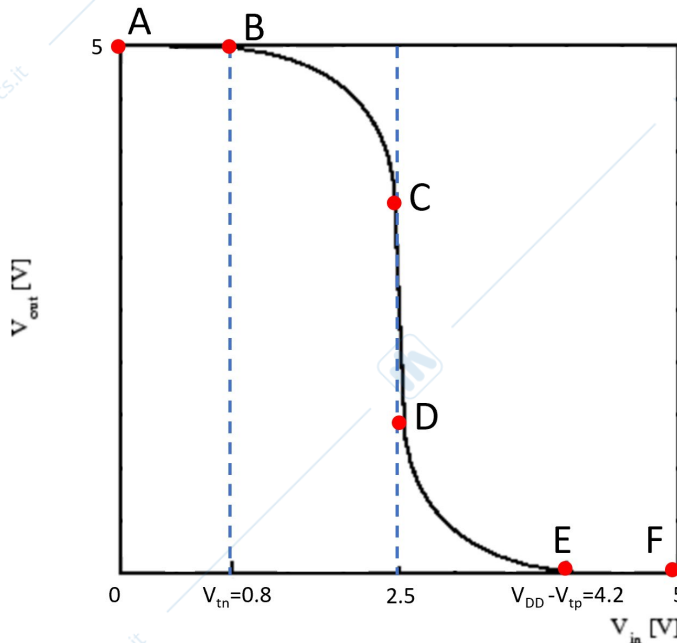
$$\frac{1}{2} \mu_n C'_{ox} = 75 \frac{\mu\text{A}}{\text{V}^2}$$

$$\frac{1}{2} \mu_p C'_{ox} = 30 \frac{\mu\text{A}}{\text{V}^2}$$

$$\left(\frac{W}{L}\right)_n = \frac{2 \mu\text{m}}{1 \mu\text{m}}$$

$$\left(\frac{W}{L}\right)_p = \frac{5 \mu\text{m}}{1 \mu\text{m}}$$

a) Determinare la caratteristica V_{out}/V_{in} dell'invertitore CMOS rappresentato.



Per facilitare lo studio della funzione di trasferimento del circuito in questione è possibile trovare dei punti notevoli in cui abbiamo variazioni nella zona di polarizzazione dei MOS M1 ed M2.

$$\begin{aligned}V_{Gn} &= V_{Gp} = V_{in} \\V_{Sn} &= 0 \text{ V} \\V_{Sp} &= V_{dd} \\V_{GSn} &= V_{in} \quad V_{GSp} = V_{in} - V_{dd}\end{aligned}$$

- Punto A ($V_{in} = 0 \text{ V}$, $V_{out} = 5 \text{ V}$)

nMOS

$$V_{GSn} = 0 < 0.8 = V_{tn}$$

La tensione gate-source del nMOS è inferiore a quella di soglia, quindi il transistor nMOS si trova in INTERDIZIONE (non scorre corrente).

pMOS

$$V_{GSp} = -V_{dd} = -5 \text{ V} < -0.8 = V_{tp}$$

Il pMOS M1 è acceso, quindi l'uscita si porta a Vdd.

$$V_{out} = V_{dd} = 5 \text{ V}$$

$$V_{DSp} = 0 > -4.2 \text{ V} = V_{GSp} - V_{tp}$$

Il pMOS è in regione TRIODO con $V_{dsp}=0$, ovvero è proprio nell'origine della sua caratteristica I_d-V_{dsp} (detta anche zona ohmica) dove è possibile modellarlo come una resistenza.

- Punto B (0.8 V, 5 V)

Lungo il tratto AB non abbiamo cambiamenti nella polarizzazione dei MOS. Fintanto che il transistor nMOS è spento,

$$V_{out} = V_{dd} = 5 \text{ V}$$

nMOS

Non abbiamo l'accensione di M2 fintanto che la tensione gate-source non raggiunge 0.8 V

Nel punto B,

$$V_{DSn} = 5 \text{ V} > 0 = V_{GSn} - V_t$$

il transistor nMOS è al bordo della SATURAZIONE

pMOS

$$V_{GSp} = -4.2 \text{ V} < -0.8 \text{ V} = V_{tp}$$

$$V_{DSp} = 0 > -3.4 \text{ V} = V_{GSp} - V_{tp}$$

Il pMOS è ancora in regione TRIODO (in zona ohmica, vedi punto A).

• Punto C

A partire dal punto B, all'aumentare di $V_{in} > V_{tn}$ aumenta la corrente del nMOS che inizialmente è saturo. La medesima corrente scorre nel pMOS e per questo motivo la V_{out} deve iniziare a scendere dal valore V_{dd} , in modo che aumenti la $|V_{ds,p}| = |V_{dd} - V_{out}|$. Via via che V_{in} aumenta, la corrente aumenta e il pMOS quindi aumenta la sua $|V_{ds,p}|$. Si giunge quindi alla situazione in cui il pMOS arriva al bordo della zona triodo-saturazione al punto C. Il transistor nMOS vede dualmente diminuire la sua $V_{ds,n}$ ma supponiamo che arrivati al punto C sia ancora saturo.

Per determinare la tensione V_{in} al punto C, dobbiamo verificare che sia il pMOS che il nMOS siano in saturazione. Allora possiamo scrivere: $I_{Dn} = k_n(V_{GSn} - V_{tn})^2$

$$I_{Dp} = k_p(V_{GSp} - V_{tp})^2$$

E applicando Kirchhoff al nodo V_{out} ,

$$I_{Dn} = I_{Dp}$$

$$k_n(V_{GSn} - V_{tn})^2 = k_p(V_{GSp} - V_{tp})^2$$

Possiamo calcolare k_n e k_p .

$$k_n = \frac{1}{2} \mu_n C'_{OX} \left(\frac{W}{L}\right)_n = 150 \frac{\mu A}{V^2}$$

$$k_p = \frac{1}{2} \mu_p C'_{OX} \left(\frac{W}{L}\right)_p = 150 \frac{\mu A}{V^2}$$

$$k_n = k_p$$

Quindi

$$(V_{GSn} - V_{tn})^2 = (V_{GSp} - V_{tp})^2$$

$$\sqrt{(V_{GSn} - V_{tn})^2} = \sqrt{(V_{GSp} - V_{tp})^2}$$

$$|V_{GSn} - V_{tn}| = |V_{GSp} - V_{tp}|$$

$$|V_{in} - V_{tn}| = |V_{in} - V_{DD} - V_{tp}|$$

Essendo entrambi i MOS in Saturazione, sappiamo che la tensione di overdrive del nMOS sarà positiva e l'overdrive del pMOS sarà negativa:

$$V_{in} - V_{tn} = -(V_{in} - V_{DD} - V_{tp})$$

Risolviendo l'equazione si ottiene

$$V_{in} = \frac{V_{DD}}{2} = 2.5 V$$

Per $V_{in} = 2.5 V$ abbiamo il punto C, ovvero il passaggio di M1 da zona triodo a saturazione.

Quindi se il pMOS è al bordo tra triodo e saturazione sappiamo anche che $V_{DSp} = V_{GSp} - V_{tp}$

$$V_{Dsp} = \frac{V_{DD}}{2} - V_{DD} - (-0.8) = -1.7 V$$

$$V_{out} = V_{DD} + V_{Dsp} = 3.3 V$$

Così abbiamo trovato le coordinate C (2.5 V, 3.3 V).

nMOS

$$V_{GSn} = 2.5 V > 0.8 V = V_{tn}$$

$$V_{DSn} = 3.3 V > 1.7 V = V_{GSn} - V_{tn}$$

Quindi il nMOS in C è effettivamente in SATURAZIONE, come avevamo supposto.

pMOS

$$V_{GSp} = -2.5 V < -0.8 V = V_{tp}$$

$$V_{Dsp} = -1.7 = -1.7 V = V_{GSp} - V_{tp}$$

Quindi il pMOS si trova al bordo tra TRIODO e SATURAZIONE.

• Punto D

Abbiamo visto che se entrambi i MOS sono saturi abbiamo trovato la soluzione $V_{in}=2.5 V$, indipendente da V_{out} . che corrisponde al segmento verticale CD nel piano V_{in} - V_{out} . Il limite superiore (punto C) del segmento è dato dal limite di saturazione del pMOS. Dobbiamo ora trovare il limite inferiore (punto D).

Muovendoci da C a D, $V_{out}=V_{dsn}$ diminuisce e giunge al valore limite (punto D) quando il transistor nMOS è al bordo tra saturazione e triodo, dato dalla condizione $V_{dsn}=V_{gsn}-V_{tn}=V_{in}-V_{tn}=V_{dd}/2-V_{tn}$. Il pMOS rimane invece sempre saturo in quanto da C a D la sua $|V_{dsp}|$ cresce, entrando maggiormente in saturazione.

Possiamo quindi determinare la V_{out} in corrispondenza del punto D imponendo la condizione di saturazione per il transistor nMOS $V_{DSn}=V_{GSn}-V_{tn}$

$$V_{out} = V_{DSn} = 2.5V - (0.8) = 1.7 V$$

Punto D (2.5 V, 1.7 V).

nMOS

$$V_{GSn} = 2.5 V > 0.8 V = V_{tn}$$

$$V_{DSn} = 1.7 V = 1.7 V = V_{GSn} - V_{tn}$$

Il transistor nMOS sta passando da saturazione a TRIODO

pMOS

$$V_{GS_p} = -2.5 \text{ V} < -0.8 \text{ V} = V_{tp}$$

$$V_{DS_p} = -3.4 \text{ V} < -1.7 \text{ V} = V_{GS_p} - V_{tp}$$

Il pMOS è in SATURAZIONE.

- E (4.2 V, 0 V)

Con l'aumentare di V_{in} , la tensione gate-source del pMOS continua a diminuire (in modulo), fino ad uguagliare la tensione di threshold V_{tp} del pMOS, dove il pMOS si spegne e la tensione di uscita va a 0 (punto E):

nMOS

$$V_{GS_n} = 4.2 \text{ V} > 0.8 \text{ V} = V_{tn}$$

$$V_{DS_n} = 0 \text{ V} < 3.4 \text{ V} = V_{GS_n} - V_{tn}$$

Il transistorore nMOS è in zona TRIODO

pMOS

$$V_{GS_p} = -0.8 \text{ V} = -0.8 \text{ V} = V_{tp}$$

Il pMOS entra in zona INTERDIZIONE.

- F (5 V, 0 V)

Nel tratto DE non cambia niente, dato che il pMOS rimane spento.

nMOS

$$V_{GS_n} = 5 \text{ V} > 0.8 \text{ V} = V_{tn}$$

$$V_{DS_n} = 0 \text{ V} < 4.2 \text{ V} = V_{GS_n} - V_{tn}$$

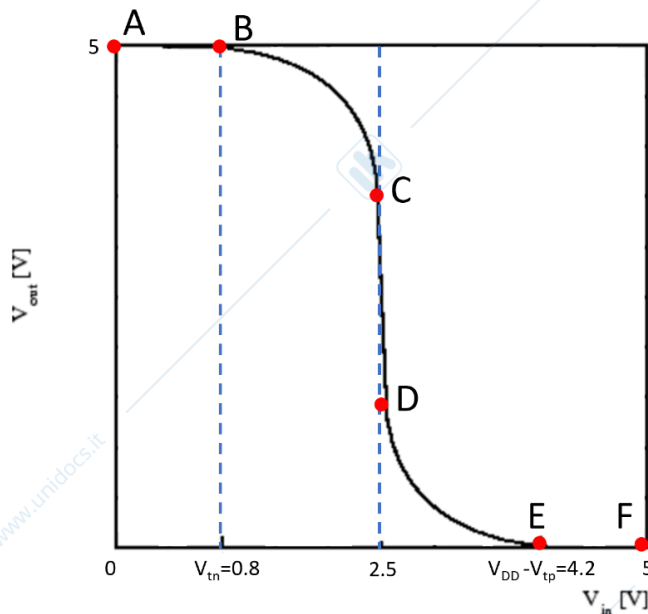
Il transistorore nMOS è in zona TRIODO

pMOS

$$V_{GS_p} = 0 \text{ V} > -0.8 \text{ V} = V_{tp}$$

Il pMOS è in INTERDIZIONE.

Ricapitolando:



- AB:** *nMOS* OFF
pMOS TRIODO
- BC:** *nMOS* SATURAZIONE
pMOS TRIODO
- CD:** *nMOS* SATURAZIONE
pMOS SATURAZIONE
- DE:** *nMOS* TRIODO
pMOS SATURAZIONE
- EF:** *nMOS* TRIODO
pMOS OFF

B) Calcolare la soglia logica V_{th} dell'inverter e c) determinare come varia se i transistor sono ad area minima.

La soglia logica di un inverter è definita come la tensione in cui tensione d'ingresso e tensione di uscita sono uguali

$$V_{th} = V_{in} = V_{out}$$

Quindi, graficamente, il punto di soglia logica corrisponde all'intersezione della caratteristica V_{in} - V_{out} vista precedentemente con la bisettrice $V_{out}=V_{in}$.

Assumiamo che l'intersezione cada nel tratto CD (entrambi i MOS saturi) avente ascissa $V_{in}=V_{DD}/2$. Per cui la soglia logica sarà nel punto $V_{out}=V_{in}=V_{DD}/2$. Verifichiamo ora che il valore di V_{out} della soglia logica appartenga al tratto CD imponendo le condizioni: $V_{outD} < V_{out} = V_{DD}/2 = 2.5 \text{ V} < V_{outC}$.

Avendo trovato precedentemente $V_{outC} = 3.3 \text{ V}$ e $V_{outD} = 1.7 \text{ V}$, la condizione è verificata e la soglia è $V_{th} = V_{DD}/2 = 2.5 \text{ V}$.

$$V_{th} = \frac{V_{DD}}{2} = 2.5 \text{ V}$$

c)

Nel caso i transistor siano ad area minima, abbiamo $\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p = 1$

$$k_n = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L}\right)_n = 75 \frac{\mu A}{V^2}$$

$$k_p = \frac{1}{2} \mu_p C'_{ox} \left(\frac{W}{L}\right)_p = 30 \frac{\mu A}{V^2}$$

Uguagliando le due espressioni della corrente in saturazione

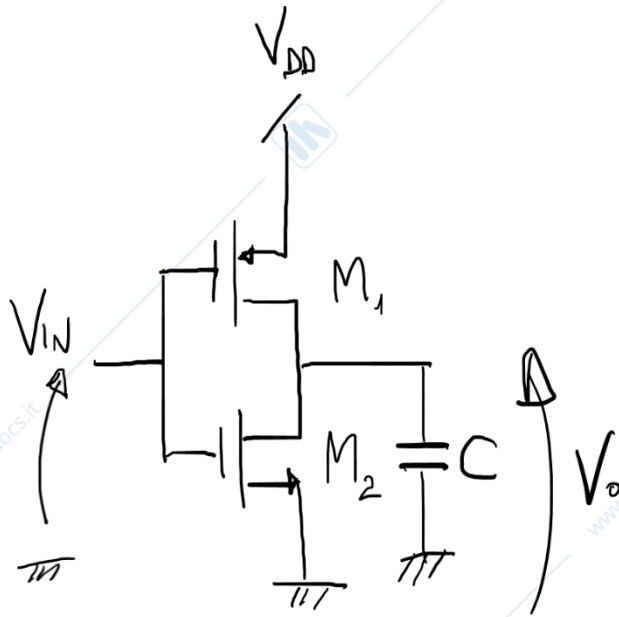
$$(V_{GSn} - V_{tn})^2 = \frac{k_p}{k_n} (V_{GSp} - V_{tp})^2$$

$$V_{in} - V_{tn} = \pm \sqrt{\frac{k_p}{k_n}} (V_{in} - V_{DD} - V_{tp})$$

Risolvendo otteniamo

$$V_{th} = V_{in} = 2.1 V$$

2)



$V_{DD} = 5\text{ V}$

$V_{tn} = |V_{tp}| = 1\text{ V}$

$\frac{1}{2} \mu_n C'_{ox} = 50 \frac{\mu A}{V^2}$

$\frac{1}{2} \mu_p C'_{ox} = 20 \frac{\mu A}{V^2}$

$\left(\frac{W}{L}\right)_n = \frac{10\ \mu m}{1\ \mu m}$

$\left(\frac{W}{L}\right)_p = \frac{5\ \mu m}{1\ \mu m}$

$C = 1\text{ pF}$

a) Determinare il ritardo di propagazione tra ingresso e uscita dell'inverter

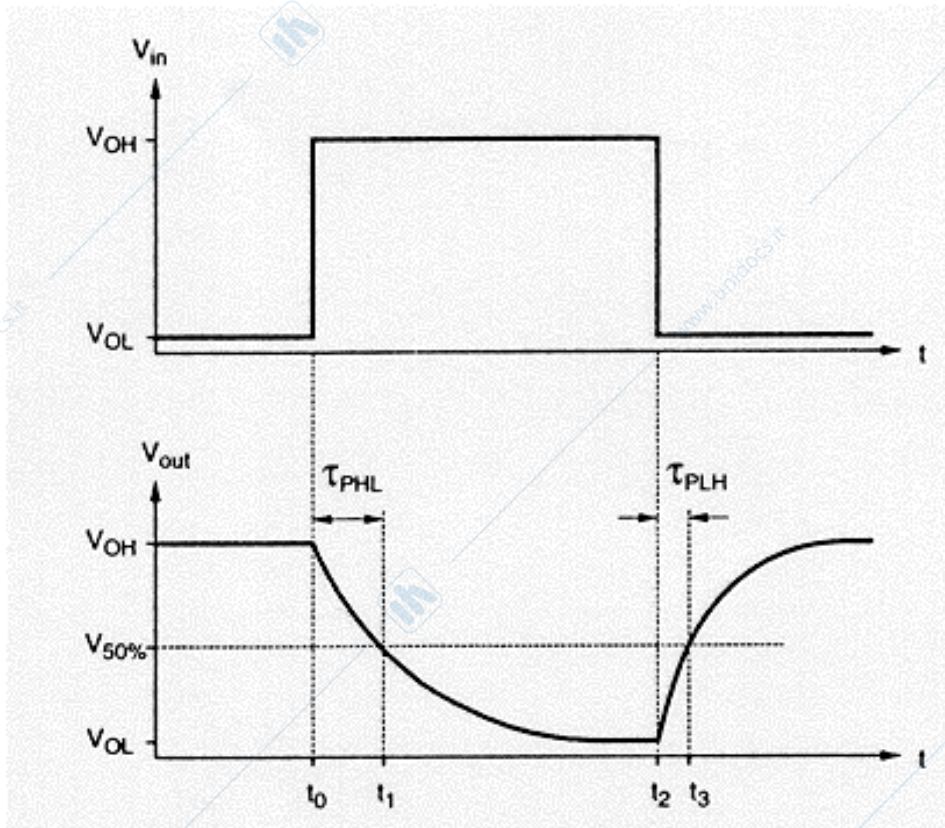


Figure 1

Come è possibile vedere nel grafico, dato un gradino in ingresso all'Inverter CMOS, l'uscita non si porta immediatamente al livello logico corrispondente.

Infatti, una volta che l'input viene asserito, è necessaria una certa quantità di tempo perché la capacità di output venga scaricata (o caricata) fino a raggiungere il suo livello logico.

Definiamo con τ_{pHL} (High \rightarrow Low) il tempo necessario per l'uscita dell'inverter a passare dal livello logico alto ('1') a metà della sua dinamica.

$$\tau_{pHL} = t_1 - t_0$$

Definiamo con τ_{pLH} (Low \rightarrow High) il tempo necessario per l'uscita dell'inverter a passare dal livello logico basso ('0') a metà della sua dinamica.

$$\tau_{pLH} = t_3 - t_2$$

Infine, definiamo τ_p , il ritardo di propagazione dell'inverter, come il valor medio tra τ_{pHL} e τ_{pLH}

$$\tau_p = \frac{\tau_{pHL} + \tau_{pLH}}{2}$$

Studiamo separatamente i casi di scarica e carica.

SCARICA ($V_{in} = V_{dd}$)

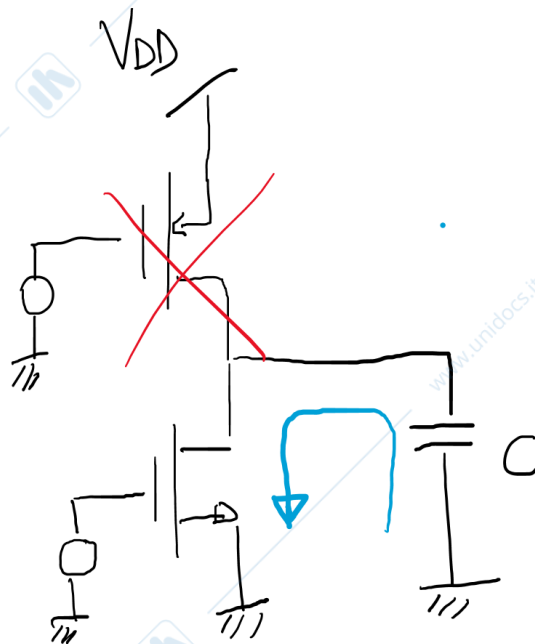


Figure 2

Fintanto che l'input è '0', abbiamo $V_{out} = V_{dd}$, e la capacità C completamente carica.

Non appena abbiamo il passaggio $V_{in} = '0' \rightarrow '1'$, il pMOS si spegne ($V_{gsp} = 0V > V_{tp}$), mentre abbiamo l'accensione dell'nMOS ($V_{gsn} = V_{DD} > V_{tp}$).

L'nMOS acceso crea un canale per la scarica della capacità, e quindi abbiamo una corrente che scorre dalla capacità verso GND. Il valore della corrente di scarica della capacità dipende dalla zona di polarizzazione del MOS.

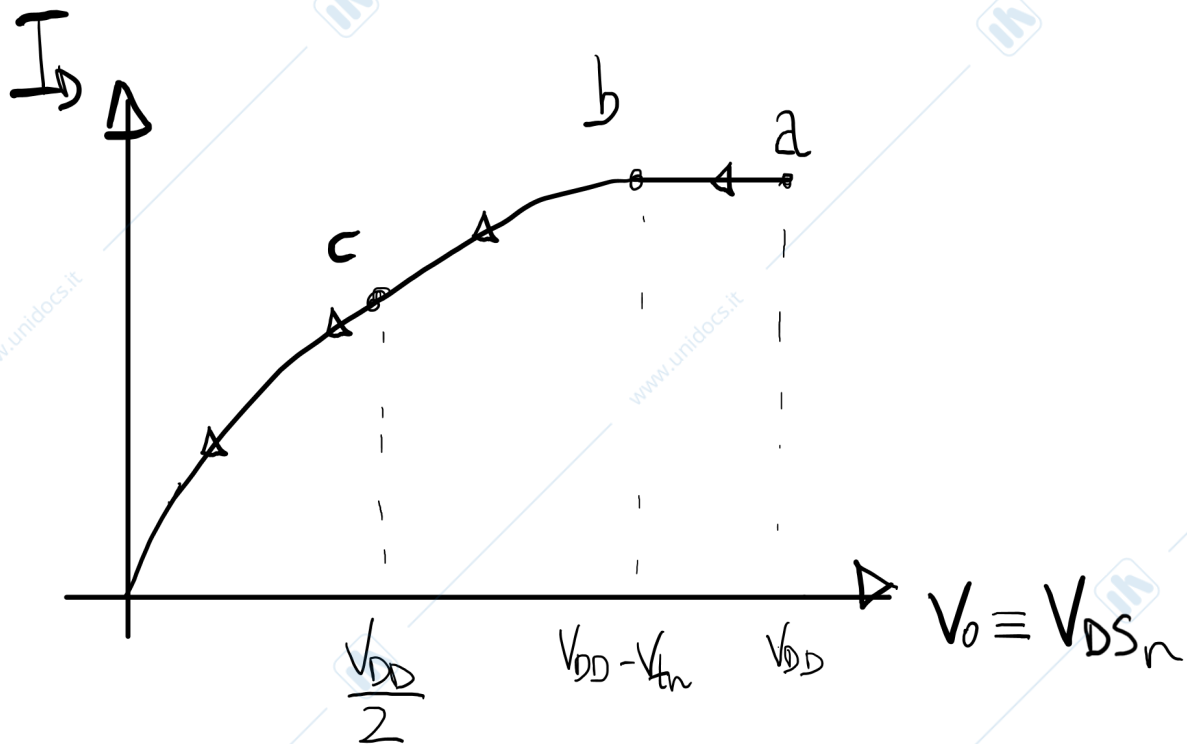


Figure 3

Al tempo t_0 ci troviamo nel punto **a** della figura 3. La capacità C è completamente carica. Quindi $V_{out} = V_{DD}$, e $V_{DSn} = V_{DD} > V_{ov}$ e quindi il MOS si trova in SATURAZIONE.

Quando siamo in saturazione, l'espressione della corrente che attraversa il MOS non è dipendente da V_{ds} ($I_D = k(V_{GS} - V_{tn})^2$), quindi la corrente è costante per tutto il periodo **a-b**, fintanto che il MOS rimane in SATURAZIONE.

Nel punto **b** la tensione V_{ds} diventa uguale a quella di overdrive, quindi ho il passaggio a zona TRIODO. Quando il MOS è polarizzato a triodo, la corrente è dipendente anche da V_{ds} ($I_D = k_n[2(V_{GSn} - V_{tn})V_{DS} - V_{DS}^2]$). La corrente diminuisce al variare di V_{out} .

La scarica continua e al tempo t_1 abbiamo il punto **c** in cui V_{out} è uguale a metà della dinamica di uscita dell'inverter.

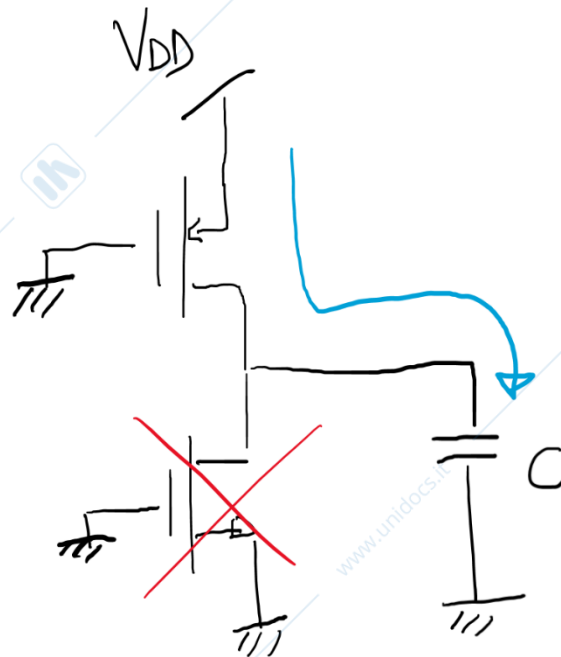
CARICA ($V_{in} = 0$)

Figure 4

La capacità si è scarica completamente nella fase precedente.

Non appena $V_{in} = '1' \rightarrow '0'$, il nMOS si spegne ($V_{gsn} = 0V < V_{tn}$), mentre abbiamo l'accensione del pMOS ($V_{gsp} = -V_{DD} < V_{tp}$).

Il pMOS acceso crea un canale per la carica della capacità, la corrente scorre attraverso il pMOS e la capacità viene caricata.

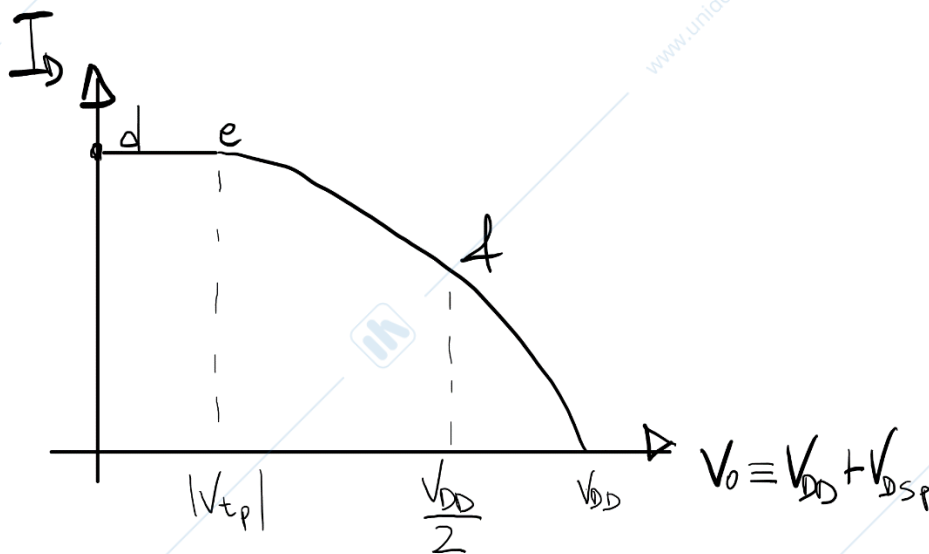


Figure 5

Al tempo t_2 ci troviamo nel punto **d** della figura 5. La capacità C è completamente scarica. Quindi $V_{out} = 0$, e $V_{DSn} = -V_{dd} < V_{ov}$ e quindi il MOS si trova in SATURAZIONE.

Quando siamo in saturazione, l'espressione della corrente che attraversa il MOS non è dipendente da V_{ds} ($I_D = k (V_{GS} - V_{tp})^2$), quindi la corrente è costante per tutto il periodo **d-e**, fintanto che il MOS rimane in SATURAZIONE.

Nel punto **e** la tensione V_{ds} diventa uguale a quella di overdrive, quindi ho il passaggio a zona TRIODO. Quando il MOS è polarizzato a triodo, la corrente è dipendente anche da V_{ds} ($I_D = k_p [2(V_{GS} - V_{tp})V_{DS} - V_{DS}^2]$). La corrente diminuisce al variare di V_{out} .

La carica continua e al tempo t_3 abbiamo il punto **f** in cui V_{out} è uguale a metà della dinamica di uscita dell'inverter.

Una volta definite le espressioni della tensione di uscita e della corrente, è possibile determinare i tempi di propagazione nell'inverter.

Per semplificare il calcolo del tempo di propagazione possiamo applicare delle approssimazioni.

I) APPR. SATURAZIONE

Nel primo tipo di approssimazione supponiamo che la corrente sia costante lungo tutto il periodo di scarica (o carica) del transitorio. Ovvero supponiamo che i MOS siano sempre in zona di saturazione.

Scarica via nMOS

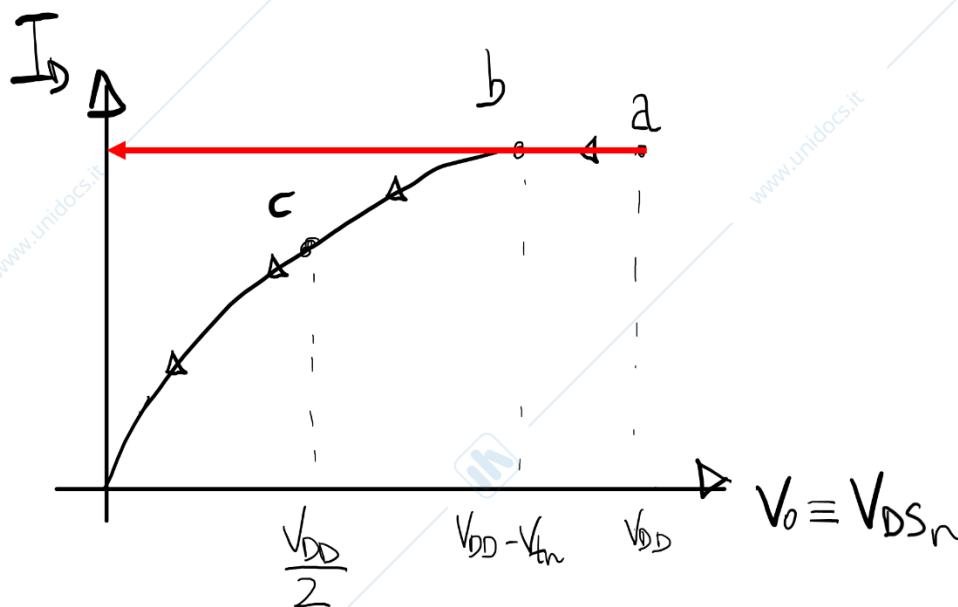


Figure 6

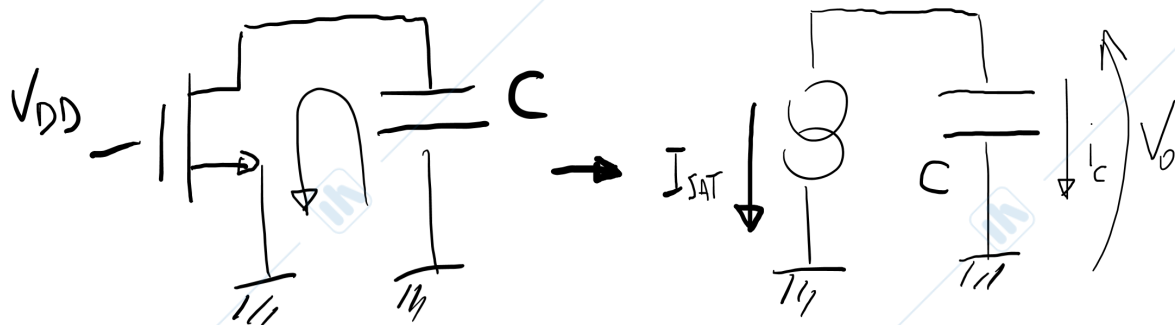


Figure 7

Stiamo approssimando il MOS a un generatore di corrente costante uguale a I_{satn}

$$I_{satn} = I_{Dn}(\text{saturation}) = k_n (V_{ov})^2 = \frac{50 \mu A}{V^2} 10 (5V - 1V)^2 = 8 \text{ mA}$$

Applicando LKC:

$$I_{satn}(t) = -i_c(t)$$

$$I_{satn}(t) = -C \frac{dV_{out}(t)}{dt}$$

Supponiamo $t_0 = 0$ per semplicità

$$\int_0^{t_{pHL}} I_{satn}(t) dt = \int_{V_{DD}}^{\frac{V_{DD}}{2}} -C dV_{out}(t)$$

$$I_{satn} * t_{pHL} = C \frac{V_{DD}}{2}$$

$$t_{pHL} = C \frac{V_{DD}}{2} \frac{1}{I_{satn}} = 312 \text{ ps}$$

In questa approssimazione abbiamo SOVRASTIMATO la corrente di scarica della capacità, quindi vuol dire che abbiamo SOTTOSTIMATO il tempo di scarica.

$t_{pHL} = 312 \text{ ps}$ e' un limite inferiore del tempo high \rightarrow low reale.

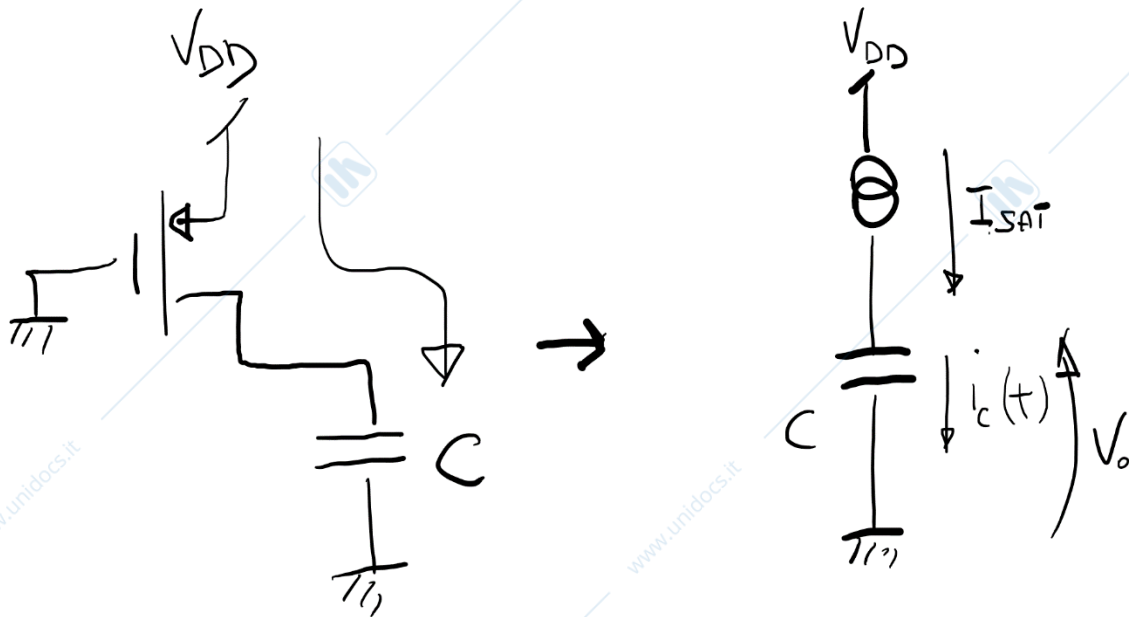
Carica via pMOS

Figure 8

Stiamo approssimando il pMOS a un generatore di corrente costante uguale a I_{satp}

$$I_{satp} = I_D(\text{saturazione}) = k_p (V_{ov})^2 = \frac{20\mu A}{V^2} 5 (-5V + 1V)^2 = 1.6 \text{ mA}$$

$$\int_0^{t_{pLH}} I_{satp}(t) dt = \int_0^{\frac{V_{DD}}{2}} C dV_{out}(t)$$

$$t_{pLH} = C \frac{V_{DD}}{2} \frac{1}{I_{satp}} = 1.56 \text{ ns}$$

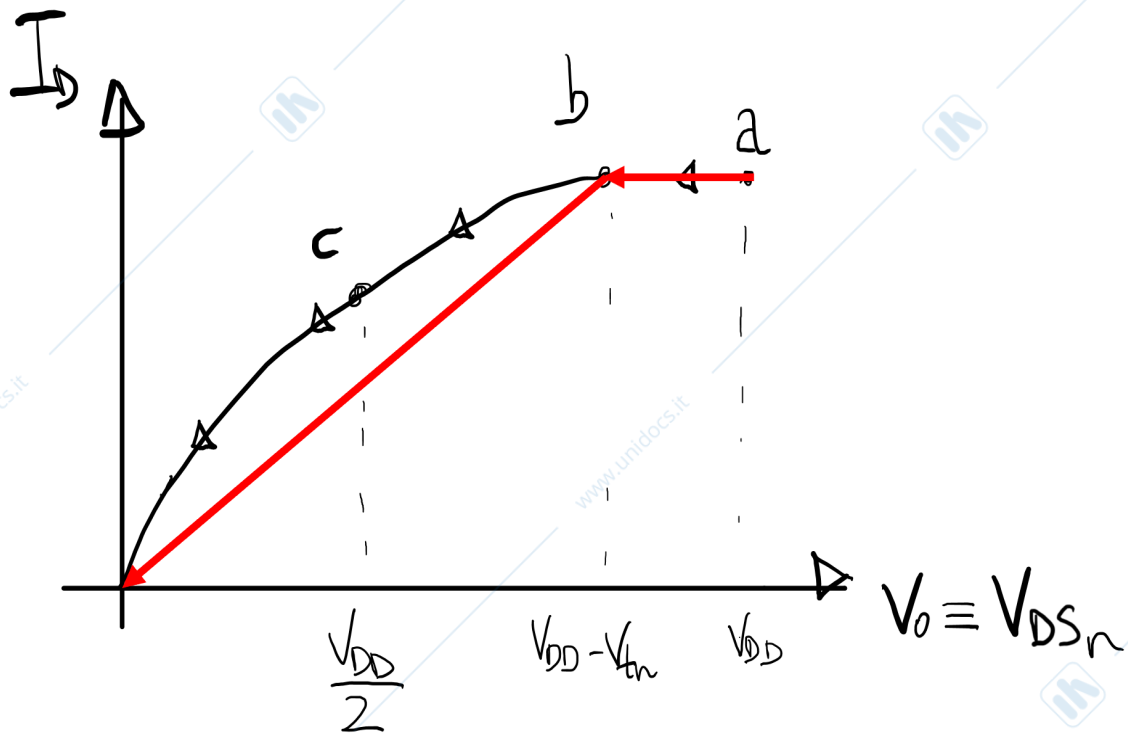
$$\tau_p = \frac{\tau_{pHL} + \tau_{pLH}}{2} = \frac{0.312 \text{ ns} + 1.56 \text{ ns}}{2} = 936 \text{ ps}$$

Il tempo di propagazione calcolato con l'approssimazione saturazione è uguale a 936 ps.

Questo risultato è stato ricavato da una SOVRASTIMA della corrente, e quindi risulta una SOTTOSTIMA del tempo di propagazione reale.

II) APPR. SATURAZIONE + OHMICA

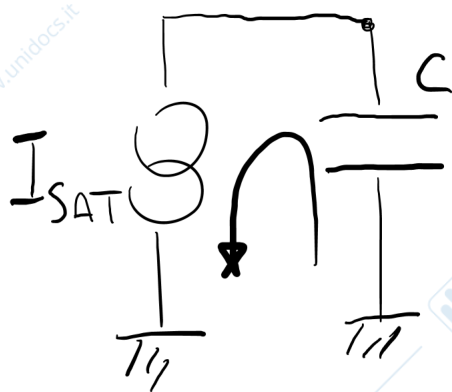
Scarica via nMOS



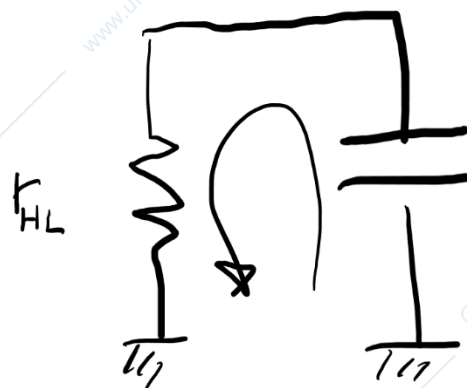
In questo caso dividiamo l'espressione della corrente del nMOS in due segmenti.

Prima il tratto **a-b** in cui la corrente è costante perché il MOS è in saturazione.

Poi nel tratto **b-c** in cui approssimiamo l'nMOS con una resistenza r_{HL} .



a - b



b - c

Il tempo t_{ab} è comandato dalla corrente costante di scarica data dal nMOS.

$$\int_0^{t_{ab}} I_{satn}(t) dt = \int_{V_{DD}}^{V_{DD}-V_{tn}} -C dV_{out}(t)$$

$$I_{satn} * t_{ab} = C * V_{tn}$$

$$t_{ab} = C * \frac{V_{tn}}{I_{satn}} = 125 ps$$

Il tempo t_{bc} rappresenta la scarica esponenziale della capacità verso una resistenza r_{HL} . Il valore della resistenza è dato dalla pendenza della curva V-I.

$$r_{HL} = \frac{V_{DD} - V_{tn}}{I_{satn}} = \frac{V_{DD} - V_{tn}}{k_n(V_{DD} - V_{tn})^2} = \frac{1}{k_n(V_{DD} - V_{tn})} = 500 \Omega$$

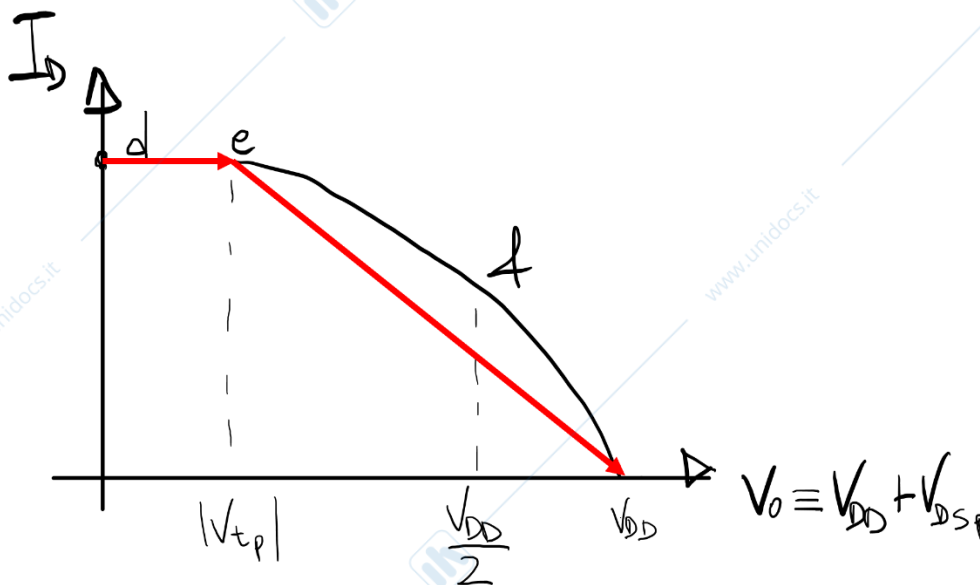
t_{bc} può essere ricavato dalla equazione della scarica esponenziale di una capacità verso una resistenza.

$$\frac{V_{DD}}{2} = (V_{DD} - V_{tn})e^{-\frac{t_{bc}}{\tau}}$$

$$t_{bc} = \tau \ln\left(2 \frac{V_{DD} - V_{tn}}{V_{DD}}\right) = 235 ps$$

$$t_{pHL} = t_{ab} + t_{bc} = 360 ps$$

Carica via pMOS



Allo stesso modo del nMOS, dividiamo la corrente pMOS in due segmenti

Prima il tratto **d-e** in cui la corrente è costante e il MOS è in saturazione.

Poi nel tratto **e-f** approssimiamo il pMOS con una resistenza r_{LH} .

Il tempo t_{de} è comandato dalla corrente costante di carica data dal pMOS.

$$\int_0^{t_{de}} I_{sat_p}(t) dt = \int_0^{|V_{tp}|} C dV_{out}(t)$$

$$t_{de} = C * \frac{|V_{tp}|}{I_{sat_p}} = 625 ps$$

Il tempo t_{ef} rappresenta la carica esponenziale della capacità attraverso una resistenza r_{LH} . Il valore della resistenza è dato dalla pendenza della curva V-I.

$$r_{LH} = \frac{V_{DD} - |V_{tp}|}{I_{sat_p}} = 2.5 k\Omega$$

t_{ef} può essere ricavato dalla equazione della carica esponenziale di una capacità

$$\frac{V_{DD}}{2} = V_{DD} + (|V_{tp}| - V_{DD})e^{-\frac{t_{ef}}{\tau}}$$

$$\frac{V_{DD}}{2} = (V_{DD} - |V_{tp}|)e^{-\frac{t_{ef}}{\tau}}$$

$$t_{ef} = \tau \ln\left(\frac{V_{DD} - |V_{tp}|}{\frac{V_{DD}}{2}}\right) = \tau \ln\left(2 \frac{V_{DD} - |V_{tp}|}{V_{DD}}\right) = 1.17 ns$$

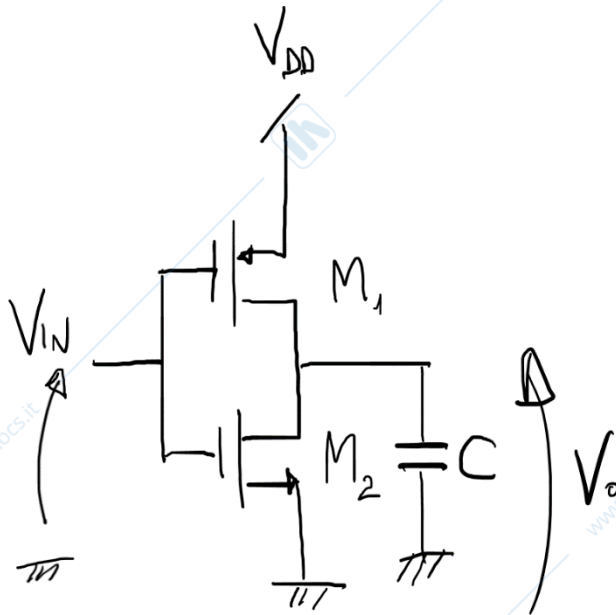
$$t_{pLH} = t_{de} + t_{ef} = 1.8 ns$$

$$\tau_p = \frac{\tau_{pHL} + \tau_{pLH}}{2} = \frac{0.36 ns + 1.8 ns}{2} = 1.08 ns$$

Il tempo di propagazione calcolato con l'approssimazione saturazione + ohmico è uguale a 1.08 ns.

Questo risultato è stato ricavato da una SOTTOSTIMA della corrente, e quindi risulta una SOVRASTIMA del tempo di propagazione reale.

3)



$$V_{DD} = 5 \text{ V}$$

$$V_{tn} = |V_{tp}| = 1 \text{ V}$$

$$\frac{1}{2} \mu_n C'_{ox} = 50 \frac{\mu\text{A}}{\text{V}^2}$$

$$\frac{1}{2} \mu_p C'_{ox} = 20 \frac{\mu\text{A}}{\text{V}^2}$$

$$\left(\frac{W}{L}\right)_n = \frac{10 \mu\text{m}}{1 \mu\text{m}}$$

$$\left(\frac{W}{L}\right)_p = \frac{5 \mu\text{m}}{1 \mu\text{m}}$$

$$C = 1 \text{ pF}$$

- Dai tempi calcolati precedentemente, stimare quale è il tempo necessario affinché l'inverter completi ciascuna transizione.
- Calcolare la massima frequenza di un'onda quadra con duty cycle 50% in ingresso all'inverter che consente il completamento di ciascuna transizione.
- Calcola la potenza media dissipata dal circuito quando in ingresso sia presente il segnale calcolato nel punto c.

b)

APPROX SAT

I tempi di propagazione calcolati precedentemente indicano la transizione fino a metà della dinamica di uscita. Possiamo raddoppiare questi tempi come buona approssimazione del tempo totale di transizione.

$$t_{1 \rightarrow 0} = 2 * t_{HL} = 2 * 312 \text{ ps} = 624 \text{ ps}$$

$$t_{0 \rightarrow 1} = 2 * t_{LH} = 2 * 1.56 \text{ ns} = 3.12 \text{ ns}$$

APPROX SAT + OHM

I tempi di propagazione calcolati precedentemente indicano la transizione fino a metà della dinamica di uscita. Possiamo avere una approssimazione ragionevole del tempo totale di carica / scarica considerando circa 3 volte la costante di tempo durante la approssimazione ohmica

$$t_{1 \rightarrow 0} = t_{ab} + 3\tau_{bc} = 125 \text{ ps} + 3 * 500\Omega * 1\text{pF} = 125 \text{ ps} + 1.5 \text{ ns} = 1.6 \text{ ns}$$

$$t_{0 \rightarrow 1} = t_{de} + 3\tau_{ef} = 625 \text{ ps} + 3 * 2500\Omega * 1\text{pF} = 625 \text{ ps} + 7.5 \text{ ns} = 8.1 \text{ ns}$$

c)

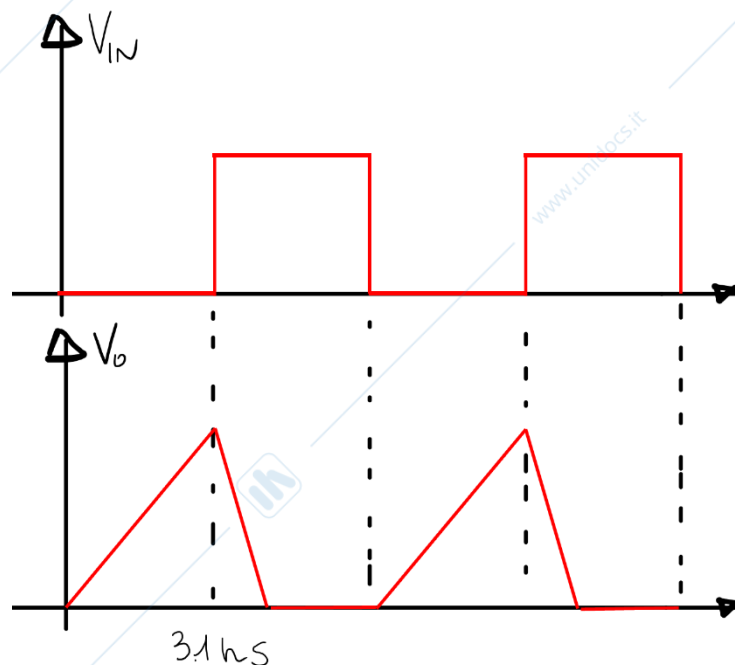
Il segnale di ingresso ha un duty cycle del 50%, quindi il tempo in cui il $V_{in} = V_{DD}$ è uguale al tempo in cui $V_{in} = 0V$.

In tutti e due i casi abbiamo la transizione $t_{0 \rightarrow 1}$ che è la più lenta. Quindi in entrambi i casi fa da collo di bottiglia per la trasmissione.

APPROX SAT

$$\frac{T}{2} = t_{0 \rightarrow 1} = 3.12 \text{ ns}$$

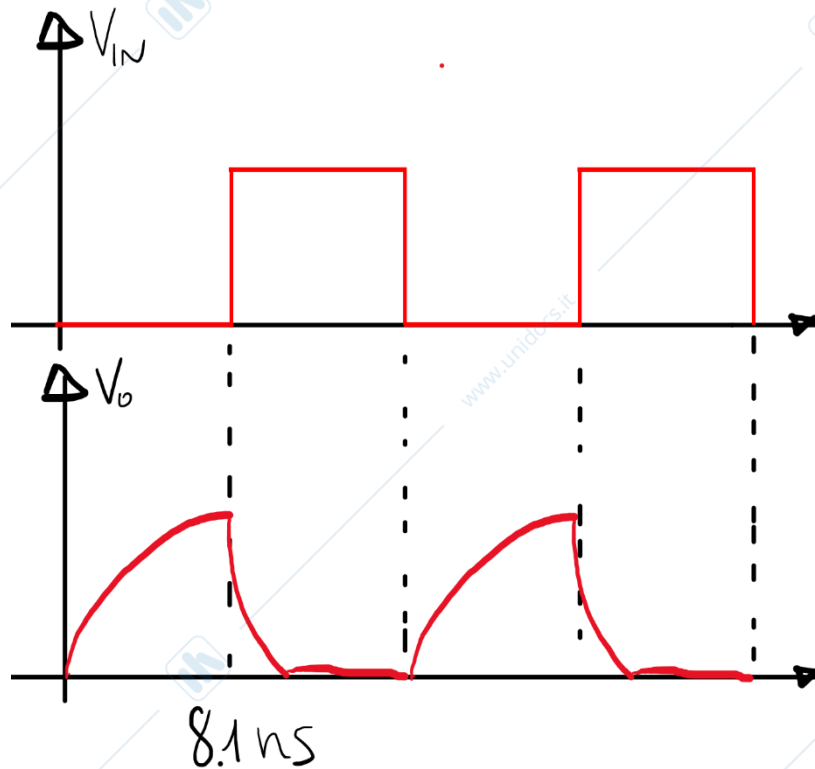
$$f = \frac{1}{T} = \frac{1}{2 * 3.12 \text{ ns}} = 160 \text{ MHz}$$



APPROX SAT+ OHM

$$\frac{T}{2} = t_{0 \rightarrow 1} = 8.1 \text{ ns}$$

$$f = \frac{1}{T} = \frac{1}{2 * 8.1 \text{ ns}} = 62 \text{ MHz}$$



d)

La potenza dinamica dissipata nel circuito è dovuta alla carica e scarica del condensatore C.

L'energia che viene raccolta dalla capacità durante la carica è uguale a

$$E_{carica} = \int_0^{T/2} V_{out} I_D(t) dt = C \int_0^{T/2} V_{out} \frac{dV_{out}(t)}{dt} dt = C \int_0^{V_{DD}} V_{out} dV_{out} = \frac{1}{2} C V_{DD}^2$$

E nel periodo di scarica la stessa quantità di energia viene dissipata attraverso l'nMOS.

Quindi possiamo dire

$$P_{dinamica} = \frac{E_{carica} + E_{scarica}}{T} = C V_{DD}^2 f$$

$$P_{dinamica_saturazione} = C V_{DD}^2 f = 1 \text{ pf } 5^2 \text{ V}^2 160 \text{ MHz} = 4 \text{ mW}$$

$$P_{dinamica_sat+ohm} = C V_{DD}^2 f = 1 \text{ pf } 5^2 \text{ V}^2 62 \text{ MHz} = 1.55 \text{ mW}$$