www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

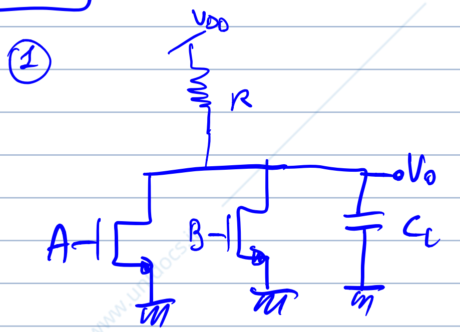
Teoremi di De Morgan: $\overline{AB} = \overline{A} + \overline{B}$; $\overline{A+B} = \overline{A} \cdot \overline{B}$

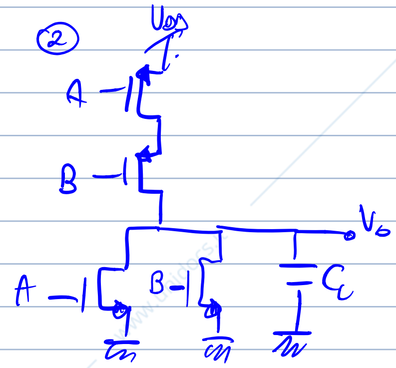
$\underbrace{\text{OR è il } +}_{\text{parallelo}}$; $\underbrace{\text{AND è il } \cdot}_{\text{serie.}}$

PULLUP: creata con pMOS. → è Accesa quando valore logico è 1.
PULLDOWN: creata con nMOS. → è ACCESA quando il valore logico è $\emptyset$

NB: la rete di PULLUP è connessa a V_{DD}! PULLDOWN al GND.

$\boxed{\text{ES. 1}}$





$V_{DD} = 3.3V$
$R = 10k\Omega$
$C_L = 0{,}2\,pF$
$V_{tn} = |V_{tp}| = 0{,}7V$
$k_n = 200 \,\mu A/V^2$
$k_p = 80 \,\mu A/V^2$

ⓐ Che funzione logica rappresentano?

1 – 2 nMOS parallelo come pulldown; R agisce come pullup.

2 – pulldown: 2 nMOS //; pullup: 2 pMOS serie:

↳ tabella di verità:

A	B	V_{out}
0	0	1
0	1	0
1	0	0
1	1	0

Se uno dei 2 nMOS è acceso ho percorso tra V_{OUT} e GND

Mentre è necessario che entrambi i pMOS siano accesi $(A=0, B=0)$ affinché V_{OUT} sia connessa a V_{DD}.

⇒ NB: per accendere pMOS deve avere uno $\emptyset$
per accendere nMOS devo avere un 1.

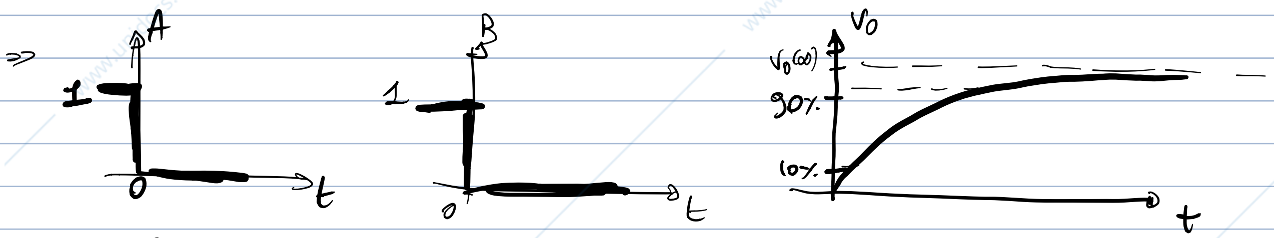
⇒ La funzione logica del circuito è $V_{OUT} = \overline{A+B}$

ⓑ Calcolare tempo di pullup nei 2 circuiti (transitorio 10% – 90% di V_{DD}) nel caso in cui entrambi gli ingressi A, B commutino da V_{DD} a $\emptyset$.

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

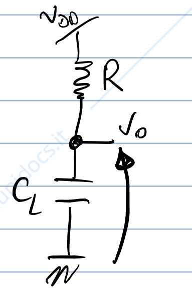
www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

$\Rightarrow$ ho: $(A,B) = (1,1) \rightarrow (0,0) \Rightarrow$ l'uscita sarà: $V_{OUT} = 0 \rightarrow 1$

$\Rightarrow$ 

$\Rightarrow$ A $t = 0^+$ avremo che la rete dei pulldown si spegne, mentre si accende la rete dei pullup.

CIRC. ①: rete PDOWN spenta per $t > 0$



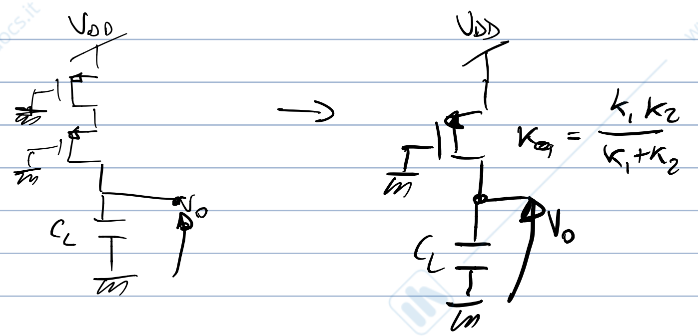
$$\Rightarrow V_{OUT}(t) = V_{DD} - V_{DD}\, e^{-\frac{t}{\tau}}$$

$\rightarrow t_{10\%}$: $0{,}1\, V_{DD} = V_{DD} - V_{DD}\, e^{-\frac{t_{10\%}}{\tau}}$ $\quad e^{-\frac{t_{10\%}}{\tau}} = 0{,}9 \Rightarrow t_{10\%} = \tau \ln\left(\frac{1}{0{,}9}\right) = RC_L \ln\left(\frac{1}{0{,}9}\right) = 210$

$\rightarrow t_{90\%}$: $0{,}9\, V_{DD} = V_{DD} - V_{DD}\, e^{-\frac{t_{90\%}}{\tau}}$ $\quad e^{-\frac{t_{90\%}}{\tau}} = 0{,}1 \Rightarrow t_{90\%} = \tau \ln\left(\frac{1}{0{,}1}\right) = RC_L \ln\left(\frac{1}{0{,}1}\right) = 4,$

$$t_{PULLUP} = t_{90\%} - t_{10\%} = 4{,}395\, ns$$

CIRC. 2|: entrambi pMOS accesi $\Rightarrow$ li considero assieme e trovo $K_{eq} = \frac{k_p k_p}{k_p + k_p} = \frac{k_p}{2}$



Calcolo tempo transiz. 10%-90% con APPROX. SAT + OHMICA: divido in 2 momenti la carica: da 0 a t_1 pMOS è gen. di corrente I_{SAT_p}; da t_1 a t_2 pMOS sarà R_{CLH}

$\hookrightarrow$ $0 \rightarrow t_1$:

$$\int_{t_{10\%}}^{t_1} I_{SAT_p}(t)\, dt = \int_{10\% \cdot V_{DD}}^{|V_{tp}|} C_L\, dV_{OUT}(t)$$

$$t_1 - t_{10\%} = C_L \cdot \frac{|V_{tp}| - 10\%\, V_{DD}}{I_{SAT_p}} = 0{,}2\, pF \cdot \frac{0{,}7V - 0{,}33V}{k_{p_{eq}}(-3{,}3V + 0{,}7V)^2} = 270\, ps$$

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

$\hookrightarrow t_1 \to t_2$: $\quad R_{LH} = \dfrac{V_{DD} - |V_{tp}|}{I_{SAT_P}} = \dfrac{3{,}3V - 0{,}7V}{270\,\mu A} \simeq 9{,}6\,k\Omega$

$$\Rightarrow \quad 0{,}9 V_{DD} = V_{DD} + (|V_{tp}| - V_{DD})\, e^{-\frac{t_{90\%} - t_1}{\tau}}$$

$$e^{-\frac{t_{90\%} - t_1}{\tau}} = \frac{0{,}1 V_{DD}}{V_{DD} - |V_{tp}|} \qquad t_{90\%} - t_1 = \tau \ln\left(\frac{V_{DD} - |V_{tp}|}{0{,}1 V_{DD}}\right) = RC_L \ln\left(\frac{V_{DD} - |V_{tp}|}{0{,}1 V_{DD}}\right) = 3{,}$$

$$\Rightarrow t_{PULLUP} = (t_{90\%} - t_1) + (t_1 - t_{10\%}) = 4{,}23\,ns$$

c) Calcolare valore del livello logico basso di uscita nei circuiti assumendo gli ingressi a V_{DD}:

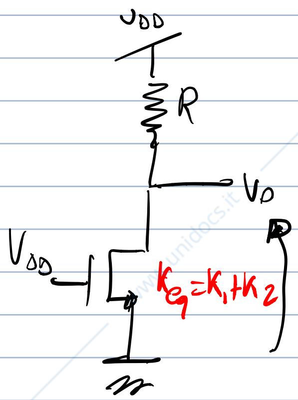
CIRCUITO 2: $\quad A = V_{DD} \quad B = V_{DD} \quad \Rightarrow$ ~~pMOS~~ sono in INTERDIZIONE, siccome

$$V_{GS_P} = V_{DD} - V_{DD} = 0 > -0{,}7 = V_{tp}$$

mentre gli nMOS conducono: $V_{GS_N} = V_{DD} > 0{,}7V = V_{tn}$

$\Rightarrow$ ho solo un percorso tra V_{OUT} e GND $\Rightarrow$ il livello logico basso di uscita è $V_{OL} = 0V$

CIRC. 1:



ipotizzo valore dell'uscita piccolo $\Rightarrow$ ipotizzo MOS in zona TRIODO $V_{DS} < V_{GS} - V_{tn}$, faccio in prima approx conti con MOS in zona OHMICA $(V_{DS} \ll V_{GS} - V_{tn})$

$$\Rightarrow I_{R_1} = I_D$$

$$\left(\frac{V_{DD} - V_{OUT}}{R}\right) = 2K_{eq}\left[(V_{GS} - V_{tn})V_{DS}\right]$$

$$\left(\frac{V_{DD} - V_{OUT}}{R}\right) = 2K_{eq}\left[(V_{DD} - V_{tn})V_{OUT}\right]$$

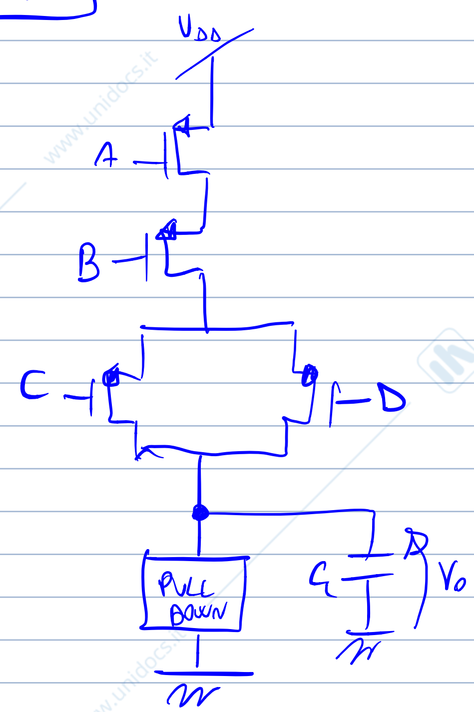
$$\to V_{OUT} = \frac{V_{DD}}{1 + R\,2K_{eq}(V_{DD} - V_{tn})} = 0{,}151\,V \qquad \Rightarrow \quad V_{OUT} = V_{DS} = 0{,}151V \ll 2{,}6V = V_{GS} - V$$

$\Rightarrow$ Valore logico basso del circuito è: $V_{OL} \simeq 0{,}151V$

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

ES.2



$V_{DD} = 3,3V$ $\quad C_L = 10pF$ $\quad V_{tn} = |V_{tp}| = 1V$

$K_p = \frac{1}{2}\mu_p C'_{ox}\left(\frac{W}{L}\right)_p = 250\,\frac{\mu A}{V^2}$ $\quad \left(\frac{W}{L}\right)_p = 20$

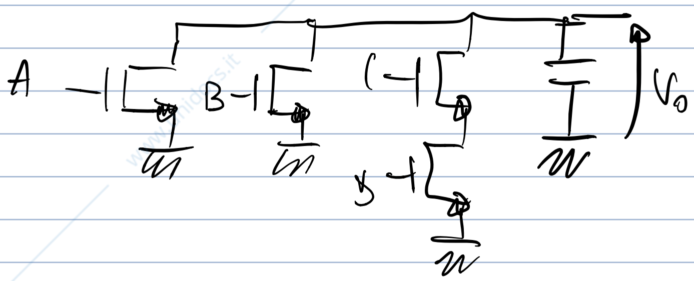
$\frac{\mu_n}{\mu_p} = 2,5$

a) Sintetizzare rete PULLDOWN + Det. funz. logica e TAB. verità.

Rete PDWN deve essere complementare alla PULLUP!

⇒ se due pMOS sono in serie, nella PDWN sono in parallelo.
" " " " " parallelo, " " " " serie.

Rete di PDWN sarà:



Guardo rete di PULLDOWN e l'espressione è:

$\overline{V_{OUT}} = A + B + CD$

Riscrivo usando De Morgan:

$V_{OUT} = \overline{A+B+CD} = \bar{A}\cdot\bar{B}\cdot(\bar{C}+\bar{D})$

che sintetizza rete di PULLUP!

TAB. verità:

A	B	C	D	V_{OUT}
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1

$\overline{V_{OUT}} = A+B+CD$

→ se guardo funz. logica $\overline{V}$ di PDWN noto che sono tutt[...] Ø, ma Vout è negata ⇒ il risultato è 1.
A differenza, metto il valore Ø nei pMOS (che quindi saranno 1 visto che sono negati ne[...] eq. di PULLUP: $\bar{A}\cdot\bar{B}\cdot(\bar{C}+\bar{D})$) e quindi il [...]

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

... risultato della Vout sarà 1.

0	0	1	1	0
0	1	X	X	0
1	0	X	X	0
1	1	X	X	0

Qualsiasi è il valore che metto!

b) Det. $\left(\frac{W}{L}\right)_n$ tale per cui il tempo necessario alla transizione H→L più lenta sia uguale al tempo necessario alla transiz. L→H più lenta.

> è la corrente e < è il tempo necessario per compiere la transizione.

↳ la corrente di un nmos è proporzionale a K ⇒ maggiore è il K equivalente e minore è il tempo di transizione.

Per confronto tra diversi tempi di transizione, se assumo nmos equivalente come una resistenza, allora diremo che il tempo di transiz. minore sarà dato dal percorso meno resistivo ⇒ con K maggiore.

⇒ La combinazione di input che accende il percorso con K equivalente più piccolo darà anche il tempo di transizione maggiore.

• Avremo il pull-up + lento quando: A=0, B=0, C=0, D=1 (percorso equivalente con C=1 e D=0)

↳ in questo caso ho 3 pmos in serie ⇒ $K_{p_{eq}} = \frac{1}{\frac{1}{K_p}+\frac{1}{K_p}+\frac{1}{K_p}} = \frac{K_p}{3}$ che è il minore possibile

• PDOWN + lento quando: A=0, B=0, C=1, D=1

↳ Abbiamo 2 nmos in serie ⇒ $K_{n_{eq}} = \frac{1}{\frac{1}{K_n}+\frac{1}{K_n}} = \frac{K_n}{2}$

• Abbiamo stesso tempo di PULLUP e PDOWN se scorre la stessa corrente

⇒ $K_{p_{eq}} = K_{n_{eq}} \Rightarrow \frac{K_p}{3} = \frac{K_n}{2} \Rightarrow K_n = \frac{2}{3} K_p$

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

$$\Rightarrow \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_n = \frac{2}{3}\cdot\frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)_p$$

$$\mu_n\left(\frac{W}{L}\right)_n = \frac{2}{3}\mu_p\left(\frac{W}{L}\right)_p \rightarrow \left(\frac{W}{L}\right)_n = \frac{2}{3}\frac{\mu_p}{\mu_n}\left(\frac{W}{L}\right)_p = 5,3$$

$\boxed{\text{ED 3}}$

② Sintetizzare la porta logica $Y = \overline{A} + \overline{B + CD}$

Uso De Morgan: $Y = \overline{A\cdot(B+CD)}$ $\quad \underbrace{\overline{Y} = A\cdot(B+CD)}$ ricavo rete pulldown.

PULLDOWN:

$\Rightarrow$

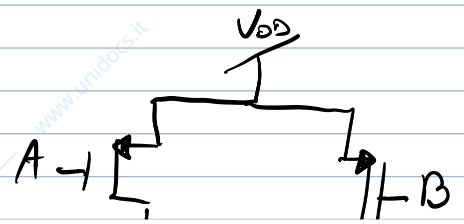
Per il PULLUP:

$\leadsto$ faccio il complementare e ho:

$$Y = \overline{A} + [\overline{B}\cdot(\overline{C}+\overline{D})]$$
$$= \overline{A} + \overline{B}\cdot(\overline{C}+\overline{D})$$

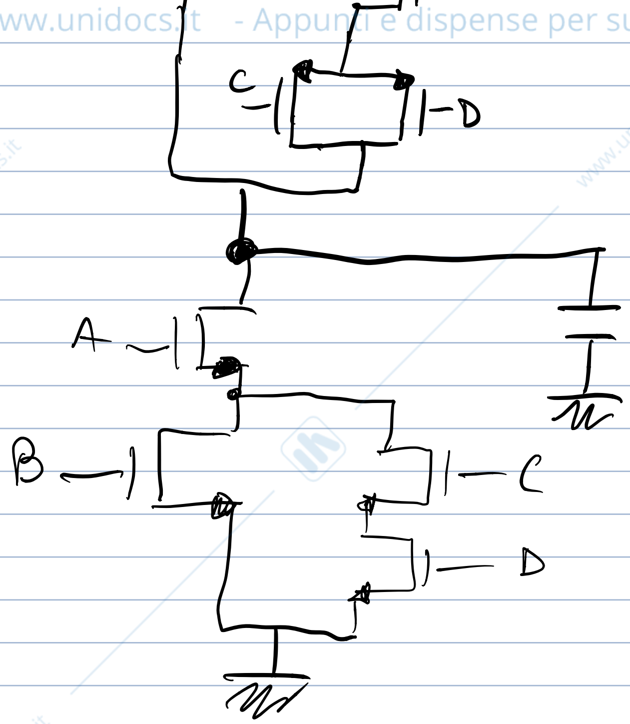
$\hookrightarrow$ PULLUP:

$\Rightarrow$ Circuito finito è:



www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari



b) $K_n = 1 \frac{mA}{V^2}$, Det. K_p tale per cui il tempo necessario per la transizione H→L più veloce sia uguale al tempo nec. alla transiz. L→H + veloce.

⇒ PDWN + veloce quando tutti i nMOS sono accesi

⇒ A, B, C, D = 1 ⇒ $K_{eq_{CD}} = \frac{1}{\frac{1}{K_n}+\frac{1}{K_n}} = \frac{k_n}{2}$ $\quad K_{neq_{BCD}} = k_n + \frac{k_n}{2} = \frac{3}{2}K_n$

⇒ $K_{neq} = \frac{1}{\frac{1}{K_n}+\frac{2}{3K_n}} = \frac{3}{5}K_n$

⇒ PULLUP + veloce quando i pMOS sono tutti accesi:

A=0, B, C, D=0 ⇒ $K_{peq_{CD}} = K_p+K_p = 2K_p$ $\quad K_{peq_{CBD}} = \frac{1}{\frac{1}{2K_p}+\frac{1}{K_p}} = \frac{2}{3}K_p$

⇒ $K_{peq} = K_p + \frac{2}{3}K_p = \frac{5}{3}K_p$

⇒ Stesso tempo Pullup e PDWN se stessa corrente

⇒ $K_{peq} = K_{neq}$ ⇒ $\frac{5}{3}K_p = \frac{3}{5}k_n$ ⇒ $K_p = \frac{9}{25}K_n = 0{,}36\frac{mA}{V^2}$

NB: Potenza Dinamica dissipata: $P_d = CV_{DD}^2 f = C\cdot V_{DD}^2\cdot\frac{1}{T}$

www.unidocs.it - Appunti e dispense per superare i tuoi esami universitari