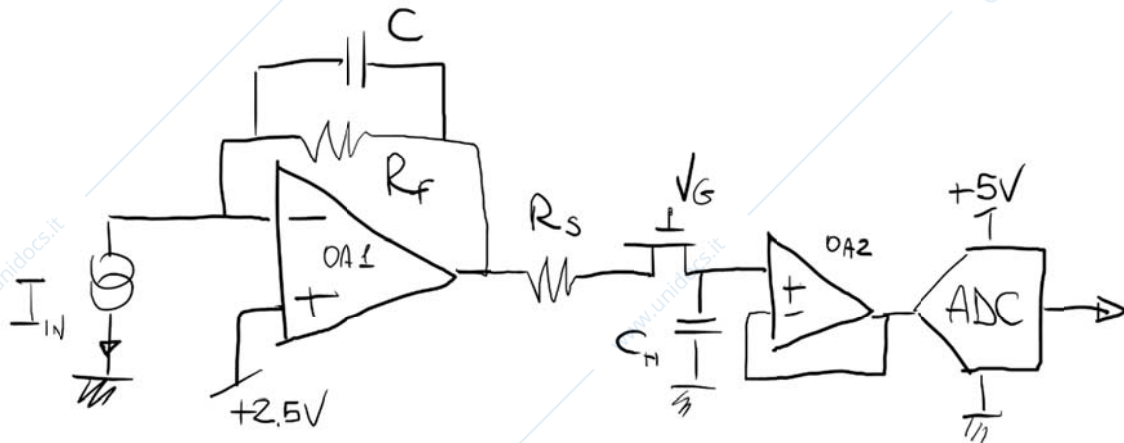


Fondamenti di Elettronica per Ingegneria dell'Automazione

Esercitazione 11

Ing. Pietro King

1)



$$-1 \mu A < I_{in} < +1 \mu A$$

$$R_F = 1 \text{ M}\Omega \quad R_S = 50 \Omega \quad C_H = 100 \text{ pF}$$

- Determinare il minimo numero di bit richiesti all'ADC per convertire I_{in} con una risoluzione migliore di 1 nA (in DC) e calcolare quale variazione di corrente di ingresso corrisponde a un LSB del convertitore
- Sia presente in ingresso un disturbo $I_d = 10 \text{ nA} \sin(2\pi 100 \text{ kHz } t)$ sovrapposto al segnale di ingresso. Assumendo OA1 e il S&H ideali, determinare il valore minimo di C per garantire un errore dovuto al disturbo inferiore a 1 LSB.
- Determinare la tensione di gate massima e minima da applicare al pMOS durante le fasi di sample e hold, considerando una $V_t = -1.2 \text{ V}$ del pMOS
- Si consideri una resistenza di ingresso di modo comune per OA2 pari a $R_{CM} = 1 \text{ G}\Omega$. Determinare la durata massima della fase di hold.
- Si assumano una $f_{clk} = 50 \text{ MHz}$ e una frequenza di campionamento 1 Msample/s . Quale ADC usare tra un flash, un convertitore a gradinata e uno ad approssimazioni successive?

a)

In DC le capacità C e C_H sono dei circuiti aperti.

Usando la sovrapposizione degli effetti possiamo calcolare l'espressione della tensione di uscita dell'amplificatore operazionale OA1.

$$V_{OUT1} = 2.5V + R_F I_{in}$$

L'amplificatore OA2 è in configurazione buffer, quindi

$$V_{OUT2} = V_{OUT1}$$

A una variazione di 1nA nella corrente di ingresso I_{IN} ho una variazione di output

$$\Delta V_{OUT2} = \Delta V_{OUT1} = \Delta I_{IN} R_F = 1nA \cdot 1M\Omega = 1mV$$

Quindi voglio che l'ADC abbia una sensibilità di almeno 1mV.

$$N \geq \frac{5V}{1mV} = 5000$$

$$n_{bit} \geq \log_2 5000 = 12.3 \text{ bit}$$

$$n_{bit} = \mathbf{13 \text{ bit}}$$

L'ADC deve avere almeno 13 bit per avere una risoluzione migliore di 1nA in ingresso. Possiamo calcolare la risoluzione dell'ADC:

$$LSB_{ADC} = \frac{5V}{2^{13}} = \frac{5V}{8192} = 0.6 \text{ mV}$$

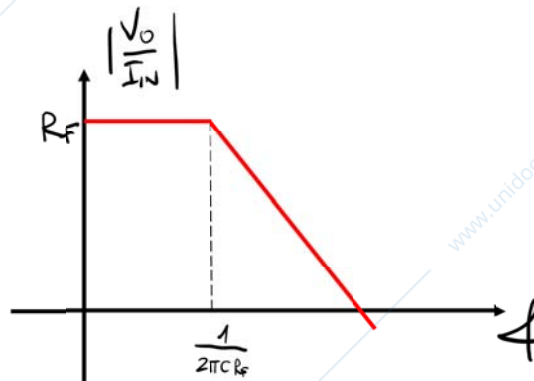
$$LSB_{I_{IN}} = \frac{LSB_{ADC}}{R_F} = \frac{0.6 \text{ mV}}{1 \text{ M}\Omega} = 0.6 \text{ nA}$$

0.6 nA è la più piccola variazione di corrente che possiamo apprezzare.

b)

La funzione di trasferimento del circuito in funzione della corrente I_{in} è data da:

$$V_{OUT2} = V_{OUT1} = I_{IN} R_F \parallel \frac{I}{sC} = \frac{R_F}{1 + sCR_F} I_{IN}$$



Vogliamo che il disturbo a 100 kHz sia trascurabile e inferiore a 1 LSB. Quindi supponiamo che il polo introdotto dalla capacità sia inferiore a 100 kHz.

Imponiamo $\frac{1}{2\pi R_F C} \ll 100 \text{ kHz}$, così:

$$V_{out} \approx I_d \frac{R_F}{2\pi f R_F C} = I_{in} \frac{1}{2\pi f C} < 1 \text{ LSB}_{ADC}$$

$$C > \frac{I_d}{2\pi f \text{LSB}_{ADC}} = \frac{10 \text{ nA}}{2\pi \cdot 100 \text{ kHz} \cdot 0.6 \text{ mV}} = 26.5 \text{ pF}$$

c)

Determiniamo le tensioni massime e minime in ingresso all'ADC sulla capacità C_H

$$V_H = V_{OUT2} = 2.5V + R_F I_{in}$$

$$V_{Hmax} = 2.5V + R_F I_{inmax} = 2.5V + 1M\Omega 1\mu A = 3.5V$$

$$V_{Hmin} = 2.5V + R_F I_{inmin} = 2.5V - 1M\Omega 1\mu A = 1.5V$$

La tensione V_H rappresenta la tensione di source del pMOS di S&H.

Conoscendo le tensioni di source massime e minime possiamo calcolare le tensioni di gate per accensione e spegnimento del pMOS.

Fase di HOLD:

PMOS spento: $V_{GS} > V_{Tp}$

$$V_{Ghold} > V_{Smax} + V_{tp} = 3.5V - 1.2V = 2.3V$$

Fase di SAMPLE:

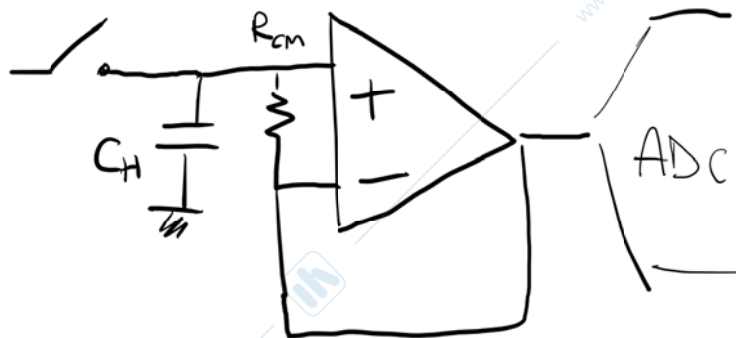
PMOS acceso: $V_{GS} < V_{Tp}$

$$V_{Gsample} < V_{Smin} + V_{tp} = 1.5V - 1.2V = 0.3V$$

Per garantire che il pMOS sia sempre spento nella fase di HOLD, V_{Gmax} deve essere maggiore di 2.3V.

Per garantire che il pMOS sia acceso per ogni valore di V_S durante la fase di sample, V_{Gmin} deve essere minore di 0.3V

d)



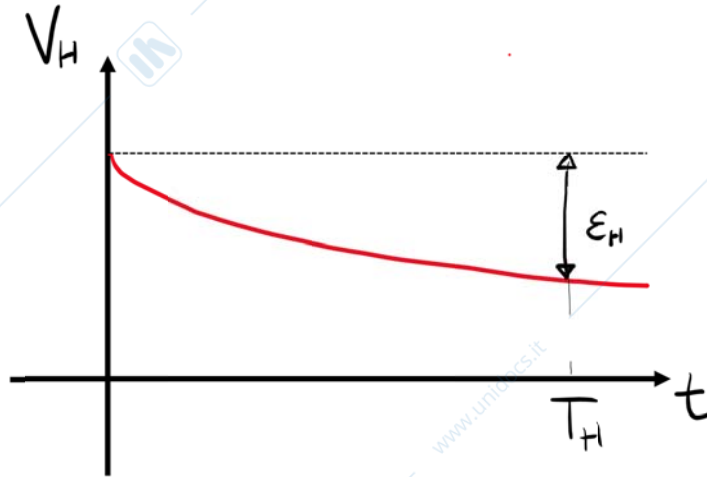
A causa della resistenza $R_{CM} = 1G\Omega$, la carica accumulata nella capacità di hold si scarica.

Abbiamo una scarica esponenziale:

$$V_H = \Delta V e^{-\frac{t}{\tau}}$$

Quindi la tensione sulla capacita' C_H si "allontana" dalla tensione che vogliamo campionare, e abbiamo un errore rispetto al valore iniziale

$$\epsilon_H = \Delta V \left(1 - e^{-\frac{T_H}{\tau}} \right)$$



$$\epsilon_{H_{max}} = \Delta V_{max} \left(1 - e^{-\frac{T_H}{\tau}} \right) < 1 \text{ LSB}$$

$$3.5 \text{ V} \left(1 - e^{-\frac{T_H}{R_{CM}C_H}} \right) < 0.6 \text{ mV}$$

$$T_H < 17 \text{ us}$$

e)

Data una frequenza di campionamento di 1 Msample/s, vogliamo che l'ADC digitalizzi in un tempo di conversione $< 1 \text{ us}$.

Un ADC flash ha un tempo di conversione di un colpo di clock: $T_{conv_{flash}} = T_{clk} = \frac{1}{50\text{MHz}} = 20 \text{ ns}$.

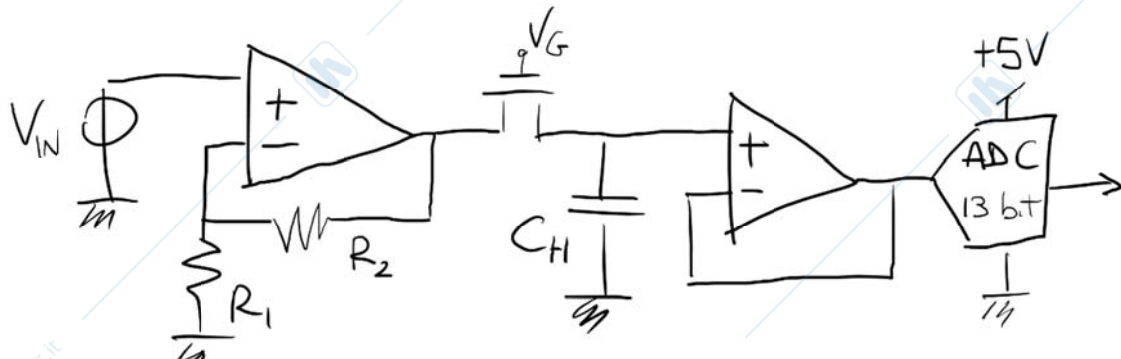
Un ADC flash e' abbastanza veloce per la conversione del dato ma e' molto difficile costruire ADC flash con piu' di 10 bit, mentre il nostro ADC deve averne almeno 13.

Un ADC a gradinata ha un tempo di conversione: $2^{n_{bit}} T_{clk} = 8192 * 20 \text{ ns} = 163 \text{ us}$. Un ADC a gradinata non e' abbastanza veloce.

Un ADC SAR ha un tempo di conversione $T_{conv_{SAR}} = n_{bit} * t_{clk} = 13 * 20\text{ns} = 260 \text{ ns}$. Un ADC SAR e' abbastanza veloce e gli ADC SAR fino a 16 bit sono comuni.

L'ADC migliore per la nostra applicazione e' un SAR.

2)



$$0\text{ V} < V_{in} < +0.5\text{ V}$$

$$R_1 = 1\text{ k}\Omega \quad R_2 = 8\text{ k}\Omega \quad T_{\text{sample}} = 100\text{ ns} \quad \text{freq. campionamento } f_c = 1\text{ MHz}$$

- Determinare la risoluzione della tensione in ingresso V_{in}
- Se il convertitore ADC è di tipo SAR, determinare i valori di frequenza di clock (f_{clock}) compatibili con i tempi di sample e hold previsti.
- Si assuma che le correnti di bias dell'amplificatore AO2 siano pari a $I_B = 100\text{ nA}$ e che l'interruttore MOS sia equivalente a una resistenza $R_{\text{MOS}} = 50\Omega$. Calcolare l'intervallo di valori di C_H compatibili con i tempi di S&H

a)

La risoluzione dell'ADC è data da:

$$LSB_{\text{ADC}} = \frac{5\text{ V}}{2^{13}} = 0.6\text{ mV}$$

Il guadagno tra input e ingresso dell'ADC è dato dall'amplificatore operazionale in configurazione non invertente:

$$G = 1 + \frac{R_2}{R_1} = 9$$

Così possiamo determinare la risoluzione in ingresso:

$$LSB_{\text{IN}} = \frac{LSB_{\text{ADC}}}{G} = \frac{0.6\text{ mV}}{9} = 66.7\text{ }\mu\text{V}$$

b)

Data la frequenza di campionamento, è possibile determinare il tempo di campionamento:

$$T_{\text{camp}} = \frac{1}{f_{\text{camp}}} = 1\text{ }\mu\text{s}$$

Il tempo di campionamento è dato dalla somma di tempo di sample e tempo di hold:

$$T_{\text{camp}} = T_S + T_H$$

$$T_H = T_{\text{camp}} - T_S = 1\text{ }\mu\text{s} - 100\text{ ns} = 900\text{ ns}$$

Dato un tempo di hold di 900 ns, il tempo di conversione dell'ADC deve essere inferiore del tempo di hold.

$$T_{conv} < 900 \text{ ns}$$

In un ADC SAR il tempo di conversione è:

$$T_{conv_{SAR}} = n_{bit} * T_{clk}$$

$$n_{bit} * T_{clk} < 900 \text{ ns}$$

$$T_{clk} < \frac{900 \text{ ns}}{13}$$

$$f_{clk} > \frac{1}{T_{clk}} = \frac{13}{900 \text{ ns}} = 14.4 \text{ MHz}$$

c)

Fase di HOLD

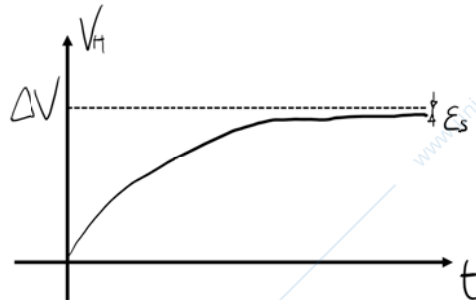
Nella fase di hold abbiamo la corrente di polarizzazione che scarica la capacità, e questo errore deve essere inferiore a un LSB:

$$\Delta V = \frac{I_B T_H}{C_H} < LSB_{ADC}$$

$$C_H > \frac{I_B T_H}{LSB_{ADC}} = \frac{100 \text{ nA} \cdot 900 \text{ ns}}{0.6 \text{ mV}} = 150 \text{ pF}$$

Fase di SAMPLE

Abbiamo una limitazione dovuta alla carica incompleta della capacità C_H dopo il tempo di sample a causa della resistenza R_{MOS} . Vogliamo che l'errore sia inferiore a un LSB



$$\epsilon_s = \Delta V e^{-\frac{t}{\tau}}$$

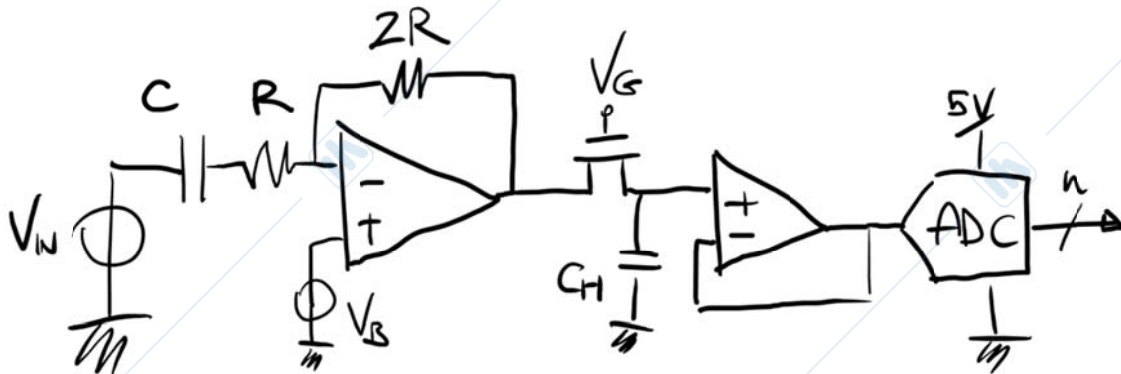
$$\Delta V_{max} e^{-\frac{T_S}{R_{MOS} C_H}} < LSB_{ADC}$$

$$0.5 \text{ V} * 9 * e^{-\frac{100 \text{ ns}}{50 \Omega C_H}} < 0.6 \text{ mV}$$

$$C_H < 224 \text{ pF}$$

La capacità di hold deve essere scelta nell'intervallo $150 \text{ pF} < C_H < 225 \text{ pF}$

3)



$$V_{in} = 1V \sin(2\pi f_{in} t)$$

$$R_F = 1\text{ M}\Omega \quad R_S = 50\ \Omega \quad C_H = 1\text{ nF} \quad V_{tn} = 1V \quad k_n = 1\text{ mA}$$

La capacità C di input è da considerarsi chiusa alla frequenza di segnale di ingresso

- Determinare l'intervallo di valori accettabili per la tensione di polarizzazione V_B e il numero di bit dell'ADC in modo da avere una risoluzione (riferita all'ingresso) migliore di 1 mV.
- Determinare la minima frequenza di clock dell'ADC SAR che consenta la corretta digitalizzazione del segnale di ingresso V_{in} quando $f_{in} = 1\text{ MHz}$
- Calcolare le tensioni V_H e V_L dell'interruttore nMOS in modo da avere una resistenza di on inferiore a $50\ \Omega$ ed un margine di 1V nella tensione di spegnimento.

a)

Usando la sovrapposizione degli effetti possiamo calcolare l'espressione della tensione di uscita dell'amplificatore operazionale.

$$V_{OUT} = V_B - \frac{2R}{R} V_{in} = V_B - 2V_{in}$$

Le tensioni massime e minime sono:

$$V_{OUT_max} = V_B - 2V_{in_min} = V_B + 2V$$

$$V_{OUT_min} = V_B - 2V_{in_max} = V_B - 2V$$

Imponendo che $0 < V_{out} < 5V$ per adattare la dinamica a quella dell'ADC, la tensione V_B :

$$+2V < V_B < +3V$$

Abbiamo un guadagno x2 tra V_{out} e V_{in} , quindi per avere una risoluzione di 1mV in ingresso, dobbiamo avere una risoluzione di almeno 2mV all'ingresso dell'ADC.

$$LSB_{ADC} < 2mV$$

$$\frac{5V}{2^{n_{bit}}} < 2mV$$

$$2^{n_{bit}} > \frac{5V}{2mV}$$

$$2^{n_{bit}} > 2500$$

$$n_{bit} = 12bit$$

b)

In un ADC SAR il tempo di conversione è:

$$T_{convSAR} = n_{bit} * T_{clk}$$

La digitalizzazione deve essere più veloce del tempo di hold

$$T_{conv} < T_H$$

La somma di tempo di hold e tempo di sample da il tempo di campionamento.

$$T_{camp} = T_H + T_S$$

Per il teorema di Shannon, per poter campionare la sinusoide in ingresso, è necessario che la frequenza di campionamento sia almeno il doppio della frequenza di segnale.

$$f_{camp} > 2f_{in}$$

$$f_{camp} = 2MHz, \quad T_{camp} = \frac{1}{f_{camp}} = 500ns$$

Il tempo di conversione del SAR deve essere minore del tempo di campionamento

$$n * T_{clk} < T_{camp} = 500ns$$

$$f_{clk} = \frac{1}{T_{clk}} = \frac{12}{500ns} = 24 MHz$$

c)

La tensione V_L è la tensione da applicare all'nMOS perché sia spento.

La condizione per avere MOS OFF è $V_{gs} < V_t$ e viene chiesto di avere un margine di 1 V per qualunque V_{in} . Impongo quindi $V_{gs} < V_t - 1V$ da cui:

$$V_L = V_G \leq V_{smin} + V_t - 1V = 1V + 0.5V - 1V = 0.5V$$

La tensione V_H è la tensione da applicare all'nMOS perché sia acceso.

La condizione per avere MOS ON è $V_{gs} > V_t$ e viene chiesto di avere la resistenza $r_{ds,on} < 50\Omega$ per qualunque V_{in} .

$$r_{ds,on} = \frac{1}{2k_n(V_{gs} - V_t)} < 50\Omega$$

$$V_{gs} - V_t > 10V$$

Quindi:

$$V_H = V_G > V_{smax} + V_t + 10V = 15.5V$$