

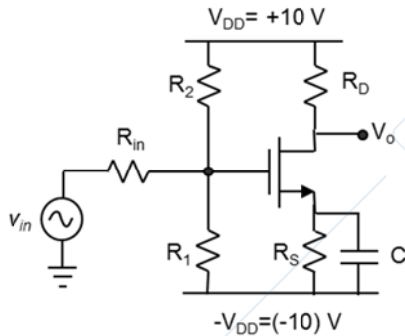
Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2017/2018

Appello del 5 Luglio 2018

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

Esercizio 1.

Si consideri l'amplificatore a MOSFET in figura.



$$k = 1 \text{ mA/V}^2, V_T = 1 \text{ V}$$

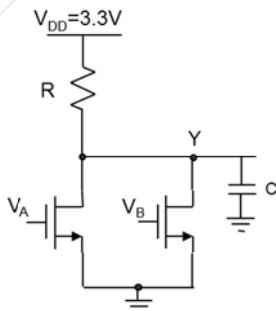
$$R_{in} = 0.1 \text{ k}\Omega, R_1 = 100 \text{ k}\Omega, R_2 = 100 \text{ k}\Omega, R_D = 4 \text{ k}\Omega$$

$$C = 100 \text{ pF}$$

- Determinare il valore di R_S tale che la corrente di drain sia pari a 2 mA. Calcolare la polarizzazione di tutto il circuito verificando le ipotesi fatte
- Determinare l'espressione simbolica del guadagno v_o/v_{in} a bassa e ad alta frequenza. Calcolare successivamente il valore numerico usando il valore di R_S trovato al punto precedente.
- Determinare l'espressione simbolica della risposta in frequenza del guadagno (v_o/v_{in}). Si calcoli la frequenza delle singularita' introdotte da C e si disentino i diagrammi di Bode (modulo e fase).
- Si supponga di voler massimizzare il guadagno ad alta frequenza modificando il valore di R_D . Con il vincolo che transistore rimanga in zona di saturazione, determinare il massimo guadagno ad alta frequenza ottenibile ed il corrispondente valore di R_D .

Esercizio 2.

Si consideri la porta logica mostrata in figura.



Dati:

$$k_n = 1 \text{ mA/V}^2, V_{Tn} = 1 \text{ V}$$

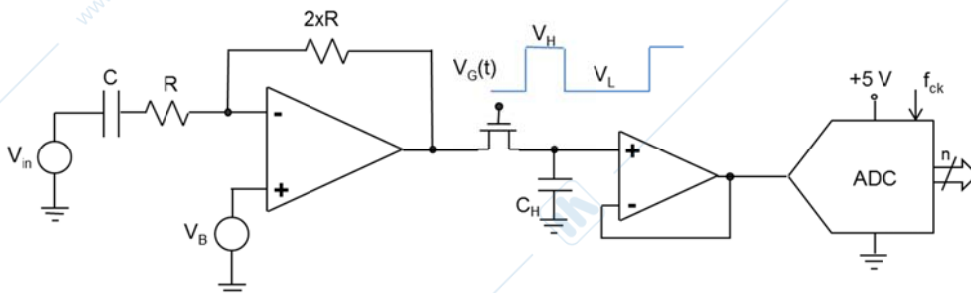
$$R = 1 \text{ k}\Omega, C = 10 \text{ pF}$$

- Si calcoli il valore della tensione di uscita (in V) nei due casi: 1) $V_A = V_B = 0$, 2) $V_A = V_B = V_{DD}$.
- Si calcoli la soglia logica del circuito ($X=Y$) quando i due ingressi sono pilotati dalla stessa tensione di ingresso X ($X = V_A = V_B$).
- Al tempo $t=0$ gli ingressi commutano nel modo seguente: $(A,B) = (0,0) \rightarrow (1,0)$. Si determini in quale regione di funzionamento si trovano i transistori a $t=0+$ e si calcoli la velocita' di variazione (dY/dt) dell'uscita a $t=0+$ (motivare la risposta).

Esercizio 3.

Si consideri la catena di conversione A/D mostrata in figura. Gli A.O. sono da considerarsi ideali se non diversamente specificato. Il segnale di ingresso e' sinusoidale: $V_{in}(t) = A \cdot \sin(2\pi f_{in} \cdot t)$, con $A = 1 \text{ V}$.

La capacita' C e' da considerarsi chiusa alla frequenza del segnale di ingresso.



Dati:

$$C_H = 1 \text{ nF}$$

$$k_n = 1 \text{ mA/V}^2, V_{Tn} = 1 \text{ V}$$

- Determinare l'intervallo di valori accettabili per la tensione di polarizzazione V_B ed il numero di bit dell'ADC in modo tale da consentire la corretta digitalizzazione del segnale di ingresso con risoluzione (riferita all'ingresso) migliore di 1 mV.
- Determinare la minima frequenza di clock (f_{ck}) dell'ADC SAR (ADC ad approssimazioni successive), che consenta la corretta digitalizzazione del segnale di ingresso $V_{in}(t)$ quando $f_{in} = 1 \text{ MHz}$.
- Calcolare le tensioni di comando V_H e V_L dell'interruttore nMOS in modo da avere una resistenza di "on" inferiore a 50Ω ed un margine di 1 V nella tensione di spegnimento.

Traccia soluzione 5 luglio 2018**Es.1**

a) polarizzazione

Si spegne il generatore di segnale V_{in} , rimane quindi il ramo R_{in} verso massa.La tensione V_g si ottiene ad es. applicando la sovrapp. degli effetti alla parte lineare del circuito ($R_1, R_2, R_{in}, V_{dd}, -V_{dd}$), da cui si vede subito che $V_g=0$ (per simmetria dei due termini).Ipotizzando il mosfet saturo, $I_d=k*(V_{gs}-V_t)^2$, con il dato $I_d=2\text{mA}$ troviamo la $V_{gs}=2.41\text{ V}$. Essendo $V_g=0$ si ha quindi $V_s=-2.41\text{ V}$. Per verificare l'ipotesi di saturazione calcolo $V_d=V_{dd}-R_d*I_d=10-4k*2\text{mA}=2\text{ V}$.Quindi $V_{ds}=2-(-2.41)=4.41 > (V_{gs}-V_t)=1.41\text{ V}$, ipotesi verificata.La R_s presenta ai suoi capi la caduta (V_s+V_{dd}) ed e' percorsa dalla corrente $I_d=2\text{mA}$ per cui deve essere:

$$R_s=(V_s+V_{dd})/I_d=3.795\text{ k}\Omega$$

b) in bassa frequenza la capacita' e' aperta. Lo stadio e' un source comune con resistenza di degenerazione:

$$v_o/v_{in}=- (R_{12}/(R_{12}+R_{in})) * g_m * R_d / (1+g_m * R_s) = -0.964 \text{ (con } R_{12}=R_1/R_2 \text{ e } R_{12}/(R_{12}+R_{in}) \sim 1)$$

ad alta frequenza C e' chiusa, R_s e' cortocircuitata a massa:

$$v_o/v_{in}=- (R_{12}/(R_{12}+R_{in})) * g_m * R_d = -11.28 \text{ (con } R_{12}=R_1/R_2 \text{ e } R_{12}/(R_{12}+R_{in}) \sim 1)$$

c) con $Z_s=R_s/(1/sC)$ sostituita ad R_s e si trova facilmente l'espressione simbolica della F_dT v_o/v_{in} e le singolarita' (si suggerisce di fattorizzare la F_dT come ausilio/verifica per identificare correttamente le singolarita' della F_dT).Alternativamente si potrebbero utilizzare i valori di guadagno in continua e ad alta frequenza calcolati al punto precedente ed il fatto che la F_dT $v_o/v_{in}(s)$ e' per forza caratterizzata da 1 zero ed 1 polo a maggior frequenza. Il polo e' legato alla resistenza equivalente vista da C , $R_{eq}=R_s/(1/g_m)$. La frequenza dello zero si puo' ricavare noto il rapporto tra i guadagni asintotici e la frequenza del polo.d) Si nota che la corrente di polarizzazione I_d non dipende da R_d , ma solo da R_s (vedi punto 1a). Quindi aumentando R_d , I_d rimane costante e la tensione V_d scende: $V_d=V_{dd}-R_d*I_d$.Il limite per V_d al bordo di saturazione e' quando $V_{gd}=V_t$, ovvero $V_{dd}-R_d*I_d=-V_t$.Da cui si ricava $R_d, \text{max}=5.5\text{ k}\Omega$ e quindi $|v_o/v_{in}|_{\text{max}}=g_m * R_d, \text{max}=15.51$ **Es.2**a) $V_A=V_B=0$: entrambi i MOS sono OFF, $I_d=0$ e quindi $V_{out}=V_{dd}=3.3\text{V}$. $V_A=V_B=V_{dd}$: entrambi i MOS sono ON, li rappresento per semplicita' con un MOS equivalente avente $k_{eq}=2*k_n=2\text{ mA/V}^2$.

Ipotizzo che, a regime, il MOS equivalente sia in zona ohmica.

Quindi lo sostituisco con $R_{ds}=1/(2*k_{eq}*(V_{dd}-V_t))=108.7\text{ }\Omega$ e, sotto questa ipotesi, trovo $V_{out}=0.323\text{ V}$ Essendo $V_{ds}=V_{out}=0.323\text{ V} \ll V_{dd}-V_t=2.3\text{ V}$, l'approssimazione in zona ohmica e' da ritenersi accettabile.

b) soglia logica

Per definizione di soglia logica sono nella condizione $X=Y$.In questa condizione, il transistor nmos equivalente ($k_{eq}=2*k_n$) e' in zona di saturazione. Cio' e' subito verificato in quanto $V_{gd}=X-Y=0$. Con il bilancio di correnti al nodo di uscita si ottiene l'equazione:

$$(V_{dd}-X)/R=k_{eq}*(X-V_t)^2, \text{ da cui la soluzione } X=1.85\text{ V}$$

c) E' una transizione di pull down attraverso il mos A, il mos B e' OFF.

Al tempo $t=0+$, $V_A=V_{dd}$ e $Y=V_{dd}$, ovvero $V_{gd}=0$ e quindi il mos A e' saturo.A $t=0+$ la corrente attraverso R e' nulla (essendo nulla la tensione su R) e quindi la corrente di scarica nel condensatore e' data semplicemente da $I_d=k_n*(V_{dd}-V_t)^2=5.29\text{mA}$.Dalla relazione fondamentale del condensatore si ottiene quindi $dY/dt(t=0+)=I_d/C=0.529\text{ V/ns}$.**Es.3**a) valore di V_B e numero di bit

Applico il principio di sovrapposizione degli effetti.

$$V_{out}=V_{in}*(-2) \text{ (guadagno ideale invertente, } C \text{ chiusa alla frequenza } f_{in})$$

$$V_{out}=V_B \text{ (buffer ideale, } C \text{ aperta essendo } V_b \text{ in continua)}$$

Quindi all'uscita dell'A.O. il segnale dovuto a V_{in} varia tra $(-2V)$ e $2V$ ed e' quindi necessario traslarlo (mediante V_b) all'interno dell'intervallo $0-5V$. Quindi V_B deve essere scelto nell'intervallo $(2V, 3V)$, ad es. $2.5V$.Si chiede di risolvere la quantita' $|dV_{in}|=1\text{ mV}$ in ingresso, che dopo l'amplificazione dello stadio invertente diventa $|dV_{out}|=2\text{mV}$ all'ingresso dell'ADC. Quindi si chiede che il LSB dell'ADC sia inferiore a $|dV_{out}|$:

$$\text{LSB}=V_{fs}/2^n < |dV_{out}|, \text{ da cui } n \geq 12 \text{ bit.}$$

b) Per il teorema di Shannon la frequenza di campionamento minima e' pari a $f_c \geq 2*f_{in}=2\text{ MHz}$.L'ADC SAR e' caratterizzato da un tempo di conversione $T_{conv}=n/f_{ck}$.Assumendo che il tempo di sample sia trascurabile si ha $f_c=1/(T_s+T_{Hold}) \sim 1/T_{Hold} \sim 1/T_{conv}$, da cui

$$f_{ck}=n*f_c=12*2\text{MHz}=24\text{ MHz.}$$

c) calcolo V_H :MOS e' ON, con tensione di overdrive tale da avere $R_{ds} < 50\text{ohm}$ per qualunque V_{in} .Cio' richiede $R_{ds}=1/(2*k_n*(V_{gs}-V_t)) < 50\text{ohm}$, da cui $(V_{gs}-V_t) \geq 10\text{ V}$

$$\text{Quindi } V_H=V_g \geq V_{s, \text{max}}+V_t+10=15.5\text{ V}$$

Calcolo V_L :La condizione per avere MOS OFF e' $V_{gs} < V_t$ e, per avere un margine di 1 V per qualunque V_{in} .Impongo quindi $V_{gs} < V_t - 1\text{V}$ da cui $V_L=V_g \leq V_{s, \text{min}}+V_t-1\text{V}=0.5+1-1=0.5\text{V}$.