

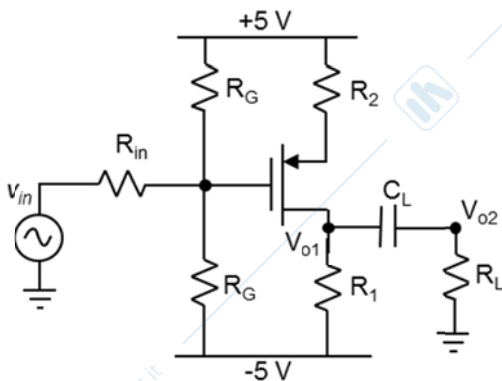
Fondamenti di Elettronica – Ing. AUTOMATICA - AA 2018/2019

Appello del 04 Luglio 2019

Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...
Durata prova: 2h 45min

Esercizio 1.

Si consideri l'amplificatore a MOSFET in figura.



- Calcolare tutte le tensioni e le correnti di polarizzazione del circuito.
- Determinare il guadagno di piccolo segnale v_{o2}/v_{in} a bassa e ad alta frequenza e tracciare infine il diagramma di Bode del modulo ricavando la frequenza delle singolarità.
- Calcolare il massimo valore dell'ampiezza del segnale v_{in} applicabile in ingresso tale che la condizione di piccolo segnale per il transistor MOS sia verificata (assumere per esempio un fattore 10 di margine).

Dati:

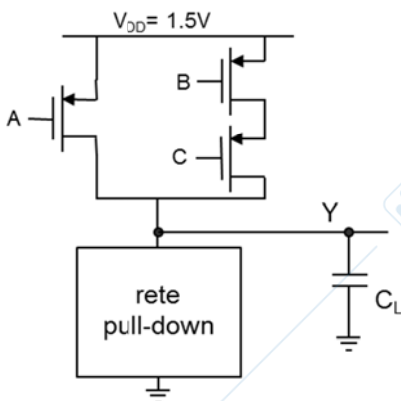
$$k = 1 \text{ mA/V}^2, |V_T| = 1 \text{ V}$$

$$R_{in} = 2 \text{ k}\Omega, R_G = 100 \text{ k}\Omega, R_1 = 3 \text{ k}\Omega, R_2 = 2 \text{ k}\Omega$$

$$C_L = 10 \text{ nF}, R_L = 1 \text{ k}\Omega$$

Esercizio 2.

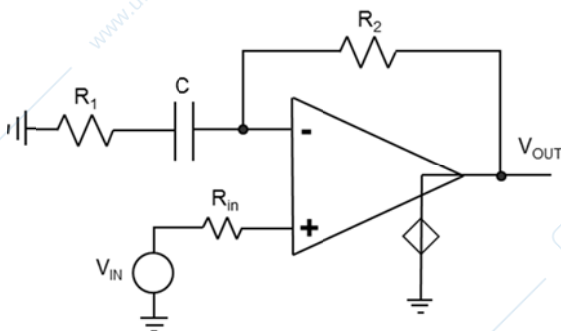
Si consideri la porta logica CMOS in figura.

Dati: $k_n = 0.2 \text{ mA/V}^2, V_{Tn} = |V_{Tp}| = 0.5 \text{ V}$

- Determinare la funzione logica della porta e sintetizzare la rete di pull-down.
- Si calcoli il minimo valore del parametro k_p di ciascun pMOS tale da garantire che il tempo di propagazione di pull-up non sia mai (= in nessun caso) maggiore di quello di pull-down.
- Si assuma ora che gli ingressi A, B, C siano pilotati insieme ($A=B=C$) dal medesimo segnale di ingresso che al tempo $t=0$ effettua una transizione da V_{DD} a 0. Calcolare il valore della corrente che fluisce nella capacità di carico C_L al tempo $t=0+$ (assumere per questo punto $k_p = 0.1 \text{ mA/V}^2$).

Esercizio 3

Si consideri il circuito mostrato in figura. L'A.O. e' ideale ove non diversamente specificato.



Dati:

$$R_1 = 1 \text{ k}\Omega, R_2 = 10 \text{ k}\Omega, C = 100 \text{ pF}$$

- Determinare l'espressione del guadagno ideale V_{out}/V_{in} del circuito e tracciare i diagrammi di Bode (modulo e fase), calcolando i punti significativi del grafico.
- Si determini il valore della resistenza R_{in} tale da minimizzare l'effetto sulla tensione di uscita delle correnti di polarizzazione dell'AO.
- Assumendo per l'amplificatore operazionale $A_0 = 10^6$ e $GBWP = 100 \text{ MHz}$, determinare per via grafica il diagramma di Bode del modulo del guadagno reale V_{out}/V_{in} , ricavando la frequenza del polo ad anello chiuso.
- Calcolare il margine di fase del circuito con i dati disponibili. Successivamente, supponendo di poter scegliere A_0 , determinare l'intervallo di valori di A_0 per cui il margine di fase sia minore di 45 gradi.

Traccia di soluzione T.E. 04/lug/2019**Es. 1****a) Polarizzazione**

In polarizzazione $v_{in}=0$ e CL e' un aperto ($f=0$). Vg si calcola risolvendo la rete Rin-RG-RG. Ad es. con la sovrapposizione degli effetti, data la simmetria della rete, si trova facilmente $V_g=0$.

La corrente del transistor si trova scrivendo la LKT alla maglia di source:

$$V_g = -V_{gs} + R_2 \cdot I_d$$

Ipotizzando il pMOS saturo abbiamo una seconda equazione con V_{gs} e I_d :

$$I_d = k \cdot (V_{gs} - V_T)^2$$

Eliminando I_d e utilizzando la piu' comoda variabile $x = (V_{gs} - V_T)$, otteniamo l'equazione di 2° grado:

$$2x^2 - x - 4 = 0, \text{ da cui si ottiene l'unica radice accettabile (negativa): } x = (V_{gs} - V_T) = -1.186 \text{ V}$$

Quindi avremo:

$$V_{gs} = -2.186 \text{ V}$$

$$I_d = k \cdot x^2 = 1.407 \text{ mA}$$

$$V_d = -5 + R_1 \cdot I_d = -0.78 \text{ V}$$

Essendo $V_{gd} = 0 - (-0.78) = 0.78 \text{ V} > V_T$, la condizione di saturazione e' verificata.

b) segnale

Una volta calcolato $g_m (=2 \cdot I_d / |x| = 2.373 \text{ mA/V})$, si disegna il circuito equivalente per piccoli segnali (con v_{in} e CL).

Per via della partizione resistiva si ha: $v_g = v_{in} \cdot (R_G/2) / (R_G/2 + R_{in}) = 50/52 \cdot v_{in} = 0.962 \cdot v_{in}$

Ci si concentra sul segnale v_{o2} :

- a bassa frequenza e' nullo (CL aperto).

- ad alta frequenza (CL corto) vale: $v_{o2} = -v_g \cdot g_m \cdot (R_1 // R_L) / (1 + g_m \cdot R_2) = -(0.962 \cdot v_{in}) \cdot 1.78/5.75 = -0.298 \cdot v_{in}$

c) condizione piccolo segnale

Per verificare la condizione di piccolo segnale bisogna calcolare il segnale v_{gs} e confrontarlo con $2 \cdot |V_{gs} - V_T|$.

$$v_{gs} = v_g / (1 + g_m \cdot R_2) = (0.962 \cdot v_{in}) / 5.75 = v_{in} \cdot 0.167$$

(si noti che la capacita' CL non entra nel trasferimento v_{gs}/v_{in} che risulta quindi indipendente dalla frequenza).

Quindi possiamo scrivere:

$$|v_{gs}| = |v_{in}| \cdot 0.167 \ll 2 \cdot |V_{gs} - V_T| = 2 \cdot 1.186 = 2.372 \text{ V, da cui } |v_{in}| \ll 2.372 \text{ V} / 0.167 = 14.2 \text{ V.}$$

Prendendo il fattore di margine suggerito pari a 10, la condizione di piccolo segnale e' verificata per $|v_{in}| < 1.42 \text{ V}$.

Es. 2**a) Funzione logica**

La funzione logica si trova facilmente dalla rete di pull-up, esprimendo l'uscita Y in funzione degli ingressi negati: $Y = A + B \cdot C$, da cui $\bar{Y} = (A \cdot (B + C))$. Da quest'ultima espressione si puo' sintetizzare la rete di pull-down.

b) valore di k_p

Per soddisfare la condizione che $t_p < t_n$ in ogni situazione, confronto il tempo di pull-up piu' lento con quello di pull-down piu' veloce (caso peggiore):

- $k_{p,eq} = k_p/2$ (pMOSB e pMOSC)

- $k_{n,eq} = (2/3) \cdot k_n = 0.133 \text{ mA/V}^2$ (tutti gli nMOS accesi)

La richiesta sul tempo di commutazione ($t_p < t_n$) si traduce nella condizione $k_{p,eq} > k_{n,eq}$ da cui:

$$k_p > (4/3) \cdot k_n = 0.267 \text{ mA/V}^2$$

c) $A=B=C$, calcolo corrente a $t=0+$

In questo caso il $k_{p,eq}$ e' calcolato considerando l'accensione di tutti i pMOS: $k_{p,eq} = (3/2) \cdot k_p = 0.15 \text{ mA/V}^2$.

A $t=0$, si ha $Y(0)=0$ per cui il pMOS equivalente e' saturo.

La corrente a $t=0+$ si calcola facilmente:

$$I_d(0+) = k_{p,eq} \cdot (V_{dd} - V_T)^2 = 0.15 \cdot (1 \text{ V})^2 = 0.15 \text{ mA}$$

Es. 3**a) guadagno ideale**

Configurazione non invertente classica, per cui si ha:

$$G_{id} = [1 + sC \cdot (R1 + R2)] / [1 + sC \cdot R1]$$

Il modulo parte da $G_{id} = 1$ a bassa frequenza e diventa $G_{id} = (R1 + R2) / R1 = 11$ ad alta frequenza.

Vi saranno pertanto uno zero e poi un polo a frequenza maggiore:

$$\tau_{auz} = (R1 + R2) \cdot C = 11k \cdot 100pF = 1.1 \mu s \quad (\rightarrow f_z = 0.145 \text{ MHz})$$

$$\tau_{aup} = R1 \cdot C = 1k \cdot 100pF = 0.1 \mu s \quad (\rightarrow f_p = 1.59 \text{ MHz})$$

Il diagrammi di Bode (asintotici) sono immediati.

b) correnti di bias

Si considera il circuito senza il ramo R1-C (C aperta), in quanto in continua. Si spegne V_{in} e si valuta l'effetto su V_{out} dei 2 generatori I_{bias} con il principio di sovrapposizione degli effetti (si assume trasferimento ideale):

$$V_{out} = I_{bias} \cdot R2 - I_{bias} \cdot R_{in}$$

Ponendo $V_{out} = 0$ si ricava $R_{in} = R2 = 10 \text{ k}\Omega$.

c) trasferimento reale V_{out}/V_{in}

Essendo ora $A(s)$ caratterizzato dal guadagno a b.f. A_0 e dal polo a $f_0 = GBWP/A_0$, non posso assumere

$V_{out}/V_{in} = G_{id}$ per ogni frequenza. Per determinare il trasferimento reale V_{out}/V_{in} , calcolo Gloop:

$$G_{loop} = -A(s) \cdot [1 + sC \cdot R1] / [1 + sC \cdot (R1 + R2)]$$

Il metodo grafico (vedi <http://home.deib.polimi.it/castoldi/fde/materiale2015/NegativeFeedbackCircuits.pdf>) si avvale del disegno dei diagrammi di Bode di $|G_{id}|$ (vedi al punto a)) e di $|G_{loop} \cdot G_{id}| = |A(s)|$.

Selezionando i tratti pertinenti ottengo il diagramma del trasferimento reale $|V_{out}/V_{in}|$.

Si verifica che l'incrocio tra $|G_{id}|$ ed $|A|$ avviene nel tratto in cui $G_{id} = 11$ e definisce la frequenza del polo ad anello chiuso f_c :

$$f_c \cdot 11 = A_0 \cdot f_0 \rightarrow f_c = A_0 \cdot f_0 / 11 = 9.1 \text{ MHz.}$$

d) margine di fase

Il margine di fase lo si studia mediante il diagramma di Bode di Gloop (calcolato prima).

Gloop presenta guadagno in continua A_0 , polo a f_0 , polo a f_z e zero a f_p . Quindi il grafico del modulo assume (tra i due poli) pendenza (-2). Il punto di intersezione del diagramma del modulo con l'asse a 0dB avviene nel tratto a pendenza (-1), dopo lo zero a $f = f_p$, alla frequenza $f_c = 9.1 \text{ MHz}$ calcolata al punto precedente (i punti salienti del grafico asintotico vanno calcolati analiticamente al fine di determinare queste proprietà'. **NB: Non e' considerato un "calcolo" usare la quadrettatura del foglio per stimare i valori del modulo !**).

Essendo $f_c = 9.1 \text{ MHz} > f_z = 1.59 \text{ MHz}$ lo sfasamento di Gloop a f_c e' circa 270 gradi, corrispondente ad un margine di fase di 90 gradi.

Nel caso A_0 fosse variabile, una sua riduzione che portasse l'intersezione del modulo di Gloop con l'asse a 0dB nel tratto a pendenza (-2) determinerebbe un margine di fase inferiore a 45 gradi.

I due casi limite sono:

- intersezione con l'asse a 0dB alla frequenza dello zero f_p , che avviene per $A_{01} = 175450$
- intersezione con l'asse a 0dB alla frequenza del polo f_z , che avviene per $A_{02} = 1450$

(NB: Si eseguano i necessari calcoli sugli andamenti asintotici del diagramma, non usare la quadrettatura del foglio per stimare i valori del modulo !)

All'interno di questo intervallo di valori di A_0 il margine di fase sara' quindi inferiore a 45 gradi.